

IU

21世纪大学新型参考教材系列

集成电路 B

[日] 荒井英辅 编著

Inter
University



科学出版社

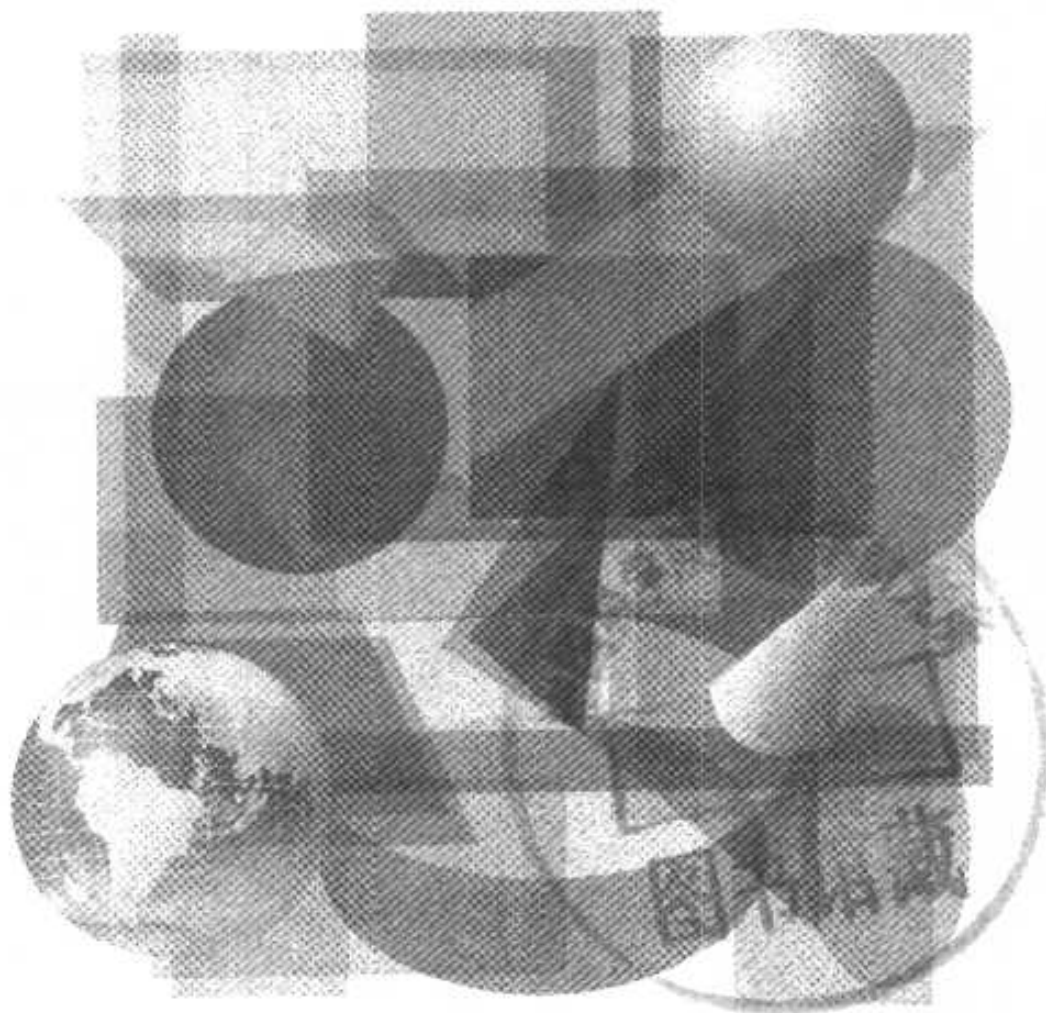
OHM社

73.755
496

21 世纪大学新型参考教材系列

集成电路 B

[日] 荒井英辅 编著
邵春林 蔡凤鸣 译
王树堂 校



科学出版社 OHM 社
2000. 北京

2101019

2011019

图字:01-2000-1217号

Original Japanese edition

Intaa Yunibaashiti Shuusekikairo B

Edited by Eisuke Arai

Written by Eisuke Arai, Yoshio Adachi, Shouji Kawahito, Hisashi Fujiwara, Masahiro Tsukahara,
Haruki Toda, Mitsuharu Katou and Kiyoshi Yoneda

Copyright © 1998 by Eisuke Arai

Published by Ohmsha, Ltd.

This Chinese language edition is co-published by Ohmsha, Ltd. and Science Press.

Copyright © 2000

All rights reserved.

本书中文版版权为科学出版社和 OHM 社所共有

インターユニバーシティ

集積回路 B

荒井英輔 オーム社 1998 第1版第1刷

EF73/03

图书在版编目(CIP)数据

集成电路 B/(日)荒井英輔编著;邵春林,蔡凤鸣译. -北京:科学出版社,2000.7

21世纪大学新型参考教材系列

ISBN 7-03-003604-2

I. 集… II. ①荒… ②邵… ③蔡… III. 集成电路-高等学校-教材 IV. TN4

中国版本图书馆 CIP 数据核字(2000)第 60681 号

科学出版社 OHM 社 出版

北京东黄城根北街 16 号 邮政编码:100717

北京东方科苑电脑图文制作有限公司 制作

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

2000年7月第一版 开本:A5

2000年7月第一次印刷 印张:5

印数:1-5 000 字数:144 000

定 价: 24.00 元(全二册)

(如有印装质量问题,我社负责调换〈院厂〉)

译者序

电子技术的高度发展为计算机和通信技术的发展打下了坚实基础,电视、电话、传真、计算机等的普及,特别是全球因特网的联网,使信息的传递有了飞速的发展,人类开始进入多媒体的信息时代。电子技术的高度发展给人民的和社会经济活动带来了巨大的影响。在世纪之交,特别是在21世纪中人类需要解决的许多问题都期待着电子技术的发展。因而,加速培养更多的掌握先进的电子技术的人才是非常重要的,这是电子技术领域的教育工作者、科学研究工作者和技术人员的历史使命。

为此,我们将国外一些优秀教材翻译成中文,介绍给广大的读者。最近,由日本高等学校校际教材编辑委员会委员长家田正之先生任主编,组织编著了一套电子工程教科书(欧姆社出版)。这一套教科书主要包括五大方面的内容:(1)电子工程基础,(2)电力工程,(3)电子器件,(4)信息通信,(5)计测控制。这一套教科书主要由日本中部地区高等学校的知名教授主编,由教学科研第一线的教授专家们执笔编写。其中已经出版了梅野正义编著的《电子器件》、荒井英辅编著的《集成电路A》和《集成电路B》、神保孝志编著的《光电子学》等4册书。这些书具有内容新颖、重点突出、简要明了的特点。书中各章的开始有该章的内容概要,章末设有练习题,书后附有练习题解答,以方便读者深入理解本书的内容。书中还穿插有“篇外话”作为正文中相关内容的补充说明,书后列出了参考文献,可供读者参考。

我们准备陆续将上述日文版图书翻译成中文,供电子专业的大学生或硕士研究生作为教材或教学参考书。也可供将要从事或者正在从事电子专业,特别是半导体专业的科研、生产、教学的年轻的朋友们阅读。

在翻译这些书的过程中,我们获得了能和原书编著者共同讨论书中内容这样一个良好的环境,使我们加深了对原书的理解,尽可能正确地将原书翻译成中文,并及时更正原书中个别误漏之处,在较短的时间内完成这些书的翻译、校对工作。在此我们对原书的各位编者、执笔者的支持和帮助表示

衷心的感谢。

同时,我们还要感谢日本欧姆社常务董事、出版局局长森 正树先生以及有关人员在翻译本书时给予的支持和帮助。感谢中国科学出版社对出版这些高科技书籍给予的热情支持和帮助,感谢有关人员在出版本书时付出的辛勤劳动。

《集成电路 B》翻译稿脱稿后,中国科学院半导体研究所王树堂教授全面、仔细地审阅了全稿,提出了很多宝贵的意见。在此,表示衷心的感谢。

本书第一、二、五、六、七章由邵春林翻译,第三、四章由蔡凤鸣翻译。尽管译者作了多次的校正,但错误在所难免,希望读者批评指正。

邵春林

前 言

集成电路的发展已有 40 年的历史。40 年中,集成电路加工尺寸的精细化和器件数的大规模化获得不断地发展,例如 64 兆比特(Mbit)动态存储器(DRAM),每芯片的器件数达到大约 1 亿个。驱使集成电路如此精细化、大规模化的动力是,器件的精细化促进了集成电路性能的提高,大规模集成化促进了集成电路功能的增加,从而使集成电路的可靠性获得提高,成本得到降低。在总体上看,集成电路的性能、成本比获得提高。

在集成电路的发展过程中,也遇到过一些“不可能再发展了吧?”之类的疑问,正是由于新技术的不断开发,才使难题获得解决,从而使集成电路发展到今天这样的高性能化和高集成化。只要今后不断地努力,集成电路技术将会得到更大的发展。

集成电路的发展为计算机和通信技术的发展打下了坚实基础。现在,随着图像处理技术的进步,人类正走向多媒体时代。电子技术的高度发展不但对电子工业,也对更多的其他产业和社会的发展作出了很大的贡献。今后也将是如此,特别是在 21 世纪中人类需要解决的许多问题也期待着电子技术的发展。从而,不断发展电子技术和作为电子技术基础的集成电路技术是这个领域的研究工作者和技术人员的历史使命。

本书是为大学三、四年级的学生、硕士研究生,以及在企业中从事和集成电路技术有关的研究开发工作的科技工作者,提供最新的集成电路技术而编写的。本书和介绍集成电路基础技术的《集成电路 A》为一套。本书主要介绍集成电路的设计方法、和设计有着密切关系的组装技术以及在集成电路实际使用时非常重要的可靠性问题。

本书在每一章的开始部分均介绍该章的内容概要及其在整个集成电路中所占的位置。章中还穿插有“篇外话”作为正文中相关内容的补充说明。章末设有练习题,以方便读者深入理解本书的内容。

由于篇幅有限,书中省略了许多公式的来源及证明,但在书后列出了参考文献,可供读者参考。如果本书能对半导体集成电路专业的年轻学生和从事半导体集成电路研制的科技工作者有一定的参考价值,我将感到非常荣幸。

在将此书介绍给中国读者的时候,如果能对中国的半导体集成电路事业的发展作出一点贡献,我和本书的各位作者将感到非常高兴。

最后,衷心地期待着世界上从事半导体集成电路的教学、科研的教授们和从事科研、生产的科技工作者们为集成电路的发展作出更大的贡献。

荒井英辅

目 录

1 集成电路设计与制造的关系	
1.1 集成电路新产品的研制	2
1.2 影响开发周期的 CAD 技术和可靠性评估	4
1.3 组装技术和集成电路设计的关系	5
练习 题	6
2 集成电路设计的 CAD 技术	
2.1 集成电路设计的 CAD 技术概述	8
2.2 功能设计的 CAD 技术	11
2.3 逻辑设计的 CAD 技术	14
2.4 测试设计的 CAD 技术	16
2.5 布图设计的 CAD 技术	18
练习 题	27
3 数字集成电路的设计	
3.1 CMOS 基本门电路的分类	30
3.2 典型的组合型逻辑电路	35
3.3 时序逻辑电路基础	40
3.4 微处理器的设计	46
3.5 专用集成电路的设计	55
练习 题	60
4 模拟集成电路的设计	
4.1 基本模拟集成电路	62
4.2 各种放大电路	64
4.3 模/数和数/模转换电路	66
4.4 其他常用模拟电路	70

练习题	78
引用文献	78
5 存储器集成电路的设计	
5.1 存储器集成电路的种类	80
5.2 存储单元的种类和构造	85
5.3 存储单元数据的读出和写入	96
5.4 制造存储器集成电路时的 注意事项	99
练习题	101
引用文献	101
6 封装及组装技术	
6.1 封装的性能要求	104
6.2 塑料封装工艺	106
6.3 塑料封装材料	108
6.4 陶瓷封装	109
6.5 封装的种类及其趋势	111
6.6 芯片裸装技术	113
6.7 热阻	115
练习题	118
7 集成电路的可靠性	
7.1 影响集成电路可靠性的主要 因素	120
7.2 栅极二氧化硅膜的退化机理	122
7.3 热载流子引起 MOS 晶体管退化的 机理	125
7.4 布线退化机理	130
练习题	133
引用文献	133
练习题解答	135

参考文献	141
------------	-----

篇外话

自动布图设计的技巧	27
使用 D-FF 的同步计数器的设计	44
集成电路中晶体管 and 电阻所占面积的比较	67
存储单元电路的发展	88
陶瓷封装外壳的制造工艺	117
威布尔(Weibull)分布	132

集成电路设计与 制造的关系

在《集成电路 A》一书中,介绍了集成电路的制造工艺、器件以及基本电路等基础技术。本书重点介绍集成电路的设计方法。图 1.1 示出了《集成电路 A》和《集成电路 B》各章的内容。本章主要介绍集成电路新产品的开发程序、集成电路设计和制造技术的关系,从第 2 章开始依次介绍各种集成电路的设计方法。最后,还将介绍集成电路的设计制造技术与可靠性及组装技术之间的关系。

1.1 集成电路新产品的研制

在开发集成电路新产品时,要经过产品的设计、研制、生产等阶段。从新产品的的设计到推向市场的整个开发流程如图 1.2 所示。首先,根据集成电路使用于什么电子仪器,即根据使用的目的来决定集成电路应具备的功能和性能指标,从而估计出集成电路必须具有的速度和门的规模。接着要判断采用现有的工艺和器件制作技术能否达到要求。这种判断正如图 1.2 上部所示的向左右两边分权的第一个分权点。

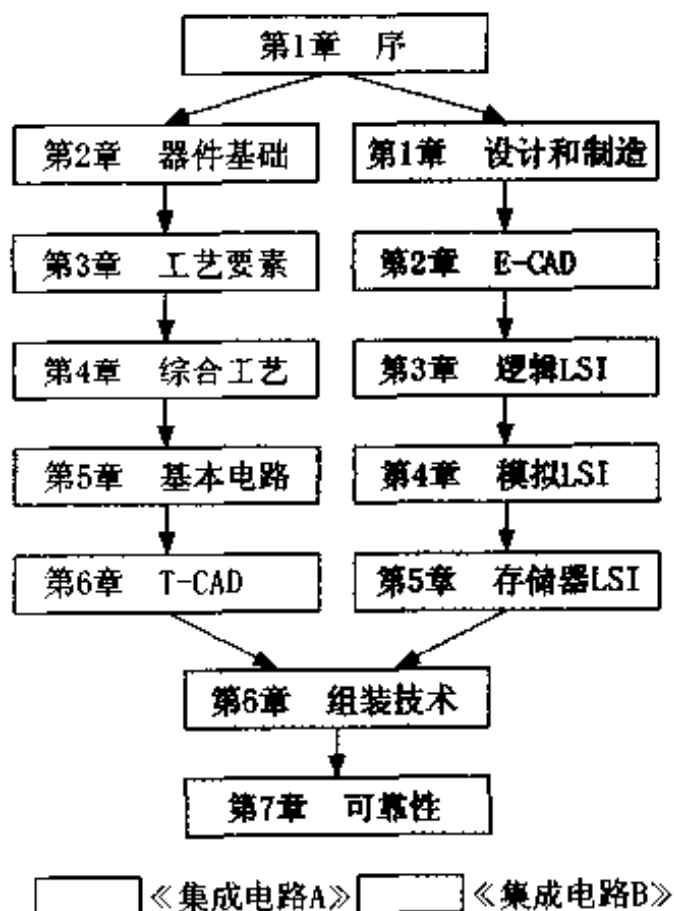


图 1.1 本书内容介绍

如果认为利用现有的工艺和器件技术能够实现这种新的集成电路,就进入图 1.2 右侧所示的开发流程。如果认为利用现有的工艺和器件技术不能实现这种新的集成电路时,则进入图 1.2 左侧所示的开发流程,即必须从

开发新一代的更精细的工艺和器件制造技术着手。不管是进入分权点的左侧还是右侧,技术开发是否成功与产品能否在短期内推向市场密切相关。如果能在比竞争对手更短的时间内开发出新的产品,产品的研制成本低,则可获得更大的市场。

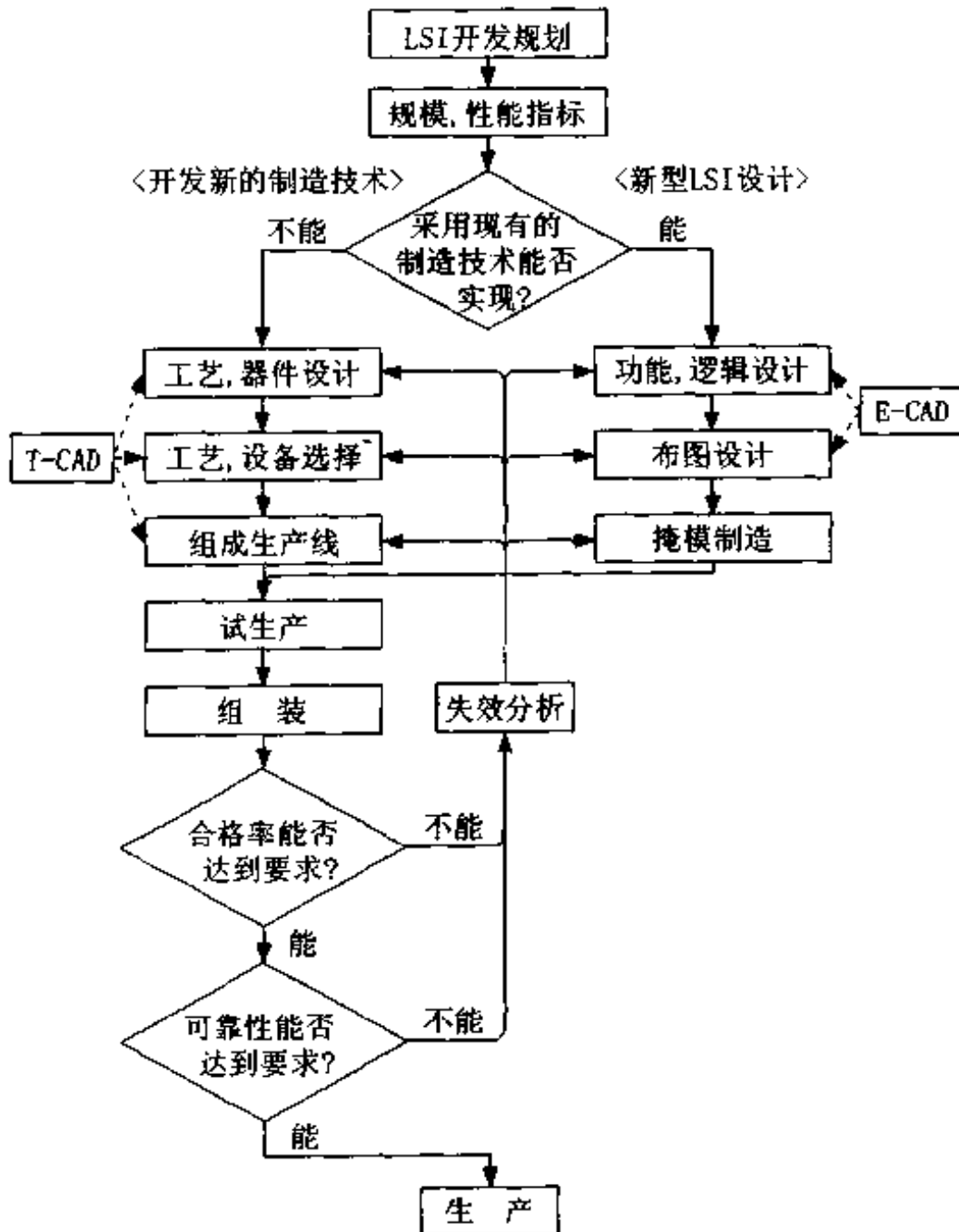


图 1.2 开发新的集成电路时的流程

下面,让我们根据图 1.2 左侧所示的流程来讨论如何进行新工艺和器件制造技术的开发。首先,根据所要求的集成电路性能和规模估计出最小

加工尺寸和器件的结构,然后进行工艺和器件设计,以满足上述要求。接着,确定采用什么技术进行制造,并为此选择必要的材料和制造设备,组成生产线。然后,利用该生产线反复进行试制和模拟,直到实现预计的加工尺寸、器件结构和性能为止。最后定出几百项各工序的工艺条件,作成相应的工艺参数表。按照此工艺参数表制造集成电路,达到预定的合格率后再进行可靠性评估。可靠性评估通过后再开始集成电路的批量生产。

此外,对不必进行新工艺和新器件开发的集成电路来说,按图 1.2 右侧所示流程进行功能、逻辑设计,布图设计和掩模制造。然后将掩模交给生产线投入试生产,进入前面所述的工艺、器件开发流程。

开发集成电路新产品时,希望整个开发流程由上到下顺利地进行,以缩短产品的试制周期。一般说来,开发流程不一定总是由上到下单方向进行的,有时必须返回到前面的开发程序中去。这种多次的返工不但增加试制成本,而且延长了试制周期,使产品失去竞争力。通常,在开发新工艺、器件制造技术时,即使不发生大的问题也需要 2~3 年的时间,大规模集成电路的设计需要几个月到 1 年的时间。如果集成电路的开发过程中多次返工,将导致开发周期的长期化,这是非常不利的。如何减少返工是开发集成电路的重要课题。

1.2 影响开发周期的 CAD 技术和可靠性评估

在开发新的精细化和大规模集成化的集成电路时,为了缩短开发周期、降低成本,必须利用高性能的计算机进行模拟。这里所说的模拟技术包括:开发器件时的工艺、器件、电路的模拟技术 T-CAD(Technology-Computer Aided Design,参照本书 A 册第 6 章)以及集成电路设计时的由功能、逻辑到布图设计的模拟技术 E-CAD(Engineering-CAD,将在下一章介绍)。如果这些模拟技术具有足够高的精度,则可以减少试制的次数,使试制周期大大缩短,试制成本大大降低。这些 CAD 技术与大规模集成电路开发流程之间的关系如图 1.2 所示。

此外,需要注意的是技术开发流程最后阶段的可靠性评估也会引起返工,导致试制周期的延长。生产出的产品必须保证在寿命期间(例如 10 年

中)正常工作。为此,要在比实际使用的环境温度、电源电压等更苛刻的条件下,进行加速寿命试验来推定是否能达到这一指标。加速寿命试验中,如果有产品失效,则要分析失效的原因。如果因晶体管不良或布线断线等工艺、器件制造上的原因而引起失效时,必须改良工艺、器件以去除造成失效的原因。如果由于时钟脉冲的误差等设计原因引起误动作,则必须进行逻辑或布图的重新设计。正如上述的那样,失效的原因可能在制造方也可能在设计方。在进行失效分析时,正确地认定失效到底产生于哪一方是非常重要的。不管失效出现于哪一方,需要改良的程序越是处于图 1.2 的上方,改良所花的时间就越长。此外,正如本书第 7 章中将要阐述的那样,近年来在亚微米领域的集成电路中,出现了预想不到的磨损失效。所以,从制造技术的开发阶段,或集成电路的设计阶段就应该考虑集成电路的可靠性问题,这是一个重要的前提。

1.3 组装技术和集成电路设计的关系

前一节已经说过,在进行新的集成电路研制时,首先要判断利用现有的制造技术能否达到新集成电路的功能和性能。如有可能则进行集成电路的设计,如不可能则必须开发新的工艺和器件的制造技术。除上述两种方法以外,还有一种方法就是通过组装技术的改良来实现所要求的集成电路功能。

一般说来,即使加大芯片的尺寸也希望在同一块芯片上制造多功能的集成电路。否则,由于印制电路板布线间分布电容的影响,组装在印制电路板上的集成电路之间的延迟时间要比芯片内的延迟时间长得多,所消耗的功率也将增加,这样将引起整个电路性能的劣化。有时,利用现有的工艺和器件制造技术会导致芯片尺寸过大,而要在同一块芯片上搭载多功能器件又不可能时,就要花相当长的时间来开发新一代的精细化制造技术。在这种情况下,可将电路设计制造在数个芯片上,再将各个芯片利用改良了的组装技术组装在一起,先进的组装技术能抑制延迟时间和功率消耗,这样能使产品的开发获得极高的效率。第 6 章中介绍的多芯片组装(MCM)技术就是一个典型的例子。在一个封装体中组装有多个芯片,由于芯片间的距离

很短可大幅度地改善上述性能劣化问题。

还有一种情况,从制造技术的角度来说,将电路集成于一块芯片上是没有问题的,但是由于电路功耗过大而存在散热问题时,就不得不将其分割成多个芯片。出现这种情况时,可降低电源电压以减少功率消耗。此外开发散热性能好的封装体,有时也可解决这一问题。

集成电路设计工作者在集成电路设计的最初阶段,既要考虑制造技术也要考虑组装技术,这是非常重要的。

练 习 题

- 1 试述在集成电路开发时必须考虑的事项和开发的流程。
- 2 试述集成电路设计和组装技术的关系。

集成电路设计的 CAD 技术

集成电路设计时, E-CAD (以下简称 CAD) 技术是必不可少的。在整个设计过程中, 要利用各种各样的 CAD 技术。这些 CAD 技术的功能和性能也在不断地改进。

本章介绍集成电路设计用的 CAD 技术的概要。着重介绍功能设计时使用的硬件描述语言、逻辑设计时使用的逻辑 CAD 技术、测试时使用的故障模拟技术以及布图设计时使用的将晶体管和金属布线排列在硅芯片上的布图 CAD 技术的基础知识。

2.1 集成电路设计的 CAD 技术概述

2.1.1 CAD 技术的必要性

随着精细加工技术的进步,集成电路的集成度逐年增长。如图 2.1 所示, MOS (Metal Oxide Semiconductor) 动态随机存取存储器 DRAM (Dynamic Random Access Memory) 的比特 (bit) 数的增长率为 1.6 倍/年, 即每 3 年增加 4 倍。使用逻辑集成电路的典型产品——微计算机中具有晶体管的数目和性能的发展如图 2.2 所示。由图可知, 晶体管的数目和性能的增长率均为 1.5 倍/年。

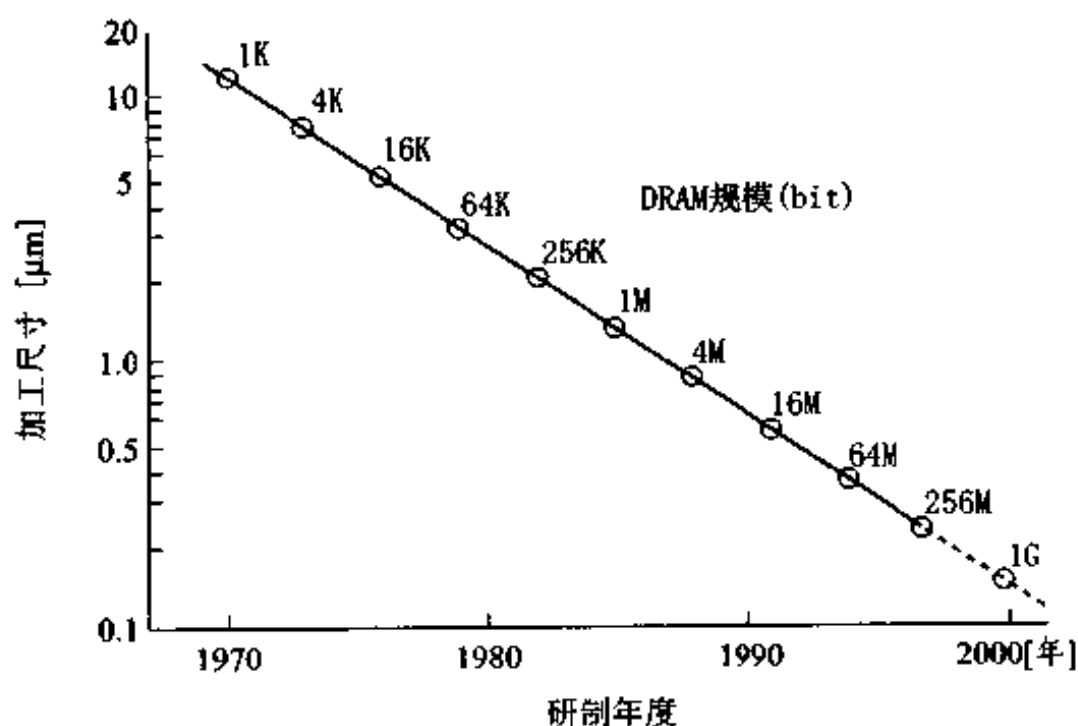


图 2.1 集成电路制造技术的发展

集成电路的电路规模按指数函数增加,功能和性能年年改善,仅靠人工来进行设计是不可能的。CAD(计算机辅助设计)技术作为自动设计的工具以及验证设计的工具,是非常必要的。在电路规模不断增大的同时,用户还要求进一步缩短开发周期。从提高设计的速度来说,CAD 技术也是重要

的。

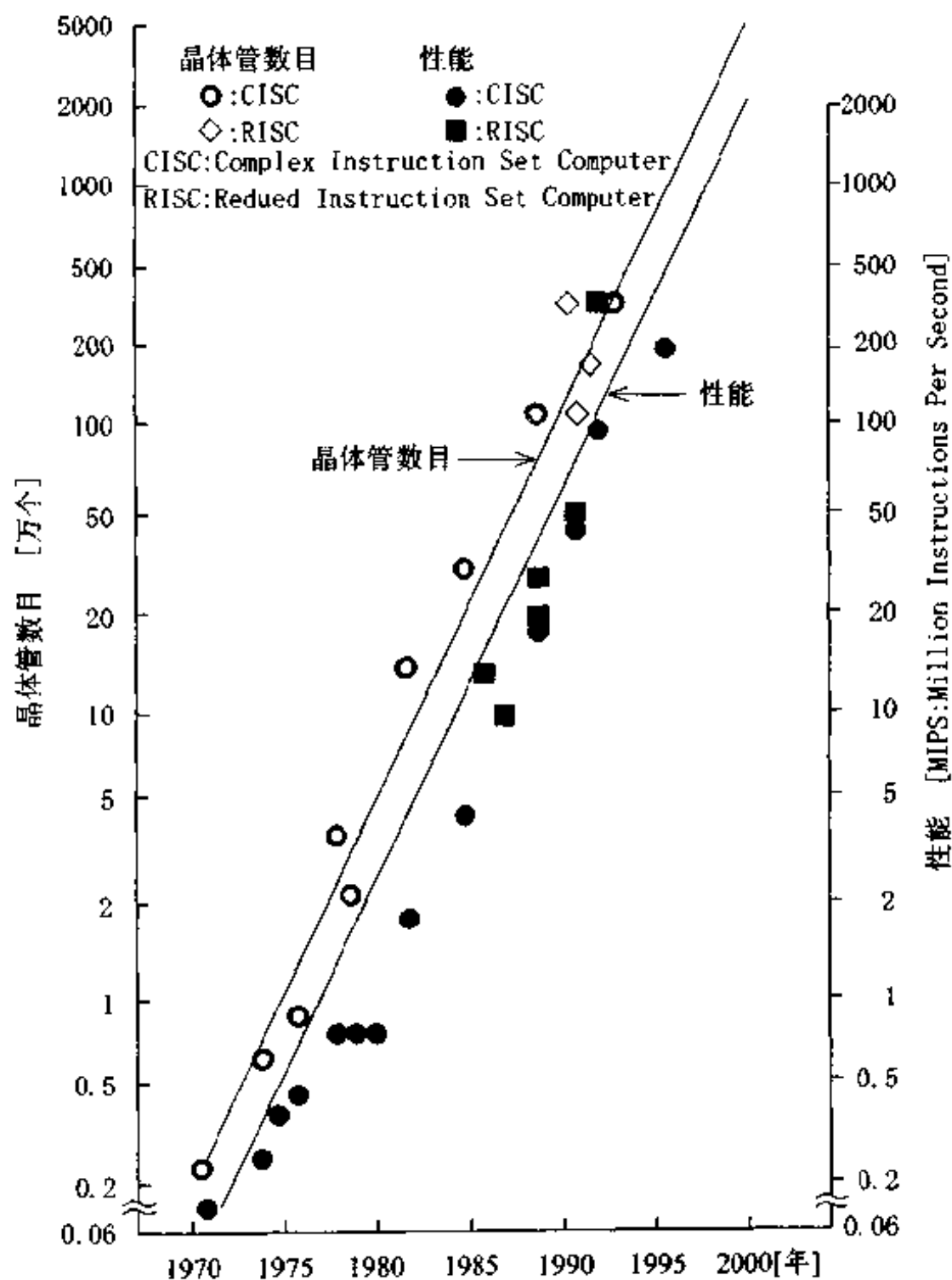


图 2.2 微计算机中含有的晶体管数目和计算机性能的发展

2.1.2 常用的 CAD 技术

集成电路的设计流程如图 2.3 所示。图左侧①②③为 T-CAD 技术,在《集成电路 A》第 6 章中已作介绍。其余的④⑤⑥⑦将在本章中作介绍。

图 2.4 示出功能设计、逻辑设计、电路设计和布图设计各个阶段的设计图例。表 2.1 中列出了集成电路的设计程序和各个程序中所使用的 CAD 技术的概要。各个设计阶段中所使用的 CAD 技术又细分为生成 CAD 技术和验证 CAD 技术。

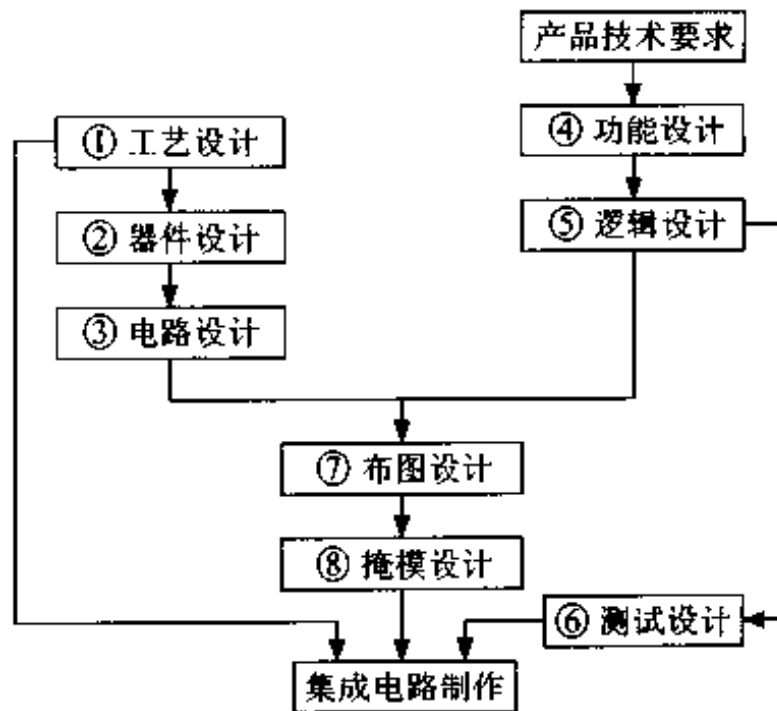


图 2.3 集成电路设计流程

表 2.1 设计集成电路时使用的主要的 CAD 技术

	设计阶段	生成 CAD 技术	验证 CAD 技术
①	工艺设计		工艺模拟
②	器件设计		器件模拟
③	电路设计		电路模拟
④	功能设计		功能模拟
⑤	逻辑设计	逻辑合成	逻辑模拟
⑥	测试设计	测试电路生成、测试矢量生成	故障模拟
⑦	布图设计	自动排列、自动布线	布图模拟
⑧	掩模制作	掩模图形的生成	设计规则验证

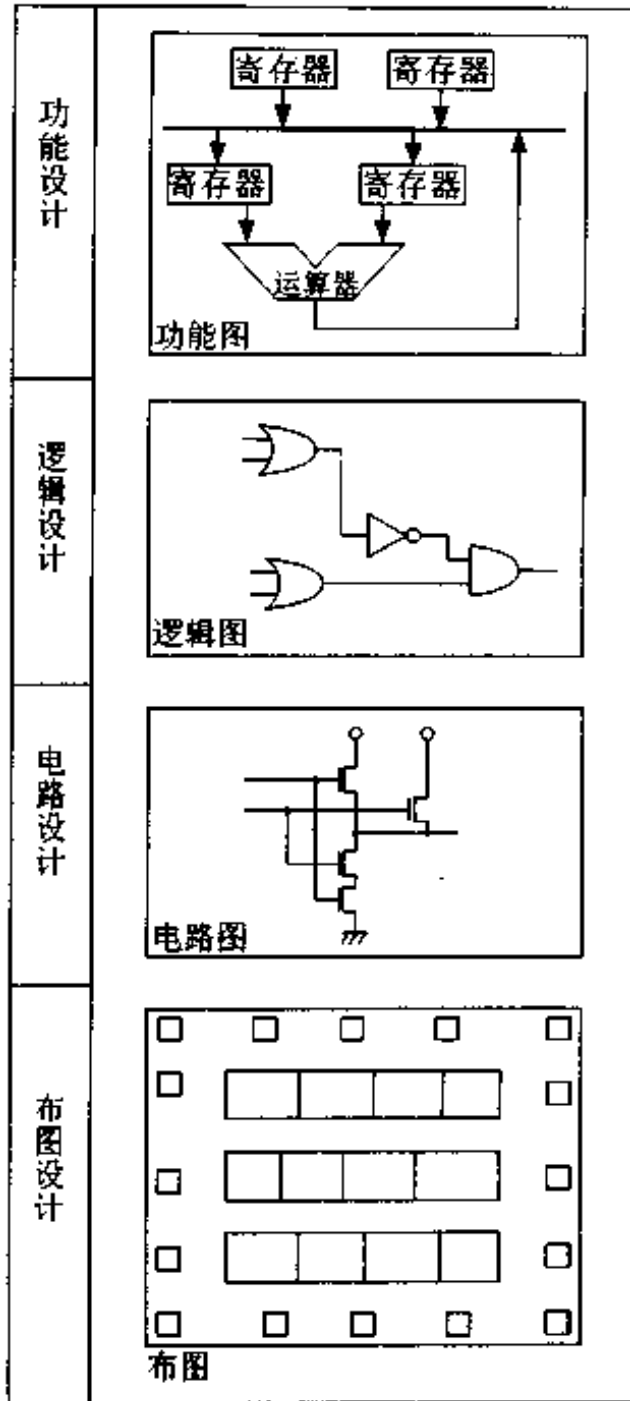


图 2.4 各设计阶段以及图例

2.2 功能设计的 CAD 技术

设计集成电路时,需要处理的数据量非常庞大,为了方便处理,通常采用阶层设计法。首先,为了达到产品的性能指标,将整个电路按功能分成功能方框图,以决定整个电路如何动作。

寄存器传递电平(RTL)决定了功能方框内部的构造和动作,寄存器传递电平的设计是由功能设计来完成的。即,由功能设计来选定存储器件(寄存器),定义它们之间的传递途径(参照图 2.4)。

功能设计时,像软件程序那样用“语言”表达集成电路的性能指标,用功能模拟验证集成电路是否按照性能指标的要求工作。然后利用逻辑合成程序自动地转换成门逻辑电路。通常,把前面提到的“语言”称为硬件描述语言 HDL(Hardware Description Language)。

硬件描述语言 HDL 中有 VHDL(VHSIC HDL), Verilog HDL, UDL/I(Unified Design Language for Integrated circuit), SFL (Structured Function description Language)等语言,它们各有优缺点,其中 VHDL 和 Verilog HDL 两种语言最为普及。

1. VHDL

VHDL 是美国国防部的超高速集成电路 VHSIC(Very High Speed IC)委员会提出开发的,用来描述硬件动作的语言,并已标准化登录在 IEEE(Institute of Electrical and Electronics Engineers)的 Std-1076 中。它具有设计者易于理解的形式,是以描述硬件动作为目的而开发的通用语言。VHDL 描述既含有计算方法又含有寄存器传递电平和门电平。VHDL 本身既可作为硬件动作的描述语言,也可作为功能模拟或者逻辑合成的输入,具有相当高的描述能力。

与设计阶段相对应,VHDL 有三种描述方法。即,动作描述,数据流描述和结构描述。图 2.5 表示半加器的三种描述示例。表 2.2 中列出了输入端 A,B 和输出端 SUM,CO 的真值表。图 2.5(a)的动作描述与 C 语言写的功能描述在形式上相似,但不含构造信息。输出端 SUM 是 A 与 B 之和,输出端 CO 是输入端 A 和 B 的逻辑积。图 2.5(b)的数据流描述含有构造信息,但是与结构描述相比要抽象得多。它描述了这样的功能动作:对输入端 A 和 B 进行逻辑运算 XOR,AND 后的结果分别代入输出端 SUM,CO。图 2.5(c)的结构描述表示逻辑器件之间的连接关系,也称为网络表(net list)。对于器件 XOR,定义了输入端为 I1,I2,输出端为 O1,门的代号为 U1,输入输出端分别接有信号 A,B 和 SUM。对 AND2 也同样作了定义。

```

architecture behavioral of half_adder is
begin
  process
    SUM <= A+B;
    CO <= A and B;
    wait on A,B;
  end process;
end behavioral;

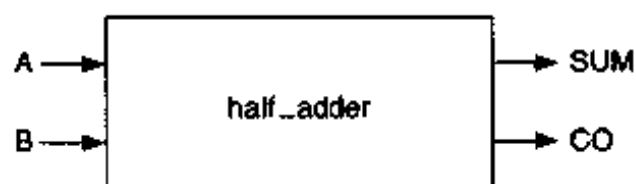
```

(a) 动作描述

```

architecture behavioral of half_adder is
begin
  SUM <= A xor B;
  CO <= A and B;
end behavioral;

```

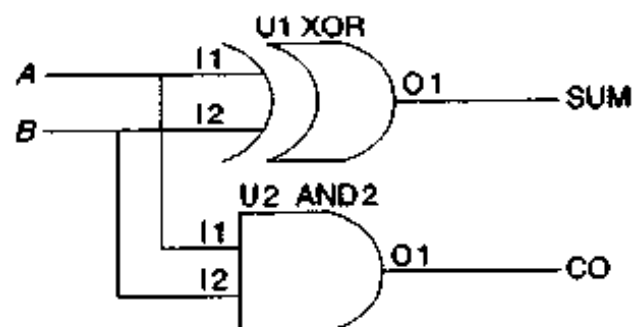


(b) 数据流描述

```

architecture behavioral of half_adder is
  component XOR
    port(
      I1 : in std_logic;
      I2 : in std_logic;
      O1 : out std_logic);
  end component;
  component AND2
    port(
      I1 : in std_logic;
      I2 : in std_logic;
      O1 : out std_logic);
  end component;
begin
  U1 : XOR port map(A,B,SUM);
  U2 : AND2 port map(A,B,CO);
end behavioral;

```



(c) 构造描述

图 2.5 半加器的语言描述

表 2.2 半加器真值表

输 入		输 出	
A	B	SUM	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

2. Verilog HDL

Verilog HDL 是作为市场出售的逻辑模拟软件 Verilog-XL 的输入语言而开发的。虽然没有 VHDL 的描述能力高,但因其具有相当丰富的程序库而获得广泛地应用。Verilog HDL 也已作为 IEEE 标准硬件描述语言登录在 Std-1364 中。

2.3 逻辑设计的 CAD 技术

2.3.1 逻辑合成

所谓逻辑合成是指以功能描述为输入,自动地作成详细的门电平逻辑这一功能。功能逻辑的描述是将逻辑电路的功能用布尔式、真值表、状态的迁移来表达或者用描述语言写成的。门电平逻辑的自动合成分成两个阶段:将输入的信息展开成为布尔代数的逻辑式,将逻辑式最优化;选出与逻辑式相对应的、集成电路技术可实现的逻辑门(技术转换)。

图 2.6 中表示以真值表为输入时的逻辑合成的方法。首先,①进行真值表的简化,其方法是尽量减少真值表的行数,增加无关紧要的多余(don't care)项。其次,②由简化了的真值表生成 AND-OR 2 级“与或”形式的布尔式。③将生成的“与或”形式的布尔式中积的项数减少,达到最优化,④选定与最优化的布尔式相对应的逻辑门集成电路。当采用 CMOS 电路时,往往采用构成多级逻辑电路的复合门(CMOS 复合门电路请参阅第 3 章 3.1

节)。其理由在于,以一个门所需要的硅芯片面积来作比较的话,复合门所占的面积要比单门多段所占的面积小。然后,计算门的级数和门的数量。

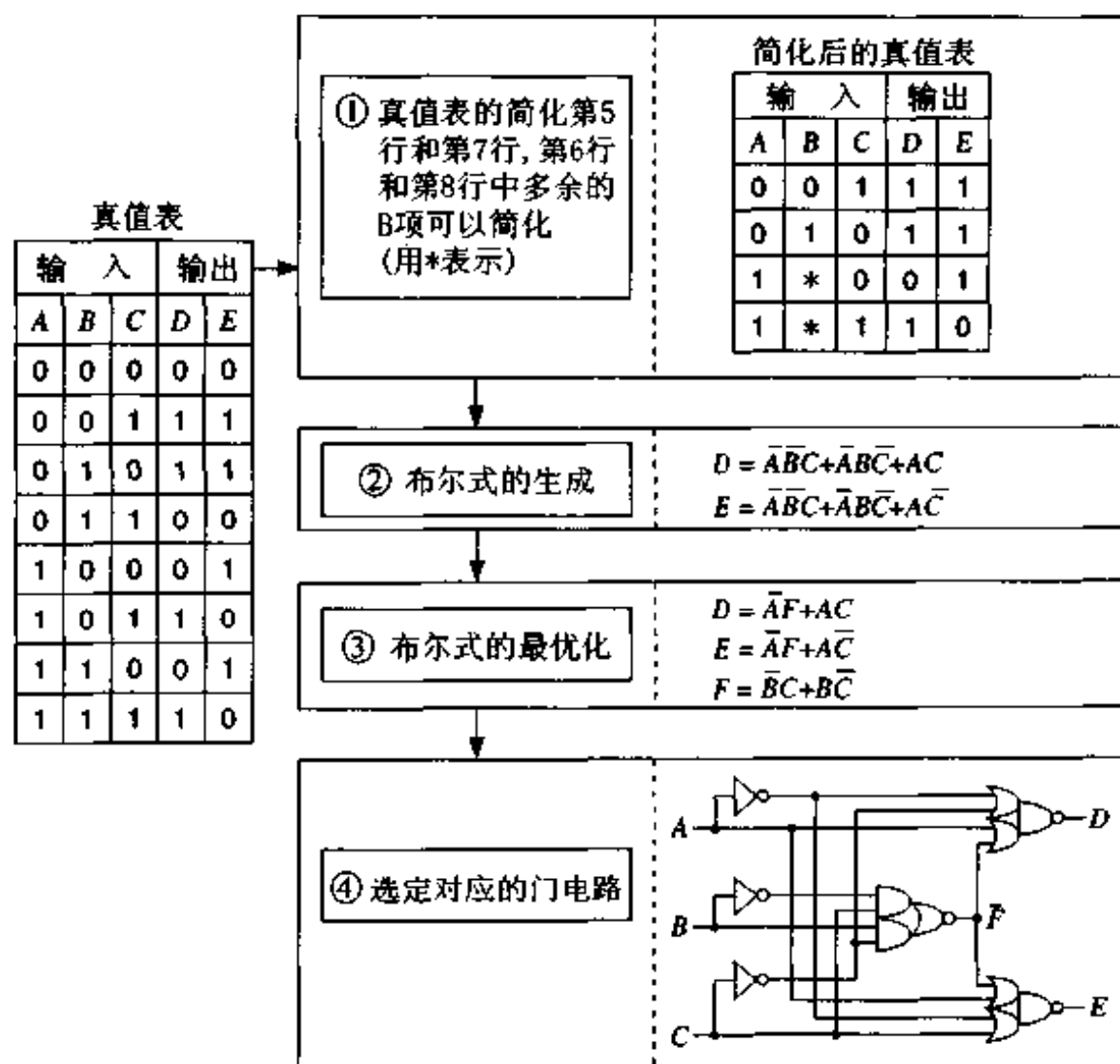


图 2.6 逻辑合成的方法

逻辑门选定以后,如果门的级数和门的数量不能满足当初的限制条件的话,将返回再进行布尔式的优化,使共同项的数目最大化,再一次进行逻辑门的选定,反复实行上述各个步骤直到门的级数和门的数量满足当初的限制条件为止。

2.3.2 逻辑模拟

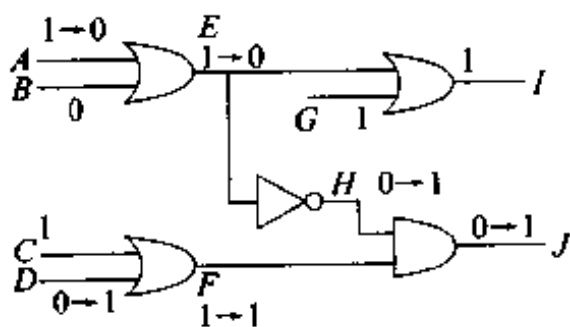
逻辑模拟是根据构成逻辑电路的 AND、OR、NOT、NAND、NOR 等的门、触发器和移位寄存器等逻辑器件的输入信号,计算出输出信号值。逻辑

模拟程序要处理规模在几千个门甚至几十万个门的电路,所以必须采用高速运算的手法。

“选择示踪法”主要根据在某一时刻集成电路中工作的器件只不过总数的百分之几这一现实,只对输入值有变化的器件进行运算。因为选择示踪法将逻辑器件的输出的变化作为一个“事件”,跟踪变化的器件,所以也被称为“事件驱动法”。

集成电路输入端的信号变化首先引起接在输入端上的逻辑器件输入的变化,再经过该器件进行运算后,决定输出的信号。该输出信号就是下一级器件的输入信号。这个输入信号的变化传送给内部的各个器件,最后成为集成电路的输出。

图 2.7 所示的逻辑电路中,假如输入 A 由 1 变成 0,这一变化将引发 E 、 H 、 J “事件”;而假如输入 D 由 0 变成 1,则不发生任何“事件”。



输入 A 由 1→0 将发生 E 由 1→0、 H 由 0→1、 J 由 0→1 等“事件”。
输入 D 由 0→1 不会发生任何“事件”。

图 2.7 选择示踪法

逻辑模拟的任务是完成上述运算。世界上有很多逻辑模拟程序,他们都在高速化方面下了很大的工夫,但是基本上都采用了事件驱动法。

除此之外,由逻辑器件的输入信号值发生变化到输出发生变化之间,由于器件内部动作产生时间上的延迟(器件延迟);输出的变化经过布线传递到下一级的输入端时,由于布线的电容、电阻等也会产生时间上的延迟(布线延迟)。一般在进行逻辑模拟

时要考虑这些延迟。

2.4 测试设计的 CAD 技术

为了确认制成的集成电路是否符合设计要求,需要进行的逻辑测试测试。测试的项目有:检查集成电路引线端的电流-电压特性的直流特性测试;检查逻辑功能是否正常工作的逻辑测试;检查动作速度的交流特性测

试。这里,我们介绍利用测试矢量¹⁾进行动作功能测试时所使用的故障模拟技术(参照表 2.1)。

在测试逻辑电路的动作功能时,采用测试矢量来筛选产品的好坏。利用测试矢量进行评估时,使用的是故障模拟。故障模拟可分析逻辑电路发生故障时发生了什么样的动作。同时,故障模拟还可用作评估逻辑电路的测试矢量检测故障的能力,作成故障原因分析报告单。

所谓逻辑电路的故障,是指因构成逻辑电路的电子电路中某一处或多处有物理缺陷而产生电路误动作的现象。这些可能产生的所有故障的组合是一个天文数字,将无法处理。从而,人们在进行故障模拟时,作为故障模型,多采用单一简并化故障(也称固定故障)²⁾。并设计出了一些高效率运算方法。这里,介绍同时模拟(concurrent simulation)法。

这种方法考虑到当同一信号序列分别输入到正常电路和故障电路时,两者几乎同样动作这一现象,在减少计算程序等方面下了很多工夫。以正常电路的逻辑模拟为样本,仅在故障电路的动作和正常电路动作不同的时候,进行故障电路的模拟。

当图 2.8(a)所示的门 A 和门 B 分别输入(1,0)、(1,1)时,让我们来讨论下述两个故障电路:对于图(b)所示的故障 f1 来说,假定门 A 的第 2 输入端简并化为“1”。对于图(c)所示的故障 f2 来说,门 A 的第 1 输入端简并化为“0”。当发生 f1 和 f2 以外的故障时,其输入信号对于门 A 来说是和正常信号相同的,可从故障模拟中去除。首先,对门 A 的正常电路

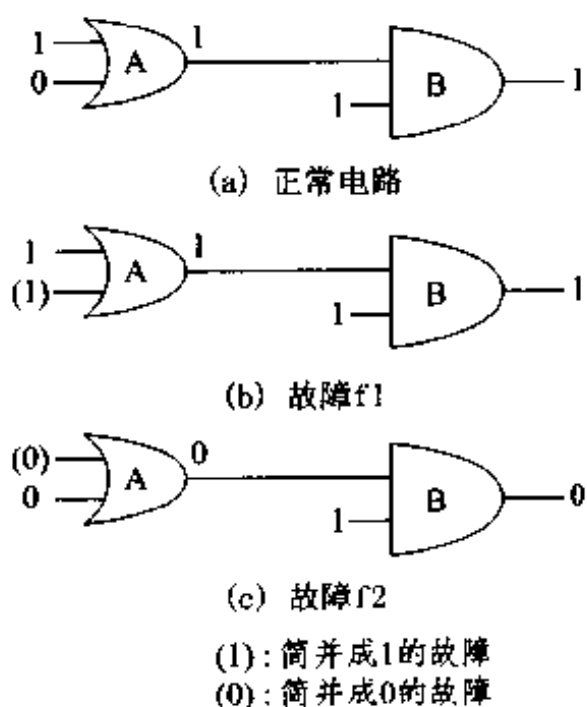


图 2.8 同时模拟

1) 测试矢量就是在测试逻辑电路时所必需的输入信号列,以及与该输入信号列相对应的输出信号列。

2) 单一简并化故障(single stuck at fault),即逻辑器件的输入或输出与时间无关,固定于“1”或“0”,而且假设逻辑电路中同时只有一处出现故障。

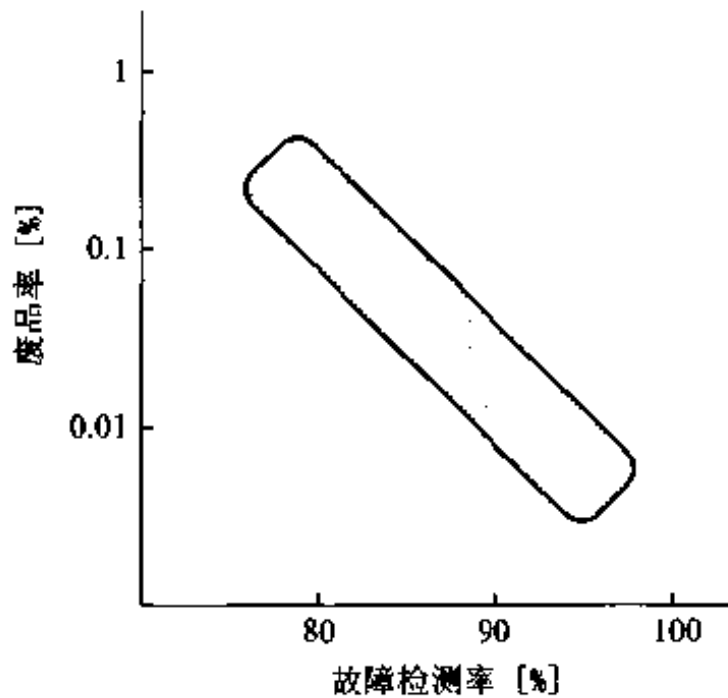


图 2.9 故障检测率和废品率之间的关系

(a) 进行模拟,其次计算发生 f_1 和 f_2 两个故障的电路(b)、(c)中的门 A 的输出。此时,由于故障 f_1 的输出为“1”,和正常的电路相同,不作为故障电路处理。故障 f_2 中的输出为“0”,和正常的电路不同。然后再对门 B 进行计算。依此类推,通过用与逻辑模拟相同的方法对故障门进行计算,进行故障模拟。

这里,当正常电路的信号变化或者前一段故障门的

输出和正常电路的输出相同时,可不必对故障门进行计算,从而大幅度地减少了故障模拟的时间。即只要对和正常电路相比动作有差异的故障门进行计算即可。

故障检测率如下式所示

$$\text{故障检测率} = \frac{\text{可能检测出的假设故障数}}{\text{假设故障总数}} \times 100\% \quad (2.1)$$

图 2.9 表示 LSI 的废品率和故障检测率之间的经验关系。实际上希望故障检测率达到 95% 以上。

2.5 布图设计的 CAD 技术

布图设计是根据逻辑设计的数据将集成电路的晶体管、金属布线排列在硅芯片上的设计(参照图 2.3)。布图设计时采用的部件是一些构成 AND、OR、NOT、NAND、NOR 门和触发器等晶体管以及布线的掩模图形。

布图设计的基本流程示于图 2.10。布图设计是将芯片的面积(也称为芯片尺寸)最小化的重要方法。芯片的面积是由单元区域、布线区域和周

围的焊接区(和外部引线进行电连接用的集成电路引线端子)的大小决定的(参照图 2.10)。自动布图程序能将单元区域、布线区域的尺寸设计成最小。首先,第一阶段是将与逻辑图的各个门相对应的单元自动地排列在集成电路芯片上。这里所说的单元已预先设计好并保存在程序库中。在自动排列时,逻辑上连接较多的单元要尽量就近排列,以便缩短布线的长度。因此自动排列是根据单元间的布线关系来决定排列的。

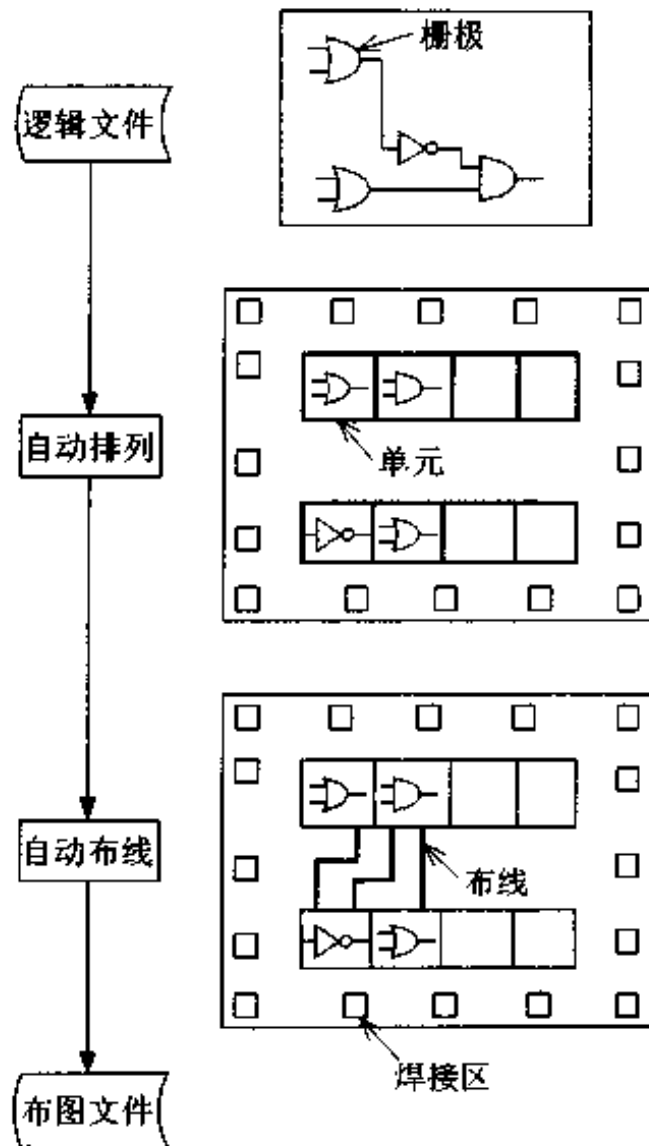


图 2.10 布图设计的基本流程

第二阶段为自动布线,将排列好的单元之间用布线连接起来,获得与逻辑图布线(也称为网络表)等效的电连接。自动布线将单元间以最短距离连接起来,使布线区域最小化,是一种高效的布线法。

2.5.1 布图的设计法

布图 CAD 程序和集成电路的设计有着密切的关系。布图设计的方法有人工布图方式、门阵列方式和标准单元方式等三种方式。

1. 人工布图方式

对于规模比较小的集成电路,一般采用最优先考虑电性能的集成电路或者要求芯片尺寸尽可能小的集成电路,往往靠人工进行布图设计。设计工作者一般采用 EWS(Engineering Work Station),利用人工对话形式的布图 CAD 程序进行布图设计。

例如,对于电特性要求严格的线性集成电路和存储器集成电路,根据电路模拟的结果,必须对晶体管的形状尺寸、布线宽度和长度等等进行详细的设计时,往往采用人工布图方式。

一般说来,与自动布图 CAD 程序设计相比,用人工进行布图获得的芯片尺寸小。这是因为用人工进行布图设计时,可以从芯片的整体综合地判断单元和布线的排列,获得效率最高的布图设计。但是设计所花的时间要比利用自动布图 CAD 程序所花的时间长得多。

2. 门阵列方式

图 2.11 表示以门阵列方式进行布图设计的一个例子。与图 2.10 所示的自动排列不同,在门阵列方式中,各个单元已经形成在硅片上,为了使各个单元按逻辑图连接起来,只需进行布线的设计。即,对已完成了单元排列设计、并已完成了扩散等工艺的硅片,进行自动布线的设计,使其获得逻辑图指定的功能,然后制造布线掩模,完成集成电路的布线。采用这种方式,只需进行自动布线的设计,因而设计周期短,每个品种使用的掩模比较少,具有生产周期短等特点。

3. 标准单元方式

标准单元方式还可细分为多单元方式和组合方式。

(1)多单元方式:与门阵列方式不同,设计要从单元的排列设计开始,集成电路的制造也必须从最初的工序开始。如图 2.10 所示的那样,利用已设计好的单元进行自动排列设计,接着进行单元间的自动布线设计。单元

的宽度根据功能的不同而异,但高度是一定的。

(2)组合方式:这个方式也称为基本单元 IC 方式。如图 2.12 所示,预先设计好由多个基本逻辑门构成的运算器和存储器等部件,使用这些部件进行自动布图设计。这正如将大小和形状不同的积木进行排列,再将它们之间用布线连接起来一样。下面说明组合方式中的阶层阵列设计和平面布置。

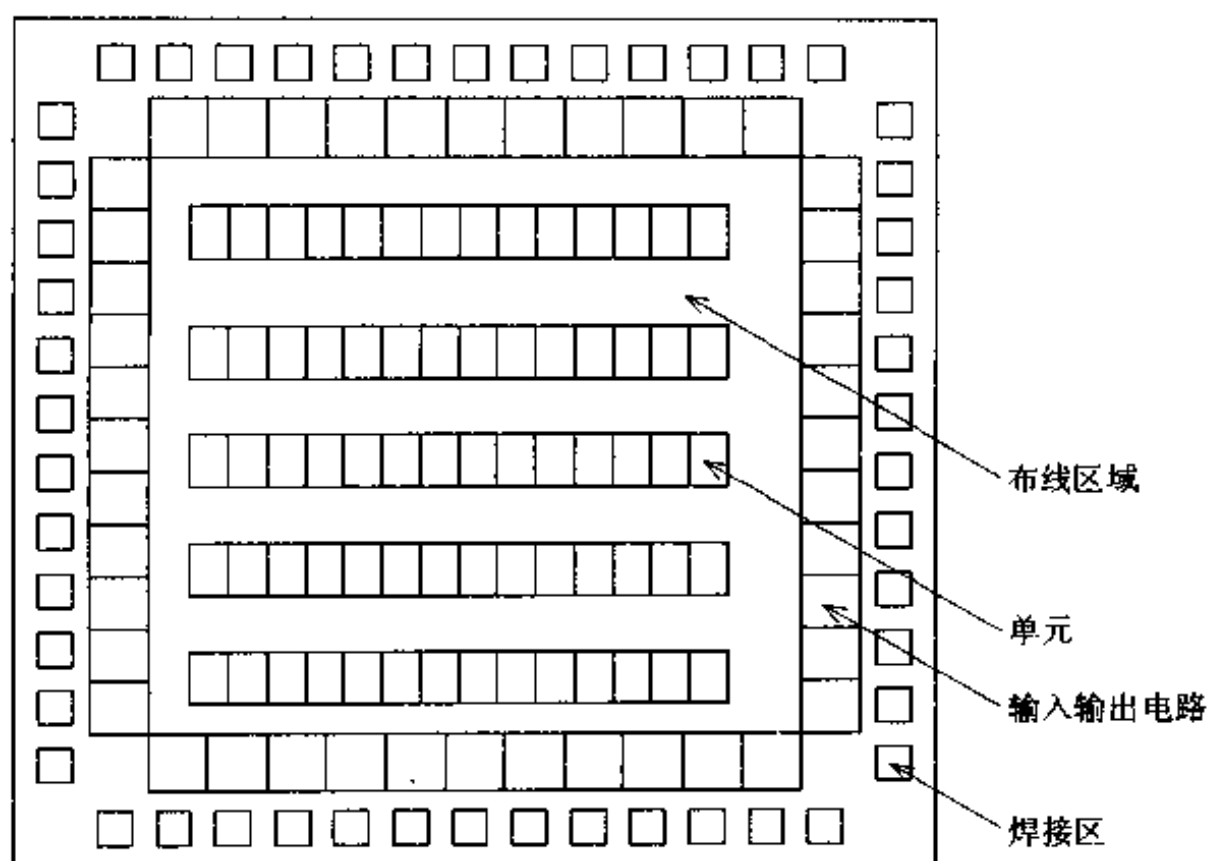


图 2.11 门阵列方式的布图

• 阶层阵列设计:如果直接对整个集成电路进行设计,则规模过大,所以分阶层进行设计。在进行图 2.12 所示的布图设计时,分成单元、部件、芯片 3 个层次进行设计。一般,采用“自下而上”的方式,先设计最下层的单元,再设计部件的排列和布线,最后进行芯片的设计。

• 平面布置:不是直接将单元排列在整个芯片上,而是将部件排列在芯片上,再对部件间的布线进行初步的设计。即,找出大小形状不同的积木的最佳排列方案。设计受到芯片形状、信号同步、外部引线位置等的限制时,最佳化是相当困难的。一般利用 EWS 通过人工对话法和部件之间的自动布图程序来进行设计的。平面布置的好坏是由芯片尺寸的大小来评估的。

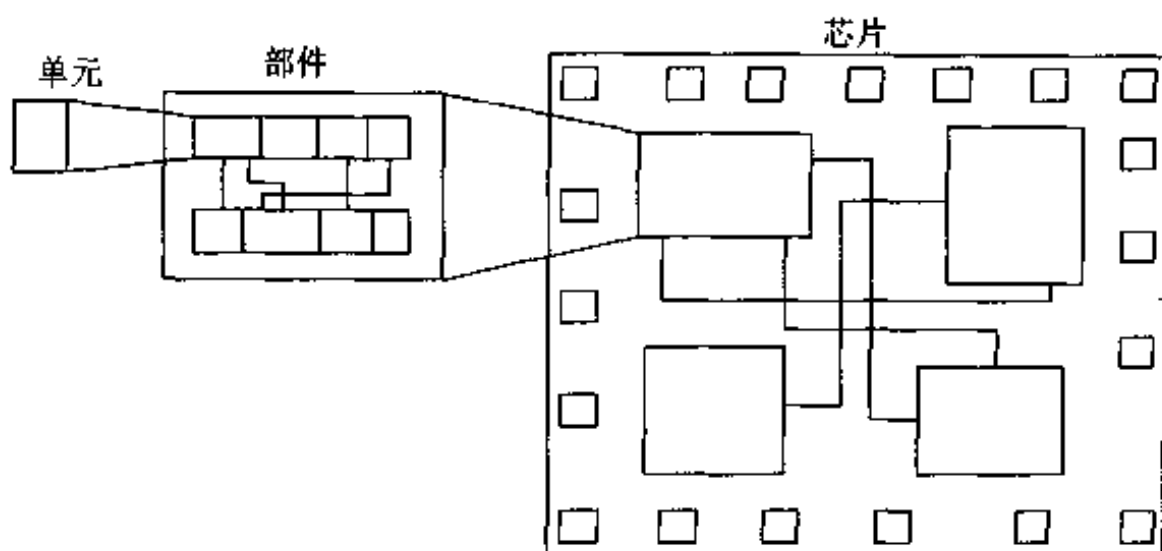


图 2.12 组合方式布图

实际上,在进行微计算机之类的大规模逻辑集成电路等的布图设计时,大都是并用上述各种方式来进行的。例如,部件的内部有的是靠人工布图方式,有的是靠多单元方式设计而成,还有的部件是用组合方式的阶层构造。

此外,关于门阵列方式和标准单元方式的区别,请参阅第 3 章 3.5 节对于 ASIC 设计的说明。

2.5.2 排列技术

为了便于说明,下面不考虑布图的层次,只介绍单元设计。

所谓排列设计是将与逻辑图上的门相对应的单元 IC 最佳地排列在芯片上。排列和布线有着密切的关系,最理想的是在自动设计时,同时考虑排列和布线,找出最佳解。一般说来,很难找出最佳的解。因而有将排列和布线分离,分别定出各自的目标值,找出最佳解这种趋势。

1. 排列的评估

下面叙述排列好坏的评估方法:

(1) 布线的长度:一般说来,单元排列的布线长度越短,芯片的尺寸也越小。

(2) 局部拥挤程度:布线拥挤在某一局部时,将导致布线面积的增大,所以应该避免布线的局部拥挤。

(3) 传输延迟:布线传递信号的延迟时间要控制在容许值以下。

2. 排列的方法

一般是先求出初期排列状态的初始值,然后再根据评估函数来改善排列:

(1) 初期排列:有好几种初期排列的方法,此处,简要地介绍切开法。如图 2.13(a)所示,首先沿水平方向的切开线(i)将芯片分成两部分,决定单元 A、B、C、D 的相对位置。此时,与切开线相交的布线有 4 根,为了减少相交布线的根数,将单元 B 和 D 的位置对调,则与切开线相交的布线变成了 1 根,如图(b)所示。然后,再沿垂直方向的切开线(ii)将芯片分成两部分,决定各个单元的相对位置。与切开线相交的布线有 4 根,将单元 B 和 C 的位置对调,即变成了如图(c)所示的 2 根。如单元的数目更多时,可将芯片细分,如图(d)所示,反复分割和改善,进行各个单元的排列。

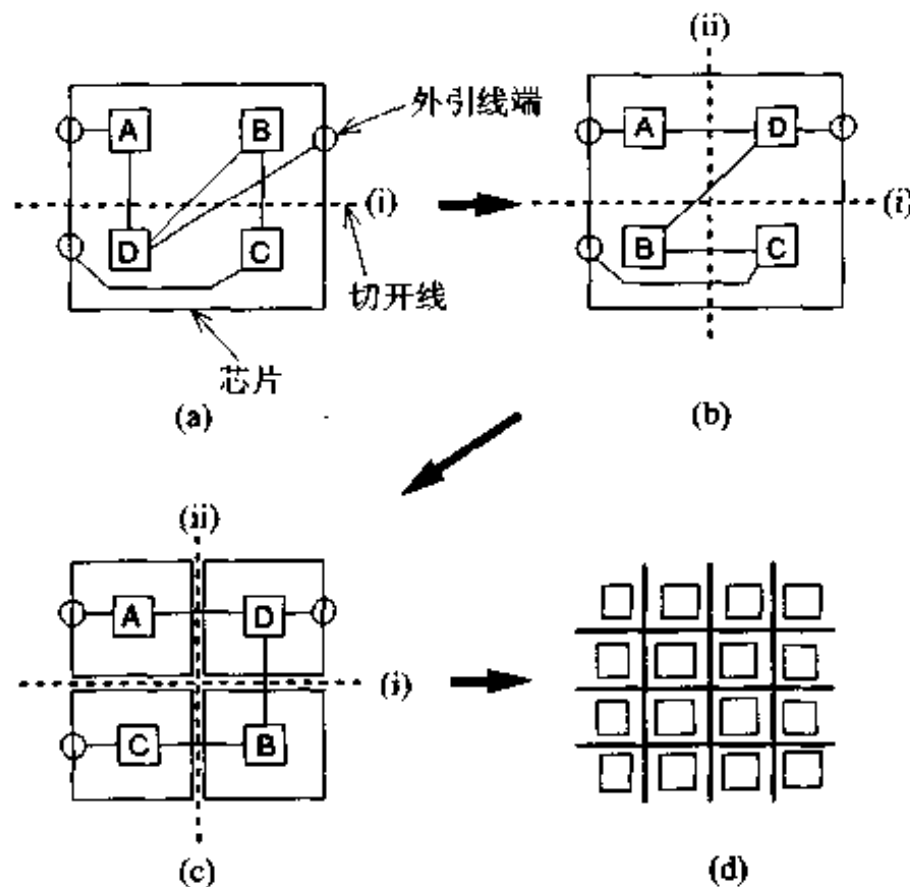


图 2.13 切开排列

(2) 排列的改善:有好几种改善排列的方法。此处,简要介绍两单元

交换法。所谓两单元交换法是互换两个单元的位置而使排列改善的方法,按下列步骤进行。

(a) 评估值的定义:首先对表示排列好坏的评估值进行定义,对各个单元进行计算,列出单元和评估值的对应表。

(b) 互换单元的选择:由对应表中挑出评估值最差的单元。

(c) 通过互换获得改善:在剩下的其他单元中找出一个单元与挑出的这个单元互换,使整个评估值获得最大改善。

(d) 排列位置的更新:互换这一对单元的位置,进行评估值的再计算和对应表的更新,再返回到(b)。通常以布线长度的最小化和局部拥挤程度的均匀化作为评估值。

2.5.3 布线技术

所谓布线设计就是决定单元之间的布线。每个单元具有信号的输入、输出以及电源线。按照逻辑图(网络表)进行单元引线之间的连接。在进行布线处理时,由单元的数据获得禁止布线区域的信息,再决定布线的排列。自动布线的方法有好几种,这里着重说明迷路法和通道布线法。

1. 迷路法

图 2.14 示出了迷路法的概要。硅芯片上的布线具有一定的宽度,布线之间还应留有间隙。因而应以布线的宽度和最小间隙之和(布线间隔)进行布线的排列。图中按布线间隔画有纵横线,形成格子。求布线经过的路线就成为考虑由一个格子的中心到另一个格子的中心间的路线问题。现在考虑由 A 到 B 的路线。首先,如图 2.14(a)所示,将与 A 格子相邻的格子标上编号 1,然后将与编号 1 相邻的格子标上编号 2,禁止布线的格子不给编号。如上所述,将各个格子编号直到 B,如图(b)所示。编号到达 B 以后,如图(c)所示的那样,再由 B 按编号减小的方向到达 A。图中示出了拐弯最少的路线。如此可以获得图(d)所示的由 A 到 B 的路线。这种方法是

以 A 为中心探索同心圆途径的方法。

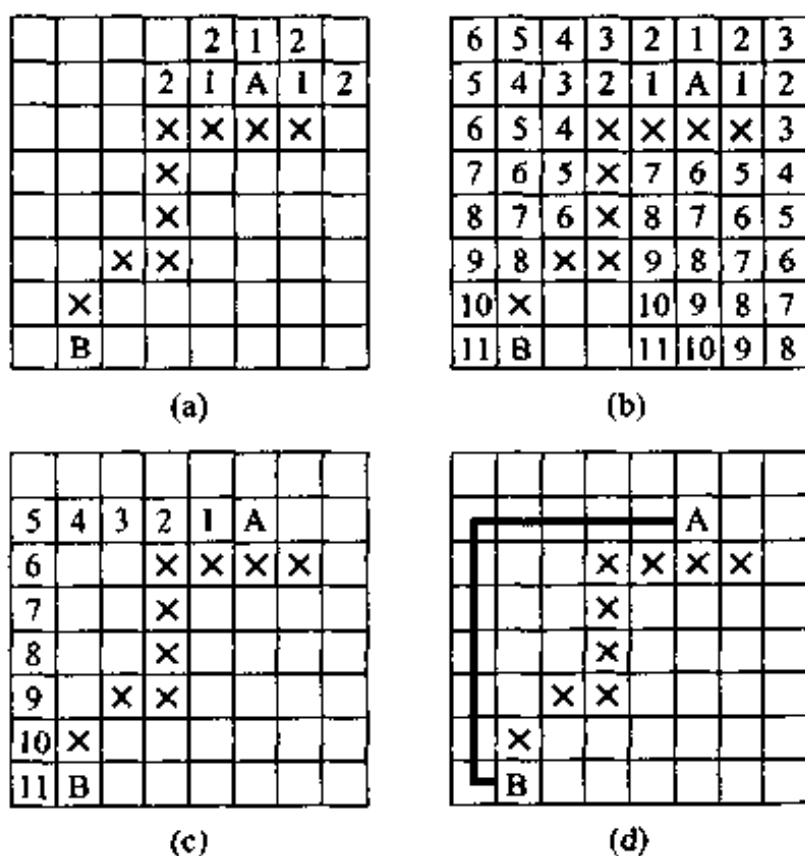


图 2.14 迷路法的布线方法 (X 为禁止布线点)

2. 通道布线法

如图 2.15 所示,通道布线法是将单元之间的矩形区域(称为通道)作为布线区。通道上下方需要布线的单元具有输入、输出的引线。同一网络(相互连接着的布线群)引线之间是靠一根干线(和引线端列相平行的布线,即图中的粗线)和与该干线相交叉的数根支线组成的布线相互连接起来的。干线和支线的排列要使通道的宽度(图中单元列之间的距离)最小。

现在根据图 2.15 来说明通道布线法的布线顺序。图中标有相同英文字母的引线端为要用布线连接的引线端。

(1) 挑出干线:挑出布线区域内的所有干线。此处还未决定干线分摊到哪个通道。

(2) 决定引线端相互制约关系:因为图中 C 和 D 左侧的引线端处于同一 X 坐标,为了避免布线的短路,C 的干线(C)要置于 D 的干线(D)的上方。

(3) 干线的分摊:首先决定最上面的第 1 通道的干线。选择最左侧的干线(A),其次选择与(A)不重叠的干线(B)分摊给第 1 通道。根据上述(2)的相互制约关系,(C)要置于(D)的上方。排列干线(C)后,则第 1 通

道排列完毕。对于剩下的第 2、第 3 通道,用同样的方法处理即可。

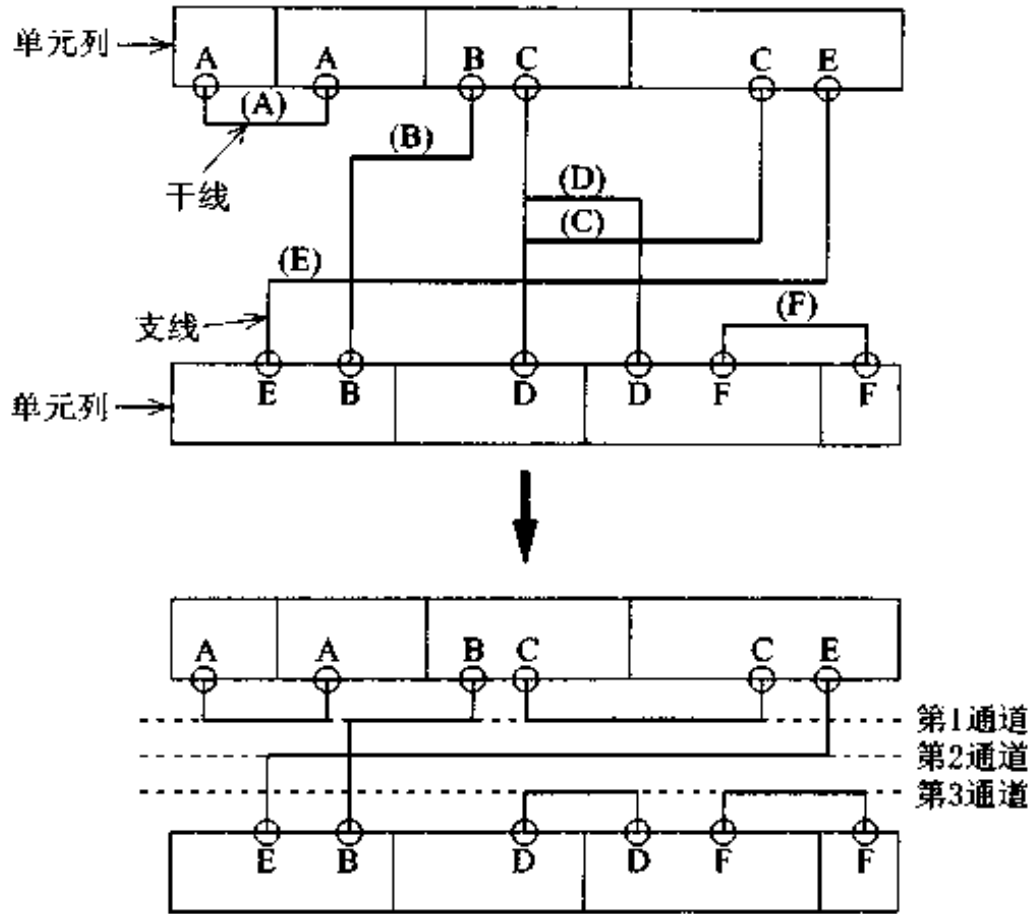


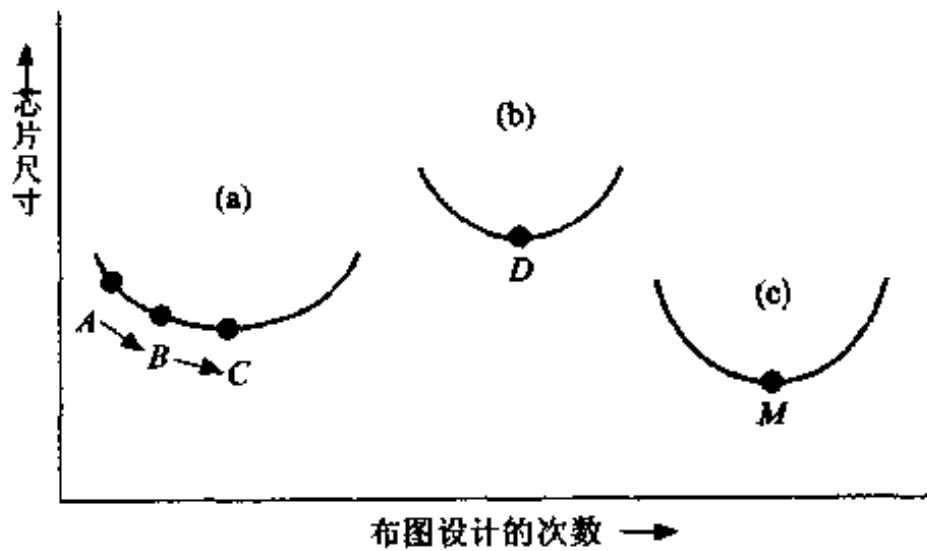
图 2.15 通道布线法

以上,介绍了两种自动布线的方法。实际的 CAD 程序中,很少单独使用一种方法,而是几种方法并用。现正在积极努力开发 CAD 程序,使其设计出的集成电路芯片尺寸达到与人工布图同样小的尺寸。此外,人们还发明了各种各样的布图方法并已获得实际应用。

自动布图设计的技巧

集成电路自动布图设计中最重要的是如何将芯片尺寸设计得最小。这是因为芯片的尺寸直接影响着集成电路的制造成本。但是,利用自动布图设计得到的芯片尺寸不一定是最小的。按照下图所示的方法,反复进行布图设计,可以获得最小的芯片尺寸。

首先,设利用自动布图设计获得的芯片尺寸为 A 点。接着,通过变更自动布图 CAD 程序中各种参数反复进行自动布图设计,假设获得的芯片尺寸由 B 点到 C 点变化。看上去该 C 点好像是最小点,但是这只是在 (a) 组中的移动, C 只是该组的极小点。改变平面布置方案,变更部件的排列,较大地变更自动布图程序的初始条件,有可能存在 (b)、(c) 等其他的组别,存在有最小点 M。在实际进行设计时,应考虑多种平面布置方案,分别反复地进行布图设计,以获得最小的芯片尺寸。



练习题

- 1 总结一下 VHDL。
- 2 说明逻辑合成。
- 3 什么是选择示踪法?
- 4 什么是故障检测率?
- 5 叙述切开法。
- 6 用迷路法求出图 2.16 中由 A 到 B 的路径。
- 7 总结一下通道布线法。

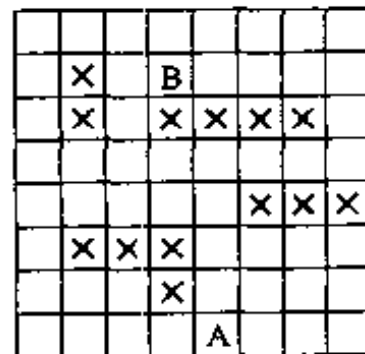


图 2.16

数字集成电路的 设计

现在的大规模数字集成电路采用的是《集成电路 A》第 5 章里所叙述的 CMOS 技术。在本章里,我们将要概括地说明 CMOS 数字集成电路的基本电路——门电路,以及把门电路组合构成的组合逻辑电路和时序逻辑电路,进而学习以这些电路为基础而设计的微处理器等大规模集成电路的构造及原理。

3.1 CMOS 基本门电路的分类

CMOS 的基本门电路有各种各样的类型;包括《集成电路 A》叙述过的倒相器(NOT)、2 输入端的“与非门”(NAND)、2 输入端的“或非门”(NOR)等简单的门电路,直到能够进行更复杂的逻辑运算的组合门电路。下面,我们将考察其中具有代表性的门电路及其设计方法。

3.1.1 NAND 和 NOR 电路

CMOS 基本逻辑电路是以《集成电路 A》中学习过的 CMOS 倒相器为基础的。在这里我们把晶体管看作开关再次考察一下 CMOS 倒相器的工作原理。图 3.1(a)、(b)、(c)分别示出了 CMOS 倒相器的电路符号、电路图和开关表示图。设 nMOS 晶体管的栅极为 X ,于是我们可以把晶体管看作一个 X 为“1”时导通的开关;反之 pMOS 晶体管也可以看作一个 X 为“0”时导通的开关(也就是说 \bar{X} 为“1”时导通的开关)。输入为“1”时,nMOS 开关导通而 pMOS 开关截止,输出端 Y 被下拉到地(GND)而为“0”。输入为“0”时,pMOS 开关导通而 nMOS 开关截止,输出端被上拉到电源端而为“1”,也就是说该电路具有 $Y = \bar{X}$ 的倒相器(NOT)的功能。因为当输入为“0”或者“1”的时候,其中必有一个开关截止,电流不会从电源流入地线(负极),所以该电路呈现低功耗的 CMOS 电路特性。

参考上述 CMOS 倒相器的工作原理,让我们来讨论图 3.2(b)所示的 2 输入端的 NAND(与非门)的工作原理。两个 nMOS 晶体管串接在输出和地之间,而两个 pMOS 晶体管并联在输出和电源之间。图 3.2(c)是用开关置换了上述倒相器里的晶体管后的电路。输出和地之间串接着两个开关,输入端 A, B 都为“1”,即 $(A, B) = (1, 1)$ 时输出端和地之间导通;而 $(A, B) = (0, 0), (A, B) = (0, 1)$ 和 $(A, B) = (1, 0)$ 时输出端和地之间均为非导通状态。另外两个开关并联在输出端和电源之间,这两个开关都是输入为“0”时导通的开关。因此 $(A, B) = (0, 0), (A, B) = (0, 1)$, 以及 $(A, B) = (1, 0)$ 的时候,也就是说只要输入端有一个为“0”,输出端和电源之间就导通,而 $(A, B) = (1, 1)$, 也就是说只有当输入都为“1”时输出端和电源之间才为非

导通状态。

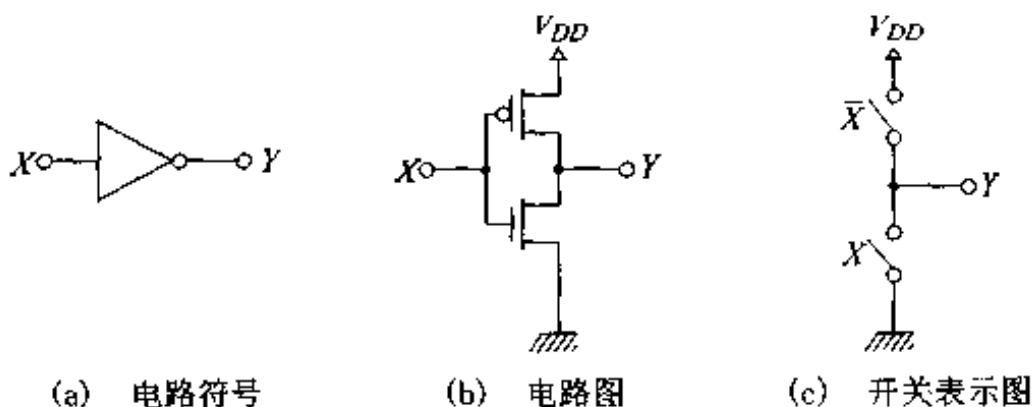


图 3.1 CMOS 倒相器

把这些归纳起来则如表 3.1 所示。从表 3.1 可以看出,只有输入都为“1”的时候输出端才被下拉到地(GND)而为 0,除此之外的场合,输出端都被上拉到电源端而为“1”,因此这种电路呈现“与非门”(NAND)的动作是明白无疑的。对于输入的所有组合,都不会使输出端和电源之间以及输出端和地之间同时呈现导通状态。也就是说,与非门(NAND)和倒相器一样,当输入端为“0”或“1”而处于稳定状态的时候,没有电流从电源流向地,具有 CMOS 电路的低功耗动作特性。

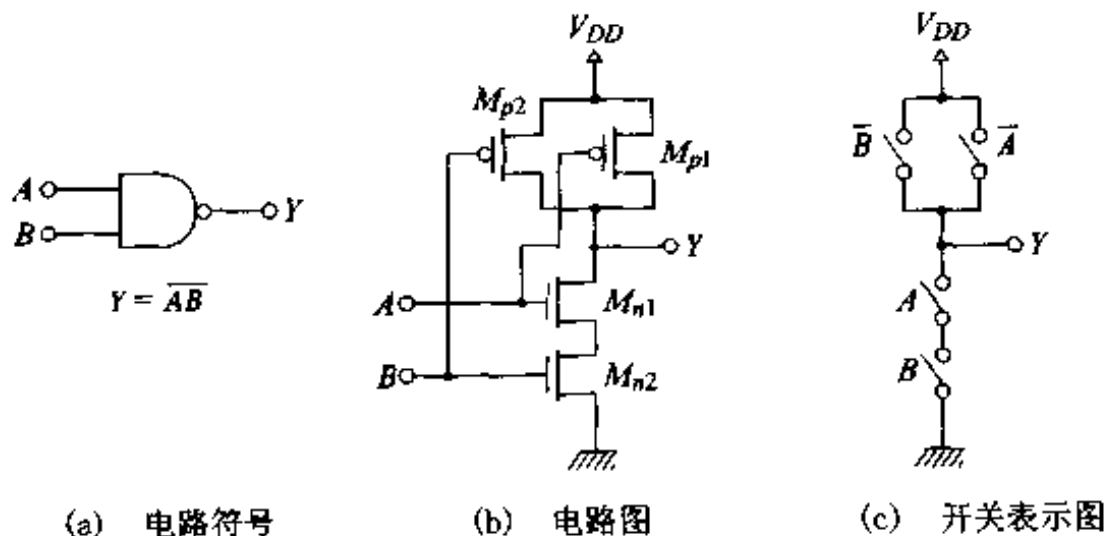


图 3.2 2 输入端的 CMOS 与非门(NAND)

图 3.3(a)、(b)、(c)是 2 输入端 CMOS“或非门”(NOR)的电路符号、电路图及其开关表示图。因为 nMOS 晶体管是并联,pMOS 晶体管是串联,

所以这种电路既具有“或非门”的功能,也呈现 CMOS 电路低功耗的特性。

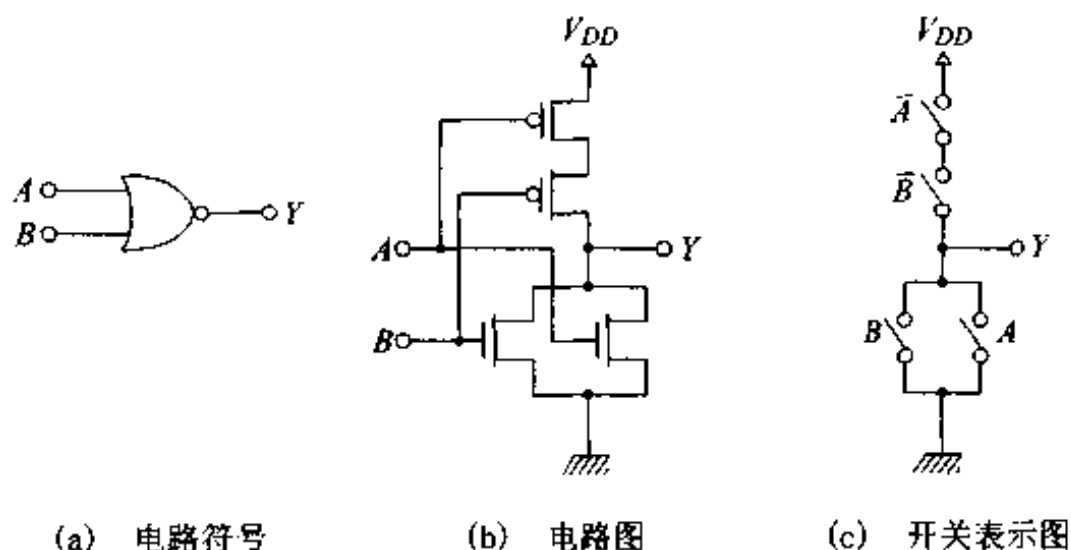


图 3.3 2 输入端的 CMOS 或非门(NOR)

表 3.1 2 输入端的 CMOS 与非门(NAND)的动作状态

输入		晶体管				输出
A	B	M_{n1}	M_{n2}	M_{p1}	M_{p2}	Y
0	0	off	off	on	on	1
0	1	off	on	on	off	1
1	0	on	off	off	on	1
1	1	on	on	off	off	0

在 CMOS 电路里,“与非门”(NAND)、“或非门”(NOR)是一级逻辑门。而“与门”(AND)和“或门”(OR)则是把“非门”(NOT)分别接于“与非门”和“或非门”上而构成的,所以是二级逻辑构成的电路。

3.1.2 CMOS 组合门电路的设计

让我们把上述的分析“与非门”、“或非门”的方法加以扩展,进而考虑用一级 CMOS 电路来构成更为复杂的逻辑电路的方法。图 3.4 是一级 CMOS 逻辑电路。这是将 CMOS 倒相器里的 nMOS 晶体管和 pMOS 晶体管分别用 nMOS 晶体管组合电路、pMOS 晶体管组合电路置换后构成的。该电路的输出可用下式表示

$$Y = \overline{f(X_1, X_2, \dots, X_n)} \quad (3.1)$$

式中,假设 f 是一个不含输入变量 (X_1, X_2, \dots, X_n) 的否定、只含输入变量的逻辑积或是逻辑和的组合逻辑函数。对 nMOS 电路一侧来说,把晶体管看作开关,把表示电路的输出和地之间处于导通状态的逻辑函数作为 f , 求出满足这一逻辑关系的开关组合就可以了。而对于 pMOS 电路一侧来说,则须求出开关的组合,使其能满足电源和输出端之间处于导通状态的逻辑函数为 \bar{f} 。这样, nMOS 电路一侧导通时, pMOS 电路一侧必定截止;反之, pMOS 电路一侧导通时, nMOS 电路一侧必定截止。因此,对于输入的各种组合来说,都不会有电流从电源流向地,呈现 CMOS 电路的动作特性。这时,如果 nMOS 电路一侧导通的话,输出为“0”,显然 $Y = \bar{f}$ 。

下面,以 2 输入端的 NAND(与非门)为例,详细讨论如何设计这一电路。我们可以用数学公式 $Y = \overline{AB}$ 来表示两个输入端的“与非门”,则 $f(AB) = AB$ 。在 nMOS 电路一侧,如果把输入控制信号为 A 、 B 的两个开关串联的话,电路的输出端和地之间导通的逻辑将是 AB , 所以只要将 nMOS 晶体管串联即可。pMOS 电路一侧的逻辑关系则必须满足 $\overline{f(A, B)} = \overline{AB} = \bar{A} + \bar{B}$ 这一关系。如果把控制端输入为 A 的 pMOS 开关看成一个当 \bar{A} 为“1”时导通的开关,那么 $\bar{A} + \bar{B}$ 就可以用由输入信号 A 、 B 所控制的 pMOS 晶体管的并联来实现。据此可知 2 输入端“与非门”(NAND)电路的组成应是图 3.2 所示的那样。

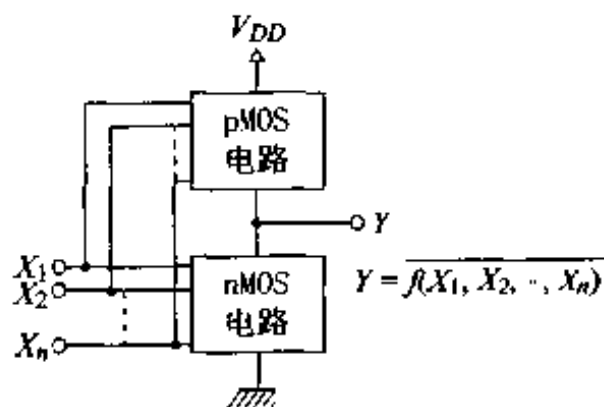


图 3.4 CMOS 组合门电路的构成

如果掌握了这种方法,那么即使碰到更复杂的逻辑函数,也能容易地求出对应的电路。例如,与逻辑函数 $Y = \overline{X_1 X_2 + X_3 X_4}$ 相对应的 CMOS 逻辑门电路如图 3.5(b) 所示。这样的门电路称之为组合门(complex gate), 因为是由一级构成的,所以可用图 3.5(a) 的逻辑符号来表示。虽然更复杂的逻辑函数也可以由这样的一级电路来组成,但是首先应该考虑噪声容许范围以及开关速度等问题,然后再决定是用一级还是用多级电路来组成。

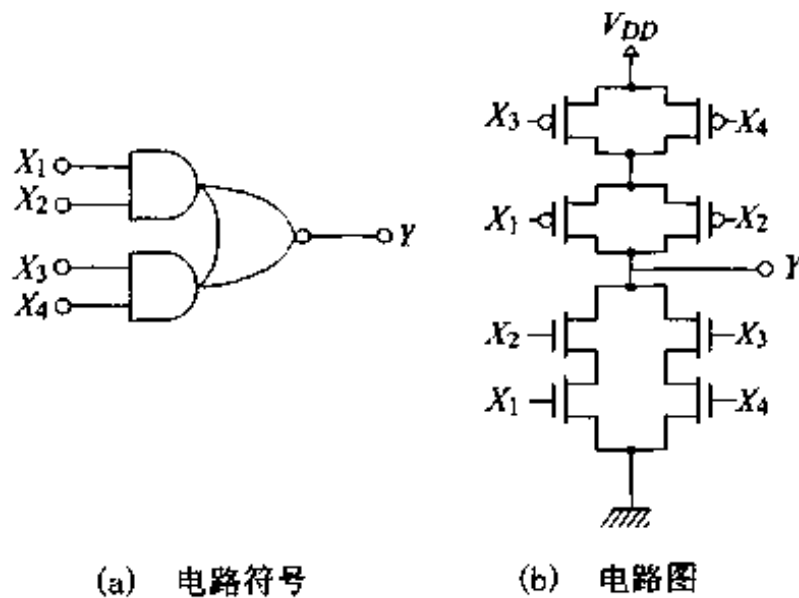


图 3.5 CMOS 组合门电路的一例

3.1.3 使用传输逻辑门的逻辑电路

用《集成电路 A》第 5 章说明过的传输逻辑门和时钟倒相器,可以容易地构成 EXOR(异或门)门电路。异或门可用下式来表示

$$Y = A \oplus B = \begin{cases} B & (\text{如果 } A = "0") \\ \bar{B} & (\text{如果 } A = "1") \end{cases} \quad (3.2)$$

由此可知,如图 3.6(b)所示的那样,“异或门”(EXOR)可以用传输门和倒相器来构成,其电路是由 8 个晶体管构成的。另外,异或门也可以由 CMOS 组合门来构成,这时需要使用 10 个晶体管。如果在电路上下些工夫,使用传输门只需 6 个晶体管就可构成异或门,如图 3.6(c)所示。有时采用传输门电路可以用少量的元器件来获得必要的功能和高速动作,异或门就是一例。

同样地,同或门(EXNOR)也可以用传输门来构成。另外,时钟倒相器也可以看成是一个输出将输入否定的传输门,把时钟倒相器和传输门组合起来就可以构成异或门(EXOR)或同或门(EXNOR)(参照章末的习题)。

将传输门电路多级连接时,有时会增大波形的失真。为此,有必要适当地插入一个由 CMOS 倒相器组成的整形电路。因为时钟倒相器自身具有整形能力,所以即使多级连接也不会发生什么问题。

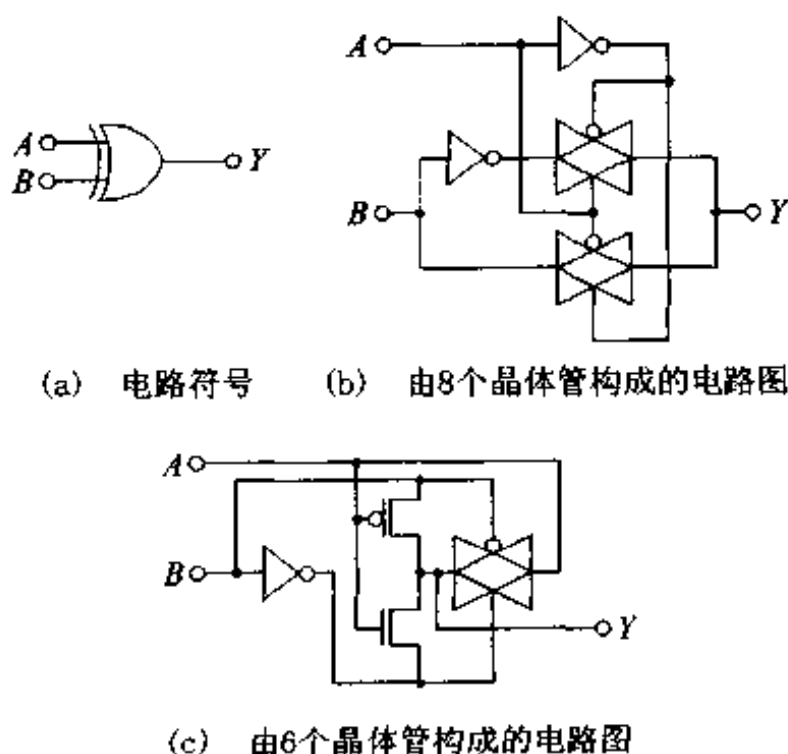


图 3.6 由晶体管传输门构成的异或门电路(EXOR)

3.2 典型的组合型逻辑电路

所谓组合型逻辑电路 (combinational circuits) 是指现在的输出值只由现在的输入值所决定的逻辑电路, 也就是把前节所讲过的基本逻辑电路组合起来而构成的逻辑电路。关于组合型逻辑电路的设计方法可参考有关的专门书籍, 在此我们只举几个具有代表性的组合逻辑电路的例子。

3.2.1 加法器

最基本的并列加法器即逐次进位式并列加法器如图 3.7 所示。这种加法器的运算是这样进行的, 对于每一位来说, 两个相加的输入与来自下位的进位输入相加, 相加的结果生成该位的和以及进位。也就是说, 输入是两个 N 位的 2 进制数, 当这两个数用 $A = (a_N, a_{N-1}, \dots, a_i, \dots, a_2, a_1)$, $B = (b_N, b_{N-1}, \dots, b_i, \dots, b_2, b_1)$ 表示时, 在第 i 位上, 由下式可分别计算出该位的和 s_i 及进位 c_i

$$2c_i + s_i = a_i + b_i + c_{i-1} \quad (3.3)$$

式中, a_i, b_i 是加法器的第 i 位的输入。具有这种功能的电路叫做全加器 (full adder), 用图 3.7(b) 所示的电路符号来表示。式(3.3)的逻辑关系可以用表 3.2 来表示。由此可以导出 c_i 和 s_i 的逻辑函数

$$\left. \begin{aligned} s_i &= a_i b_i c_{i-1} + \overline{a_i} b_i c_{i-1} + a_i \overline{b_i} c_{i-1} + \overline{a_i} \overline{b_i} c_{i-1} \\ c_i &= a_i b_i + (a_i + b_i) c_{i-1} \end{aligned} \right\} \quad (3.4)$$

但是, 式中的“+”号不表示算术的“加”, 而是表示逻辑“或”。 s_i 可用逻辑异或(\oplus)的形式来表示

$$s_i = a_i \oplus b_i \oplus c_{i-1} \quad (3.5)$$

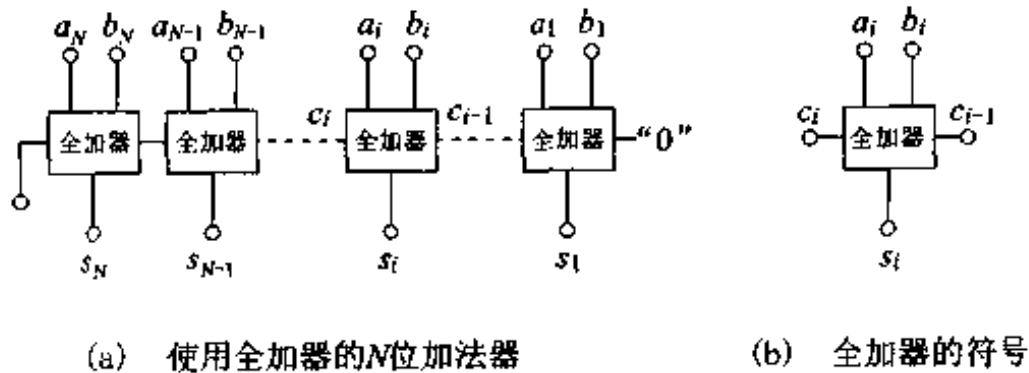


图 3.7 逐次进位加法器

表 3.2 全加器的逻辑关系

a_i	b_i	c_{i-1}	c_i	s_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

因此, 和的输出电路是由两个异或门(EXOR)构成的。而进位输出是由 $c_i = a_i b_i + (a_i + b_i) c_{i-1}$ 逻辑式求得的组合门电路(由 10 个晶体管构成)和 NOT

(倒相器)构成的。因此如果用由 6 个晶体管构成的“异或逻辑”电路的话,那么一个全加器可由 24 个晶体管构成。全加器是一个基本的而且重要的组合逻辑电路,设计者们都在为提高进位速度下工夫,并且设计出各种各样的电路。图 3.8 所示的是一个全加器电路的例子,该电路在进位高速化上下了工夫,来自下位的进位信号,只经过一级传输门电路就产生了上位的进位信号。该电路的器件数量比较少,仅由 20 个晶体管构成。但是,用这种电路构成逐次进位加法器时,必须每隔几个比特插入一个由两级倒相器组成的缓冲器进行波形整形。

虽然图 3.7 所示的逐次进位并列加法器具有很好的规律性,但是电路有时间滞后(延时)。所以进位信号从最下位传输到最上位需要花一定的时间。因此,在计算的字节比较长而又希望计算速度快的时候,就使用进位传输时间快的预进位加法器或选择进位加法器等等。

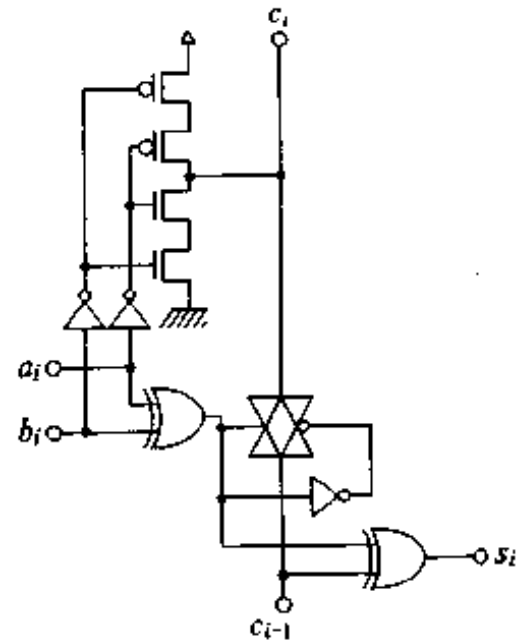


图 3.8 全加器的电路例

3.2.2 算术逻辑运算模块

在以加法器为主体的算术运算电路上,再加上“逻辑与”与“逻辑或”之类的逻辑运算电路所构成的组合逻辑电路叫做算术逻辑运算模块 ALU (Arithmetic Logic Unit)。算术逻辑运算模块是构成微处理器的最基本的

表 3.3 与图 3.9 所示 ALU 电路的控制信号相对应的逻辑运算表

控制信号					输出(运算功能)	
ADD	NOT	AND	OR	EXOR	z_i	c_i
1	0	0	0	0	$x_i \oplus y_i \oplus c_{i-1}$	$x_i y_i + (x_i + y_i) c_{i-1}$
0	1	0	0	0	$\overline{x_i}$	—
0	0	1	0	0	$x_i \cdot y_i$	—
0	0	0	1	0	$x_i + y_i$	—
0	0	0	0	1	$x_i \oplus y_i$	—

要素。图 3.9 表示的是一个具有加法、与门、或门、非门、异或门功能的算术逻辑运算模块的一个比特(bit)的电路图。它由五个控制信号来选择相应的功能,如表 3.3 所示。把多个(必要的位数)这种电路连接起来构成图 3.8 所示的逐次进位加法器,就成了一个按字节单位进行并列运算的算术逻辑运算模块 ALU。图 3.9 是为了便于理解电路原理而将其简化为五种功能,在实际的微处理器中使用的 ALU 具有更强的功能。另外,为了提高运算速度,在高速产生进位信号等方面也下了很大的工夫。

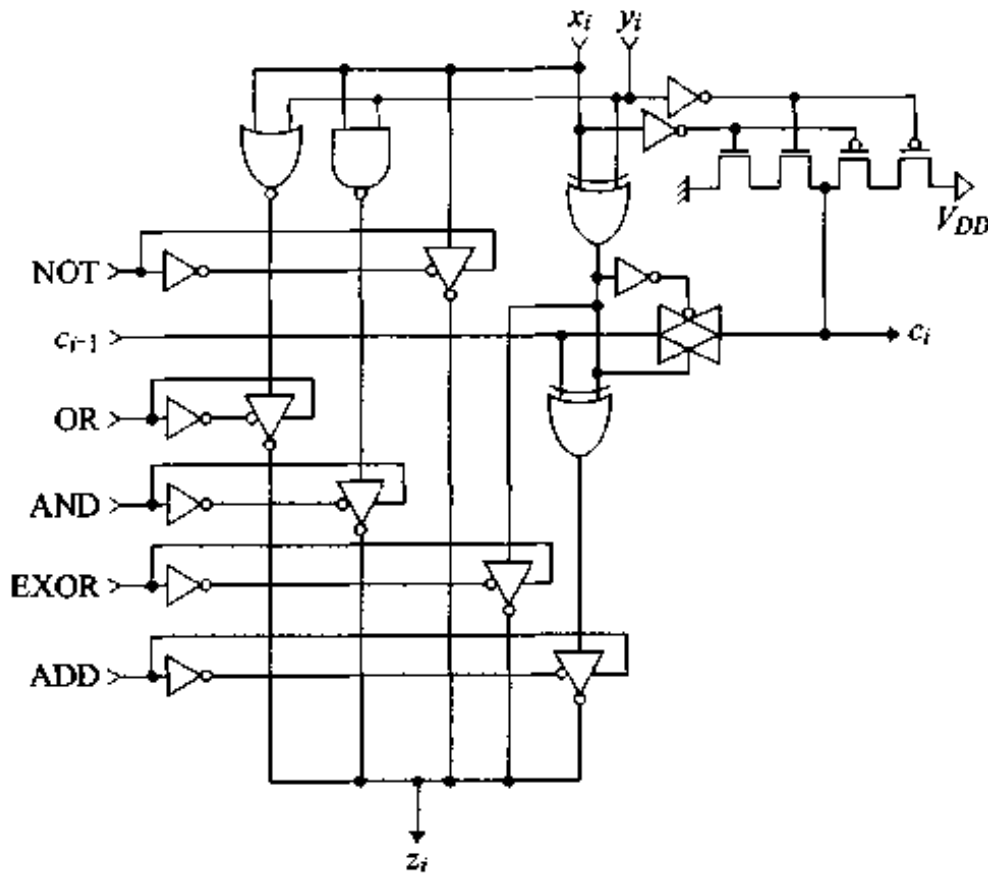


图 3.9 1 个比特的 ALU 的逻辑电路图

3.2.3 译码器和编码器

所谓译码器就是这样的电路：当输入一个 n 比特的 2 进制信号时，在 m 个输出信号中只有一个为“1”，而其余的均为“0”的电路。例如，在存储器集成电路中就使用了一个地址译码器，该地址译码器由表示地址的 2 进制信号产生一个信息，用来选择对应于该地址码存储器的字线。表 3.4 是表示其功能的真值表。根据这个表可以得出 3 比特译码器的电路如图 3.10

所示。如果用 CMOS 电路来构成译码器的话,需要 38 个晶体管。

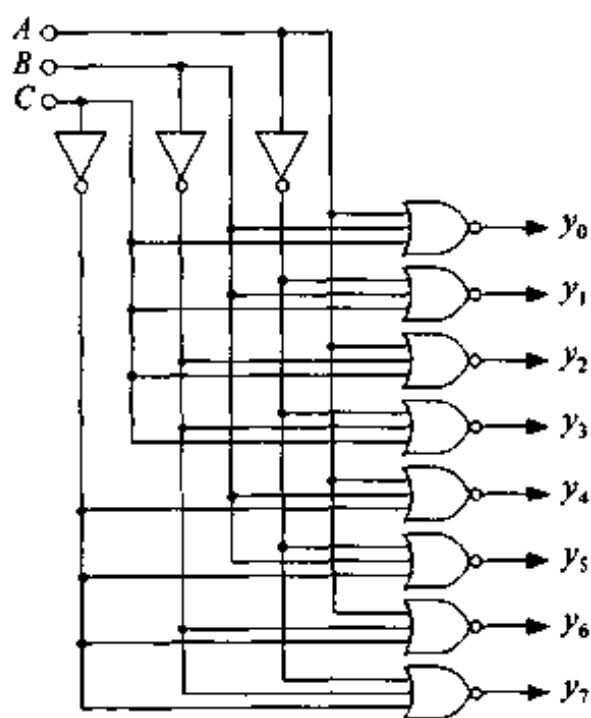


图 3.10 3 比特译码器

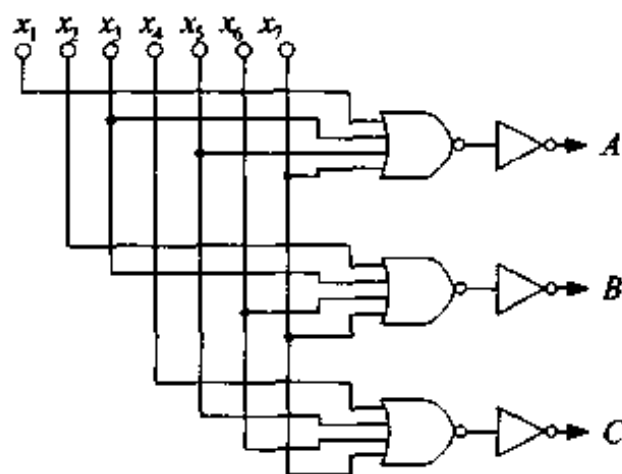


图 3.11 8 输入端编码器

表 3.4 3 比特译码器的真值表

C	B	A	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

编码器与译码器相反,对于 m 个输入信号,当其中的一个被选择时,编码器就产生一个对应的 2 进制信号。如果适当地进行其符号的分配的话,则编码器就可以把 m 个输入信号变换为具有 $\lfloor \log_2 m \rfloor$ 个比特的 2 进制代码。在此,符号 $\lfloor x \rfloor$ 表示将小数点后的数字当作 1 进位后的整数。表 3.5

是编码器的真值表。根据这个表,可以得到如图 3.11 所示的具有 8 个输入端的编码器电路。若采用 4 个输入端的 CMOS NOR 门电路的话,则由 30 个晶体管构成。

表 3.5 8 输入端编码器的真值表

x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	C	B	A
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

3.3 时序逻辑电路基础

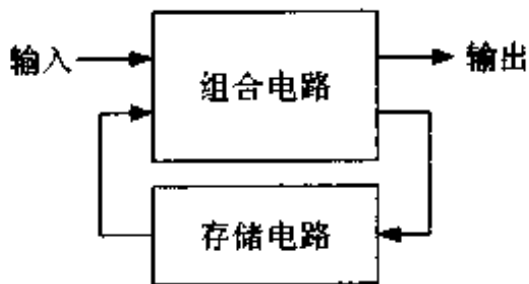


图 3.12 时序逻辑电路的一般构成

时序逻辑电路是一种输出不仅与现在的输入,而且也与过去的输入有关的逻辑电路,其电路内部有一个记忆过去状态的电路(存储电路)。图 3.12 所示是一般的时序逻辑电路的方框图。在时序逻辑电路里,存储电路把组合电路输出的一部分记录下来

并将它反馈到组合电路的输入端。

3.3.1 构成时序逻辑电路的基本要素:双稳态电路

为了构成时序逻辑电路,就必须要有存储电路。具有存储功能的基本

电路叫做双稳态电路 FF (flip-flop)。双稳态电路是一个比特的存储电路,按其功能可以分为 RS-FF, JK-FF, T-FF 和 D-FF。

RS (Reset-Set)-FF 是一个具有复位功能的双稳态电路,其功能如表 3.6 所示。当 $S = "1"$ 时,输出 Q 为“1”;而当 $R = "1"$ 时,输出为“0”(复位,清零),而当 $S = R = "0"$ 时,其输出 Q 被记忆下来。但是 S 和 R 不能同时为“1”。这是因为当 $S = R = "1"$ 之后,即使再回到 $S = R = "0"$ 时,输出 Q 既有可能为“0”,也有可能为“1”,即处于一个不确定的状态。RS-FF 的逻辑电路示于图 3.13(a)。该电路由两个 NOR 门构成,如果使用 CMOS 电路来构成的话,整个电路由 8 个晶体管构成。图 3.13(b) 所示的电路则可以用时钟脉冲来控制 S 和 R 的输入时刻。这个电路由 $Y = \overline{AB + C}$ 两个组合门电路构成。

表 3.6 RS-FF 的特性

S	R	Q_n
0	0	Q
0	1	0
1	0	1
1	1	禁止

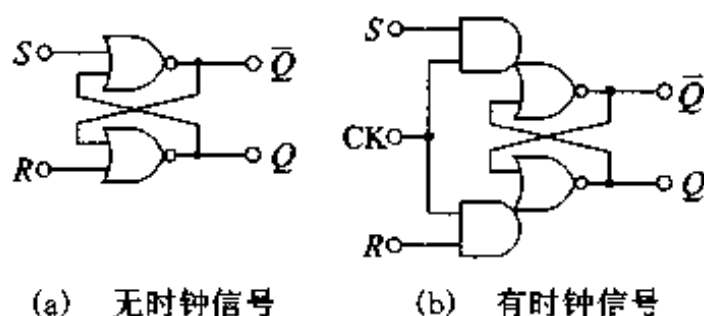


图 3.13 RS-FF 电路

JK-FF 电路则是为了避免上述的当两个输入都为“1”时输出呈现不确定状态而开发的一种电路。如表 3.7 所示,当 $J = K = "1"$ 时,输出反转。这种电路虽然性能好,但是用 CMOS 电路构成时,需要比较多的器件。

D-FF (Delayed FF) 被称之为延迟型双稳态电路,常用于数据锁定 (data latch) 电路和移位寄存器中,存储数据并且保持一定时间。集成电路中的 D-FF 一般使用传输门和时钟倒相器等电路构成,如图 3.14 (a) 所示。该电路用于数据锁定。如果把

表 3.7 JK-FF 的特性

J	K	Q_n
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}

两个倒相器环状连接的话,就可以构成一个双稳态电路,用来存储一个比特的数据。这个电路的动作过程是这样的:当输入数据的时候,其电路环被断开而接到输入端;而当存储该数据时,再把输入端断开接通电路环。因此,输入数据时就进行存储该数据的“锁定”工作。其动作的控制是由时钟脉冲信号 CK 担当的。其动作的时序如图 3.14(b)所示。在这种场合,由时钟脉冲的后沿来控制数据的读入和存储。因此在时钟脉冲后沿时刻,输入数据必须处于稳定状态。如果改变时钟控制的话,同样可以获得在脉冲的前沿时刻读取数据的电路。

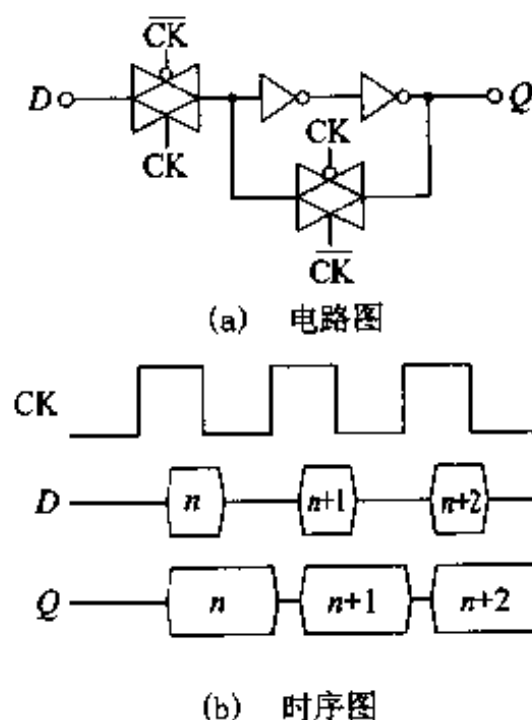


图 3.14 D 型双稳态电路(latch)

在图 3.14(a)所示电路中,输出的稳定期间完全由输入数据的时刻所决定。为了使时钟的整个周期内的输出都处于稳定状态,开发了由图 3.14(a)所示的两级电路连接而成的主从型 D-FF 电路,其电路构成如图 3.15 所示。这个电路常用于移位寄存器等电路里。由图 3.15 可知,后级时钟脉冲的相位和前级是相反的。在这种情况下,如同图(b)所示的那样,在时钟脉冲的后沿时刻读取数据之后,一直到下一个脉冲的后沿为止这段时间内输出都是稳定的。此外,在这个电路中,为了缩短时钟脉冲输入与信号输出之间的延时,信号都是从各级的第一级倒相器输出的。图 3.15(c)是其电路符号。主从型 D-FF 也可以用时钟倒相器构成。这时,器件数目多少有

些增加,但是它具有不会由于 CK 和 \overline{CK} 之间的时刻差而引起误动作的特点。所以,这种电路最近被广泛地使用。把图 3.15 所示电路稍加变更就可以构成带有复位输入端的电路。

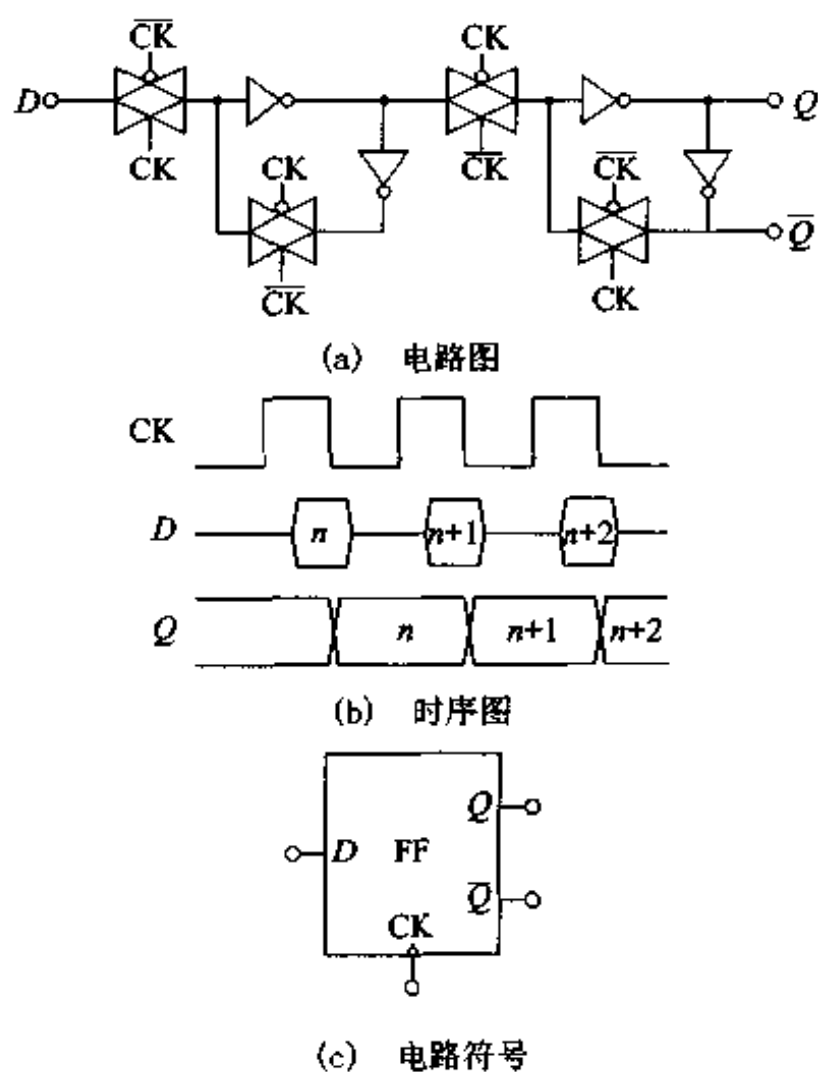


图 3.15 D 型双稳态电路(主从型)

T 形双稳态电路是在前面说明过的主从型 D-FF 的基础上把输出 \overline{Q} 接到输入端 D 来实现的。

3.3.2 非同步式时序电路和同步式时序电路

时序电路分为非同步式和同步式。一般来说,非同步式电路的设计是比较困难的,因为要避免一种称之为“冒险(hazard)”的误动作。这种误动作是由于信号通过逻辑门时的延迟时间因电路而异所造成的。这种电路具有状态变换速度快的特点。

使用 D-FF 的同步计数器的设计

一般说来,“逻辑电路”教科书中所讲的同步时序电路是由 JK-FF 电路构成的。如果用 CMOS 电路来构成 JK-FF 的话,使用的元件数要比 D-FF 多。要靠减少元件数量来缩小集成电路芯片的面积时,最好采用 D-FF 电路来构成同步时序电路。

在此,以由 3 个双稳态电路构成的 5 进制计数器为例来说明其设计方法。5 进制计数器有 5 种内部状态,这 5 种状态可以由双稳态电路输出组成的 3 位 2 进制数来表示,如下表所示。其内部状态为 $S_1 \rightarrow S_2 \rightarrow S_3 \rightarrow S_4 \rightarrow S_5 \rightarrow S_1$ 的循环。由这三个双稳态电路输出的组合就可以决定 D-FF 的三个输入。D-FF 的三个输入 D_1 、 D_2 、 D_3 的逻辑关系如下:

$$D_1 = \overline{Q_3} + Q_1$$

$$D_2 = Q_2 \oplus Q_1$$

$$D_3 = Q_2 \cdot Q_1$$

表 5 进制计数器的状态分配和特性

现在状态	Q_3	Q_2	Q_1	下一状态	D_3	D_2	D_1
S_1	0	0	0	S_2	0	0	1
S_2	0	0	1	S_3	0	1	0
S_3	0	1	0	S_4	0	1	1
S_4	0	1	1	S_5	1	0	0
S_5	1	0	0	S_1	0	0	0

设计的 5 进制计数器电路如下图所示。但是,在接通电源时,为了避免计数器不处于上述五种状态,需要事先输入清零信号。

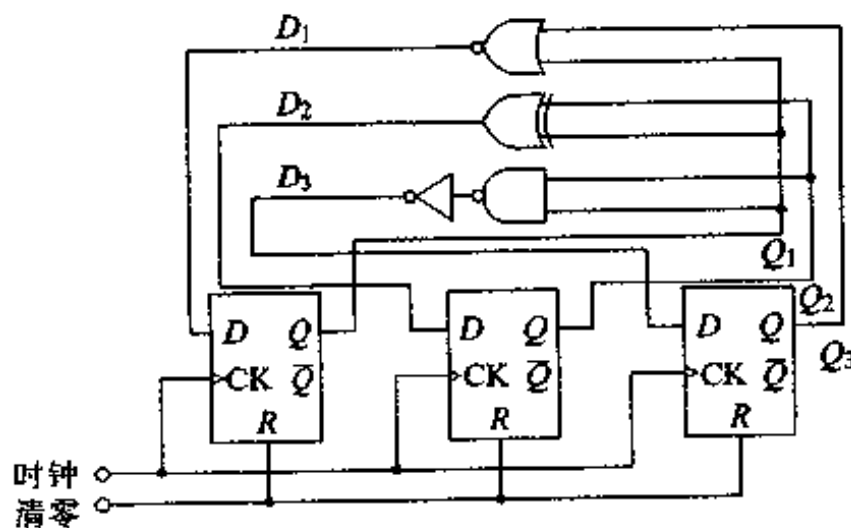


图 采用 D-FF 的同步 5 进制计数器

与此相反,在同步式时序电路中,信号的变化时刻总是由时钟脉冲控制着的,有可能在信号稳定之后再 把逻辑值送入存储电路里。因此同步式电路不会发生“冒险”的问题,比较容易按照设计要求而工作。但是,由于变换状态必须与时钟同步,所以其工作速度比非同步式要慢。

总而言之,两种电路各有所长。但实际上较多采用设计比较容易的同步式时序电路。

3.3.3 动态电路

静态电路是各个节点总是处于低阻抗状态、而信号电平总是处于与输入信号相对应的恒定电平上的电路。而动态电路是特定的信号节点处于高阻抗状态时,把信息存储在该节点的寄生电容中进行工作的一种电路。

图 3.16 所示是动态电路的一个例子,即用动态电路构成前述的主从型 D-FF。图 3.16(a)用的是传输门,而图(b)用的是 CMOS 时钟倒相器。在这两个电路里,标有 A 和 B 的点可由时钟脉冲信号控制变为高阻抗状态,并将高阻抗状态之前的信息存储到该点的寄生电容里,这种存储状态一直持续到高阻抗状态被解除为止。虽然这种动态电路动作的时序和静态电路一样,但是两者的信息存储方式不同。在静态电路中,是把两级倒相器接成环状,用双稳状态来存储信息的;而在动态电路中,则是利用高阻抗状态下的寄生电容存储电荷来存储信息的。虽然图 3.16(a)和(b)所使用的元器件数量相同,但是由于将图(b)所示的电路集成化时,电路的连接孔比较少,集成电路的尺寸相对地比较小。此外,对于图(b)所示的电路来说,即使时钟脉冲有些偏差也不易产生误动作。

有时也把这种动态电路用在逻辑门电路里。其中有多层时钟方式,多米诺(domino) CMOS 电路等多种逻辑电路。

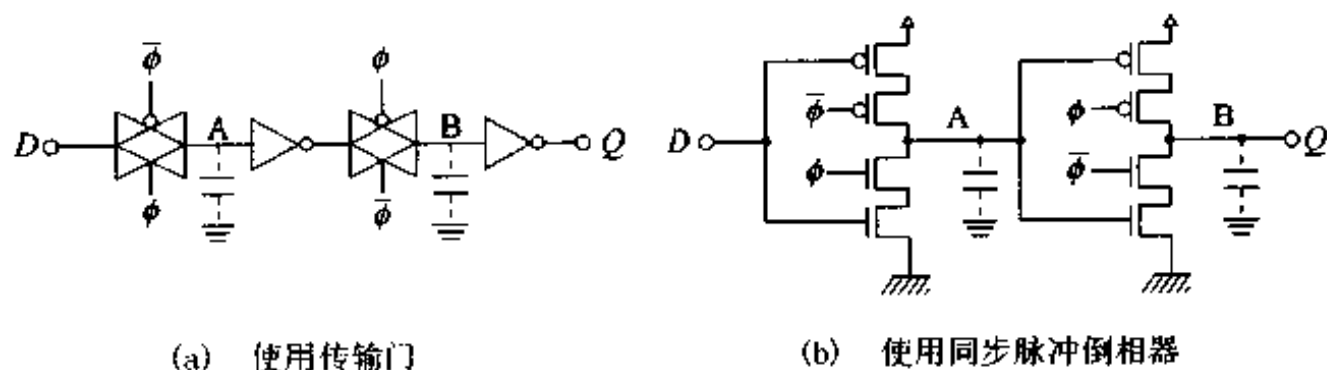


图 3.16 CMOS 动态 D 型双稳态电路

动态电路具有使用的器件比较少,所以功耗低;由于负载电容小,所以工作速度比较高的特点。缺点是电容的漏电流使记忆着的电压逐渐下降,所以工作频率不能太低。

使用上述的组合逻辑电路和时序逻辑电路等,可以构成计算机心脏部分的微处理器之类的大规模集成电路。

3.4 微处理器的设计

微处理器具有实行命令的功能。所谓实行命令就是从存储器里读取程序、解读命令,然后在读取和传输数据的同时进行运算。下面,让我们来考察一下微处理器是怎样实行命令的,然后分别说明典型的 CISC 方式和 RISC 方式的特征。

3.4.1 微处理器实行命令的过程

微处理器最重要的功能就是“实行命令”。首先,说明微处理器为实行命令而必须具备的功能。

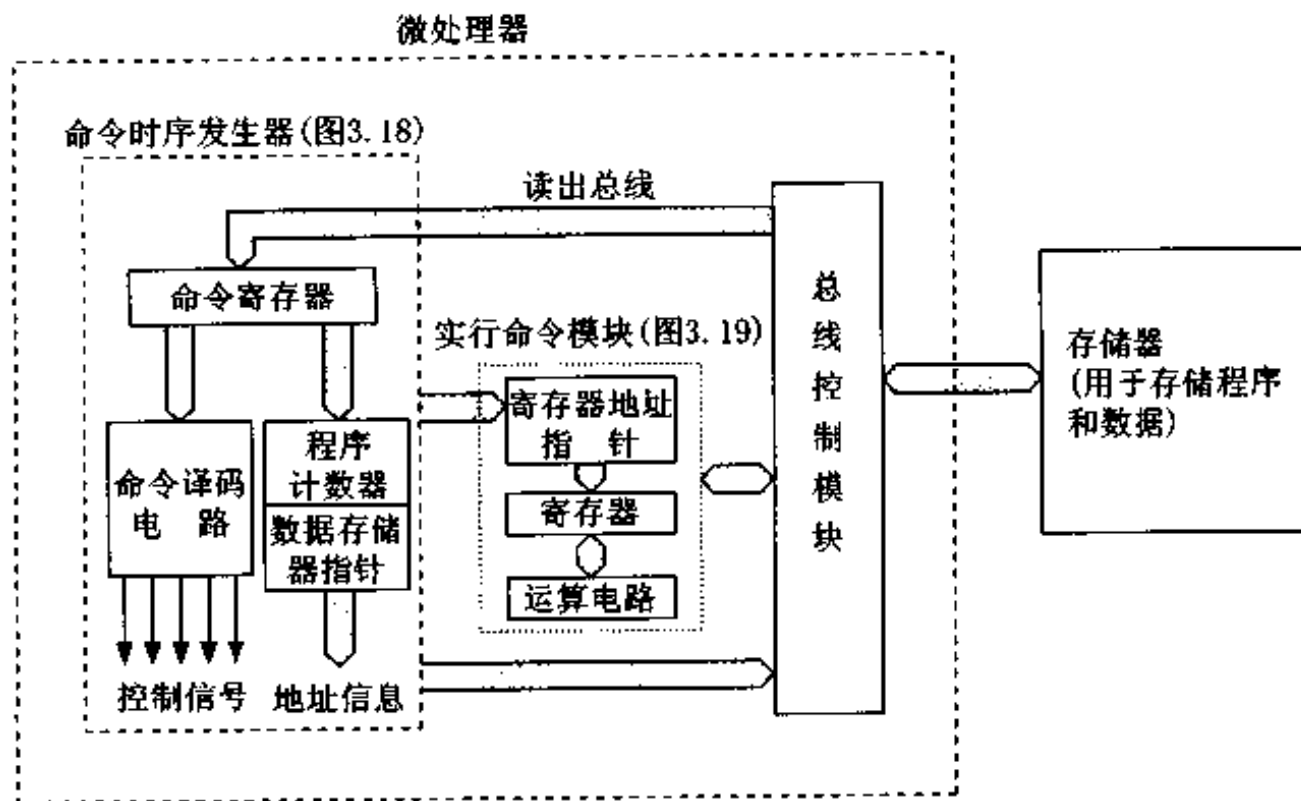
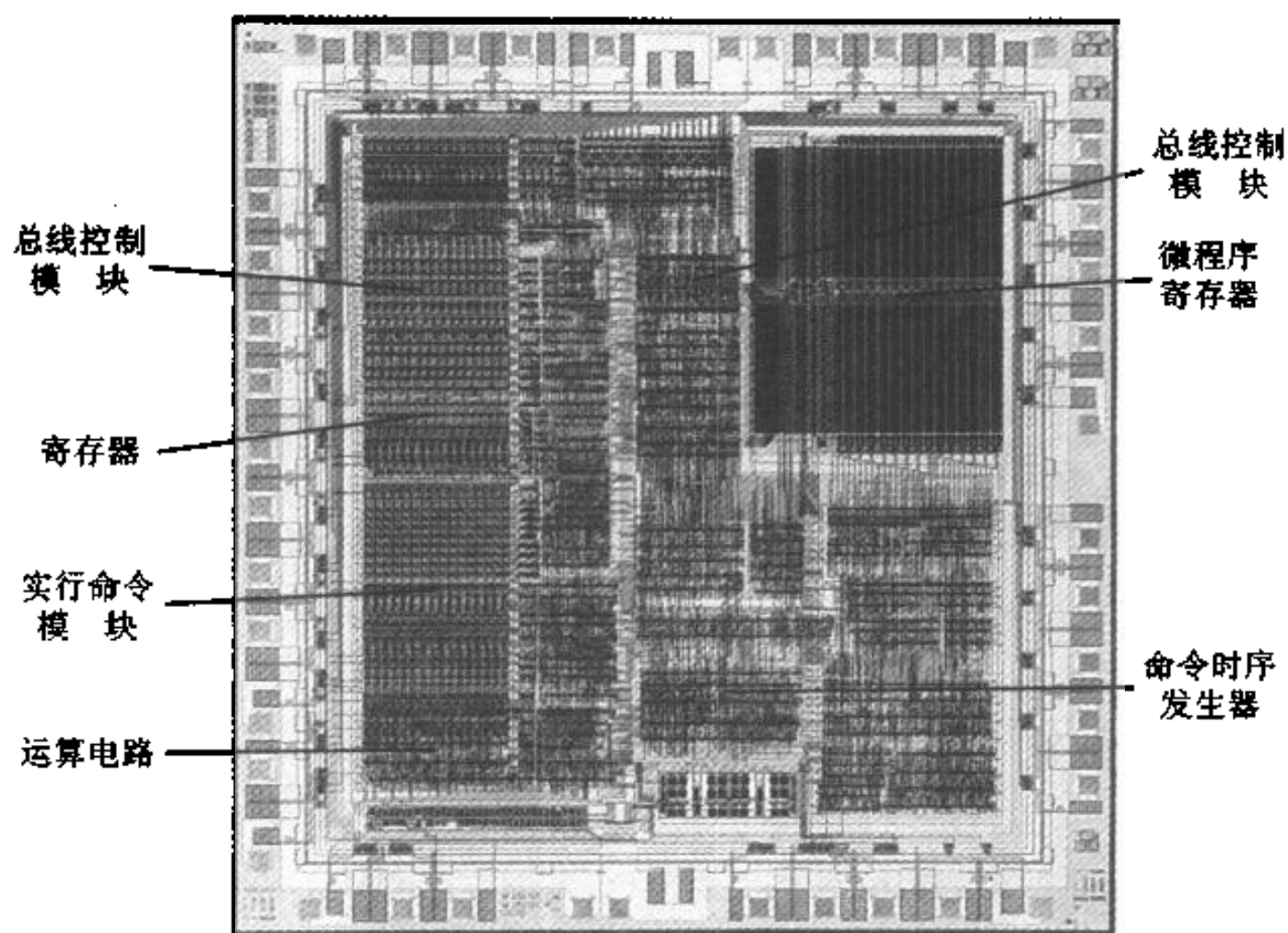


图3.17 (a) 功能框图



(b) 芯片照片(日本电气公司提供)

图 3.17 微处理器的基本结构

图 3.17 是微处理器的基本结构。图 (a) 是微处理器的功能方框图, (b) 是一个具有代表性的微处理器芯片的照片。整个实行命令的硬件称为 CPU (Central Processing Unit: 中央处理器), 其功能大致分为以下三大类:

(a) 命令时序发生器: 解读用机械语言表达的命令, 在必要的时刻产生必要的信号并将这些信号送给各个有关的硬件, 去实行这些命令。

(b) 实行命令模块: 由寄存器 (CPU 为了进行运算, 直接进行存取操作的存储器) 和运算电路 (ALU) 组成, 进行寄存器之间的数据传送和各种运算。

(c) 总线控制模块: 控制与外部存储器之间的程序 and 数据的交换。

下面我们来具体考察一下命令的实行过程。图 3.18 和图 3.19 分别为命令时序发生器和实行命令模块的方框图。微处理器实行命令的过程大致分为读出命令、编译命令和实行命令几个步骤。

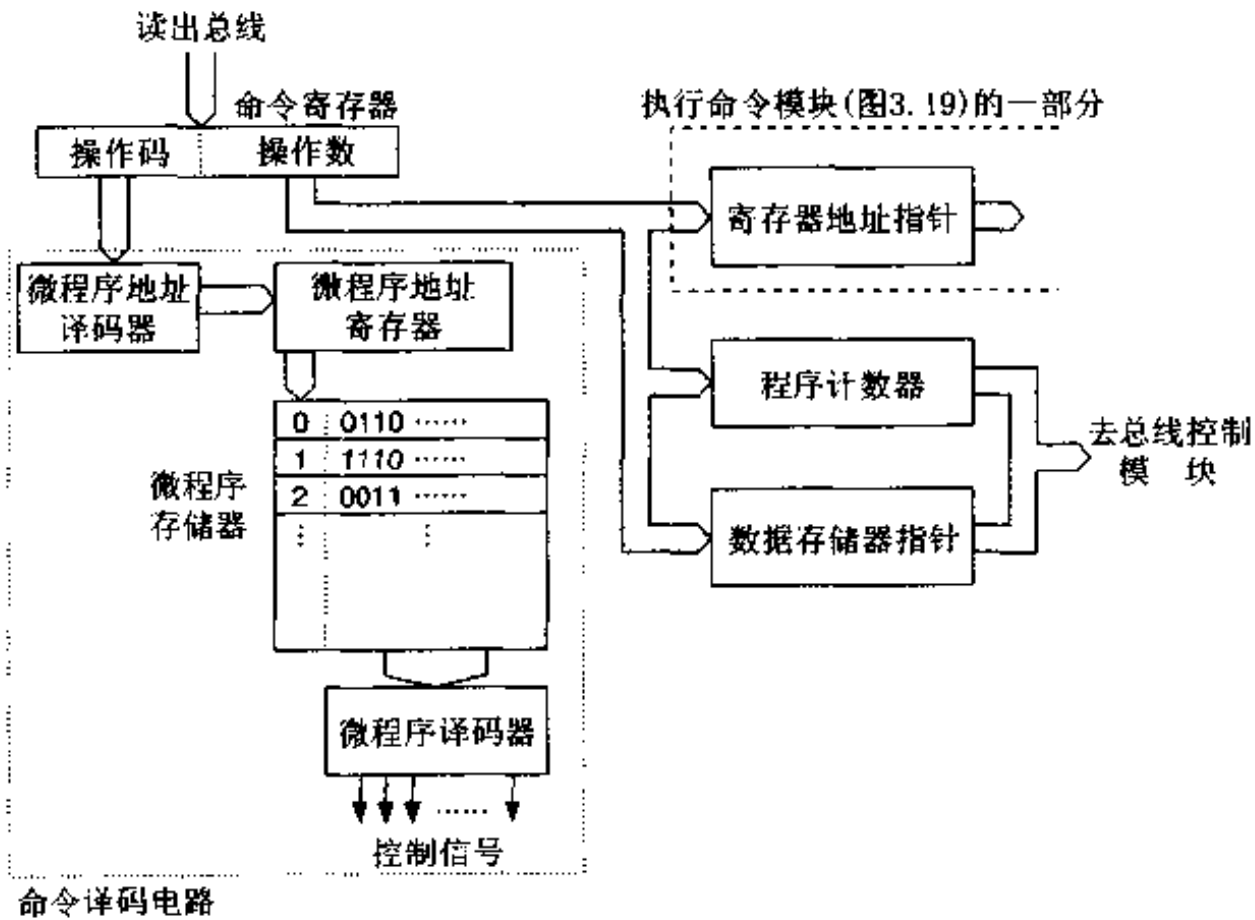


图 3.18 命令时序发生器的方框图(微程序控制)

1. 读出命令

参见图 3.17(a)和图 3.18。从存放命令代码的存储器中取出将要实行的命令代码,称为读出命令代码。欲读的地址由程序计数器指定,而读出的命令则经读出总线存放到命令寄存器中。

2. 编译命令并且识别命令的种类

参见图 3.18。命令是一组用 2 进制数表示的特殊的代码。把代码的意义“解读”出来叫做命令译码。与此同时,也把命令的实行对象即数据所在的“地址”信息解读出来。地址信息包含在命令码中的操作数部分。其结果是,如果操作对象是寄存器的话,就用寄存器地址指针来指示地址;如果操作对象是存储器的话,就用数据存储器指针来指示地址。另外,在转移(jump)命令里,其操作数部为转移去向的地址信息,被存放在程序计数器里。

3. 实行命令

参见图 3.19。CPU 根据解读的结果来实行命令。根据运算命令的要求,有必要读出数据时,就依次读出指定数据,并将其暂时保存在称之为暂存寄存器的临时存储区域中。运算种类(加算,减算等)的信息包含在命令代码中的操作码里。根据编译的结果,由运算电路(ALU)进行逻辑运算,运算完后的数据被存入寄存器或者存储器里。如果有必要由外部存储器读取数据或者往外部存储器里写入数据的时候,由总线控制组件进行相应的控制。

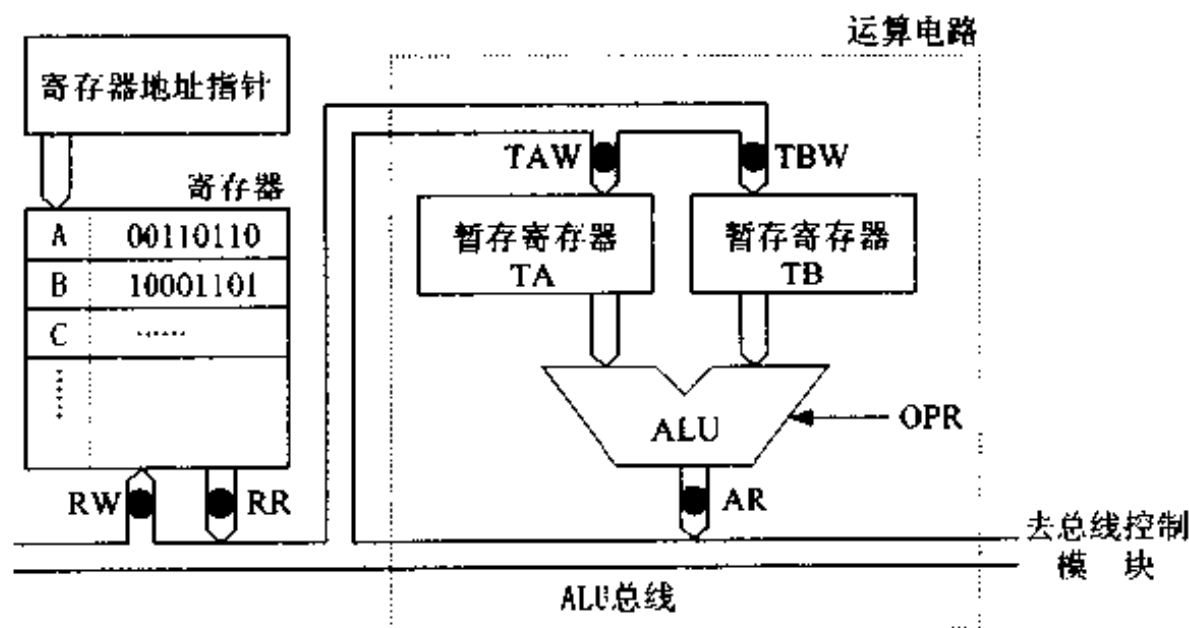


图 3.19 实行命令模块的方框图

3.4.2 微程序控制方式

在早期的微处理器里,功能不是那么齐全,命令的种类也不多,控制比较单纯,命令时序发生器的控制电路是由一般的逻辑电路构成的(布线逻辑控制方式)。后来,微处理器的功能提高了,具备了数量更多的命令,于是必须考虑每条命令的复杂的状态迁移,由于时序设计很复杂,控制电路不可能用逻辑电路来构成。在此,我们将要介绍一种微程序控制方式。一种称之为 CISC(Complex Instruction Set Computer:组合指令集计算机)方式的微处理器中,多采用这种控制方式。

如果用一句话来概括微程序的话,可以说:所谓微程序就是记述微处理

器工作的程序。图 3.20 是微程序的概念图。微程序命令是以控制逻辑门开/关的时序信息的形式,顺序地记述微处理器内部实行加法(ADD)、移动(MOV)和转移(JMP)等命令的过程。

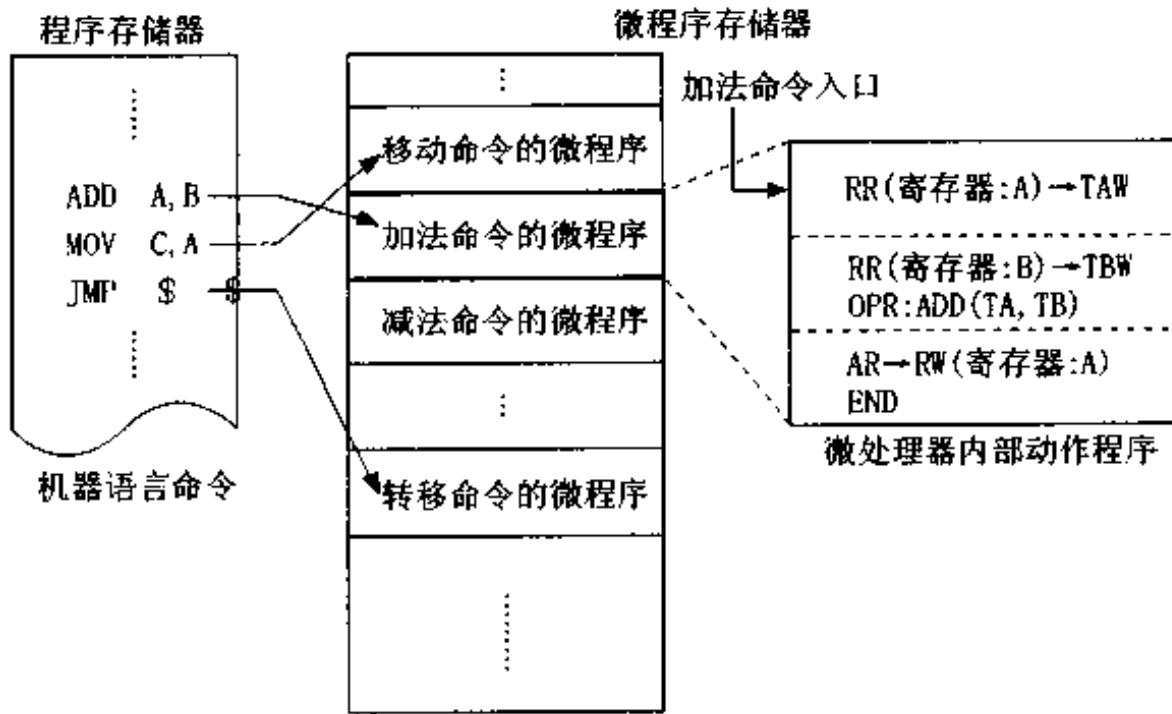


图 3.20 微程序的概念图

下面,举例来说明加法命令(ADD)是怎样实行的。当用图 3.20 所示的加法微程序来控制图 3.19 所示的硬件电路时,具体的工作过程如下。

(a) 调出形式为 ADD A, B(把 A 寄存器的内容和 B 寄存器的内容相加,其结果存入 A 寄存器里)的命令,将其放在命令寄存器里。

(b) 用微程序地址译码器将命令的操作码翻译出来,生成有关加法命令的微程序的起始地址。这个地址叫做入口地址。先将这个入口地址存放在微程序的地址寄存器里。

(c) 按微程序地址寄存器指定的顺序,由微程序的起始地址开始进行处理。第 2 个地址以后的地址生成方法有两种:一种是微程序地址寄存器本身具有记数功能,依次将地址信息 +1,自动地指定下一个地址;还有一种方法是,在微程序存储器里,存有下一步应该实行的微程序命令的地址信息,把这个信息送入微程序地址寄存器里,这样就可以逐步地任意地指定下一步的地址。前者称为微程序计数方式,后者称为后续地址方式。这样,将依次地从微程序存储器里读出 0/1 的信息,由微程序命令译码器把这些 0/1

的信息转化为各个逻辑门的开/关信息,直接操作各个组件的控制点。

步骤 1:RR(寄存器:A)→TAW

第一个寄存器即 A 寄存器,是由寄存器地址指针指定的。这个寄存器的内容(例如:00110110B = 36H)经 ALU 总线转送到暂存寄存器 TA 里。这时,控制点 RR(读寄存器)和 TAW(写入 TA)为导通的状态。

步骤 2:RR(寄存器:B)→TBW, OPR:ADD(TA, TB)

根据 [RR(寄存器:B)→TBW] 指令,由寄存器地址指针指定第二个寄存器,即 B 寄存器,这个寄存器的内容(例如:10001101B = 8DH)经由 ALU 总线送到暂存寄存器 TB。这时,控制点 RR(读寄存器)和 TBW(写入 TB)成为导通状态。同时,根据指令 [OPR:ADD(TA, TB)],运算模块(ALU)被指定为加法操作,TA 和 TB 的内容由运算模块进行加法运算。

步骤 3:AR→RW(寄存器:A),END

根据指令 [AR→RW(寄存器:A)],运算模块的运算结果(例如,36H + 8DH = C3H)经由运算模块总线送到由寄存器地址指针所指定的第一寄存器即寄存器 A。这时,控制点 AR(读运算模块)和 RW(写入寄存器)为导通状态。[END] 指令既是程序的终止信号,又是指示命令时序发生器对下一个命令进行译码的信号。

微程序控制方式的最大特点是“逻辑门的开关控制可以用程序流程图来表现”(实际上是把这个程序流程图编译为 0 和 1 的信息存放在微程序存储器里)。因此,如果正确地记述了它的控制顺序,又有必要的命令的话,不管多么复杂的处理都是可以进行的。假如用布线逻辑方式来表现的话,则需要数量很多的逻辑门,并以复杂的时序来进行工作。因此,如果需要修改将是很困难的。但是,对于命令之间独立性很强的微程序控制方式来说,控制部分的修正可以通过程序的修正来实现,这种修正是很容易的。可以说,微程序控制方式是一种设计方便和维修容易的控制方式。

3.4.3 同步控制方式和流水线控制方式

命令的实行是由许多硬件联合进行的。有两种工作方式,下面我们比较一下这两种工作方式。

图 3.21 所示的同步控制方式是这样一种工作方式:当命令译码器电路和运算电路等各个硬件都具备了可以动作的条件时,就立即开始工作。用这种方式来实行某一条命令时,只有在所有的功能都为实行这条命令随时

可以工作的条件下,才能够高速动作。但是,通常在实行这条命令的同时还要处理其他命令,容易产生为了确保硬件资源而出现等待的现象。所以,这种工作方式常用于命令的实行时间差异很大的场合,它具有因需要同步控制、等待控制等电路,所以电路结构比较复杂。

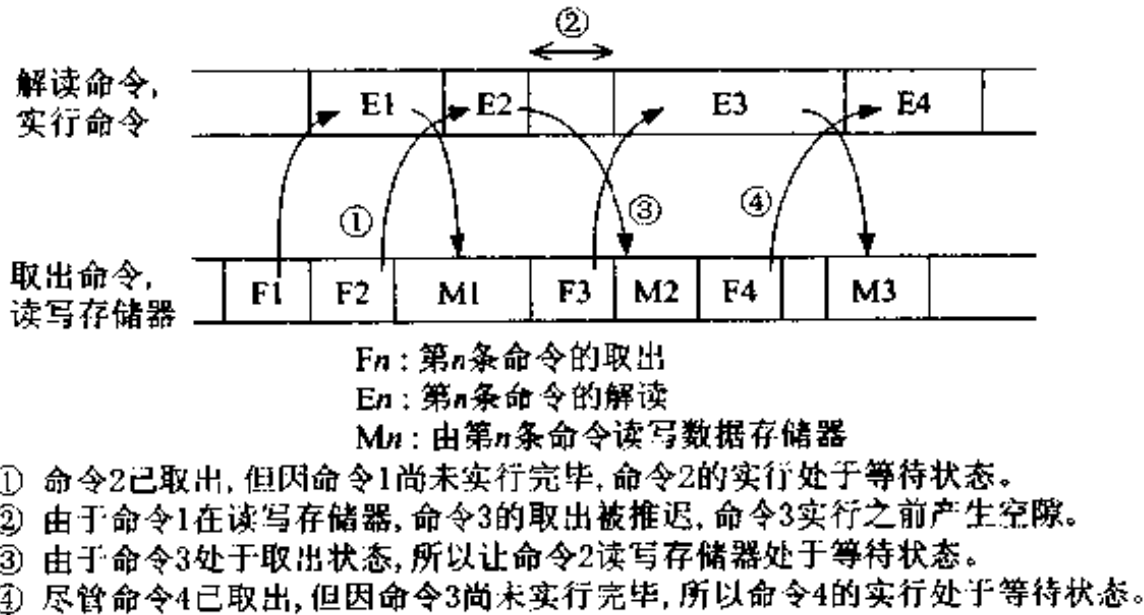


图 3.21 同步控制方式(非流水线方式)

另一种控制方式是流水线¹⁾控制方式,如图 3.22 所示。这种控制方式是把命令的实行按功能分割,每种功能的实行都在称为步长(stage)的相等时间间隔内进行的,把必要的信息依次传递进行处理的一种方式。当采用图 3.22 所示的 5 条流水线组成时,在一个时间间隔内最大可以同时处理 5 条命令。虽然实行一条命令需要 5 个步骤,但是看上去却是在一个时间间隔里就处理完毕。在流水线控制方式中,即使某个功能很快处理完毕,也要等所有的功能都处理完了以后,才能进行下一步的处理。也就是说,步长的长短是由处理时间最长的功能组件的处理能力来决定的。微处理器是与时钟信号同步工作的,在设计时要尽量减少一个时间间隔内的时钟脉冲数,以提高性能。

1) “流水线”一词的来源如下:流水线(pipe line)的原意是石油输送管道。用石油输送管道输送石油的时候,石油从入口流到出口需要一定的时间。但是,一旦由出口流出以后,石油就会不断地流出来。如果以此来比喻命令的实行,从实行第一条命令开始到结束也要花一定的时间。但是,此后将不间断地实行命令,直到命令实行完为止。

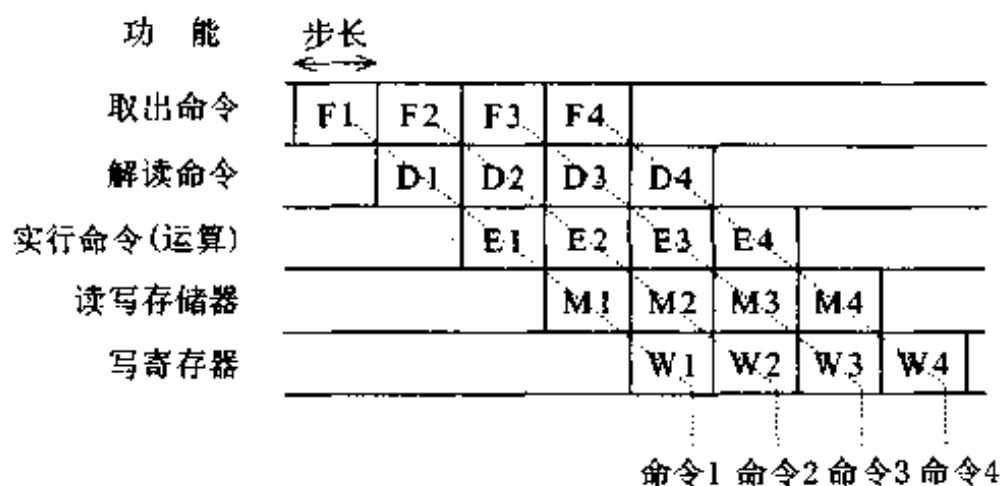


图 3.22 流水线控制方式

3.4.4 组合指令集计算机 (CISC) 和简化指令集计算机 (RISC)

一般说来, CISC (Complex Instruction Set Computer) 方式的微处理器能执行数量相当多的复杂的命令。对使用者来说, 这种方式是很方便的。但是, 很难获得高性能的设计。命令的种类多意味着命令的字节数有各种各样的变化, 每条命令的译码时间也不一样。此外, 大部分的 CISC 都使用微程序控制方式, 微程序存储器的动作速度决定了 CISC 方式微处理器的性能, 限制了运算速度的高速化。再者, 如果实行时间随命令的不同有很大的差异时, 正如前面叙述过的那样, 用流水线方式很难提高性能。

为了克服 CISC 方式的缺点, 研制出 RISC (Reduced Instruction Set Computer) 方式的微处理器。RISC 方式具有以下特点:

(a) 把命令的种类限定在基本命令的范围内, 复杂的命令则由基本命令的组合和变形来实现。

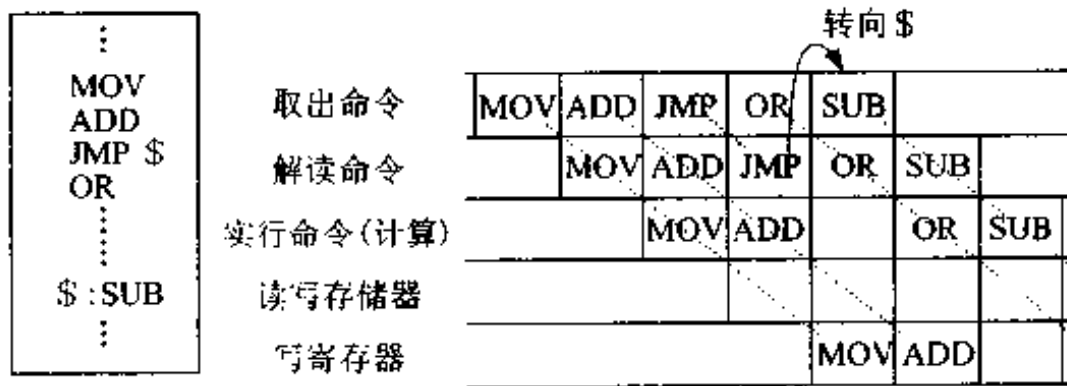
(b) 把命令的字节数固定, 或者尽量减少字节数的变化, 使命令的调出和编译电路简化, 提高处理速度。

(c) 使用布线逻辑控制方式, 实现控制电路的高速化。

(d) 采用一个时钟脉冲为一个时间间隔(步长)的流水线控制方式。根据实际情况, 有的采用把一个时间间隔多重化的超级流水线方式, 也有的采用许多个实行电路, 即所谓的超级定标脉冲计算等技术。

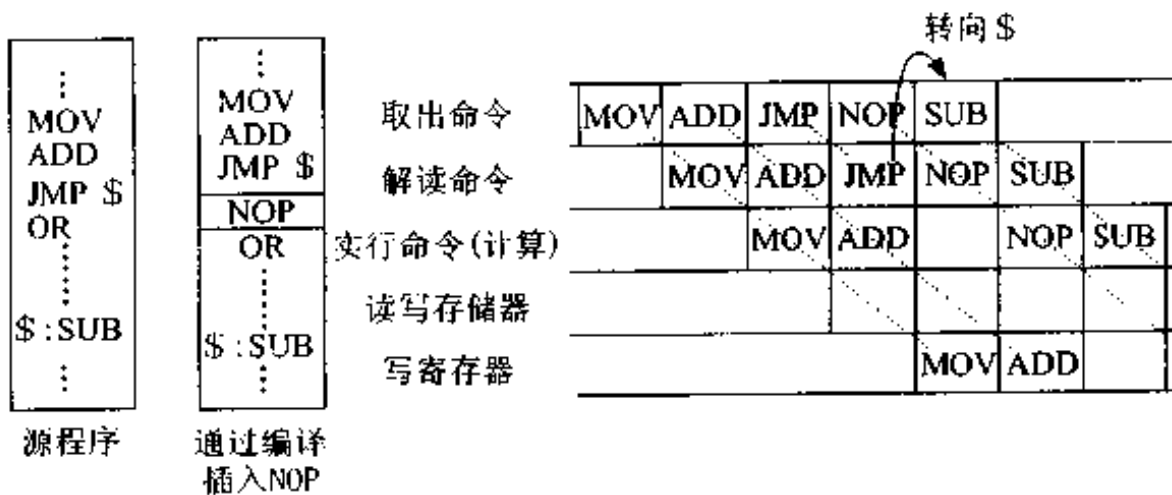
(e) 用编译程序使命令代码最佳化, 有效地利用各个硬件资源。

RISC 方式的基本出发点是尽量地使控制单纯化从而实现高速动作。



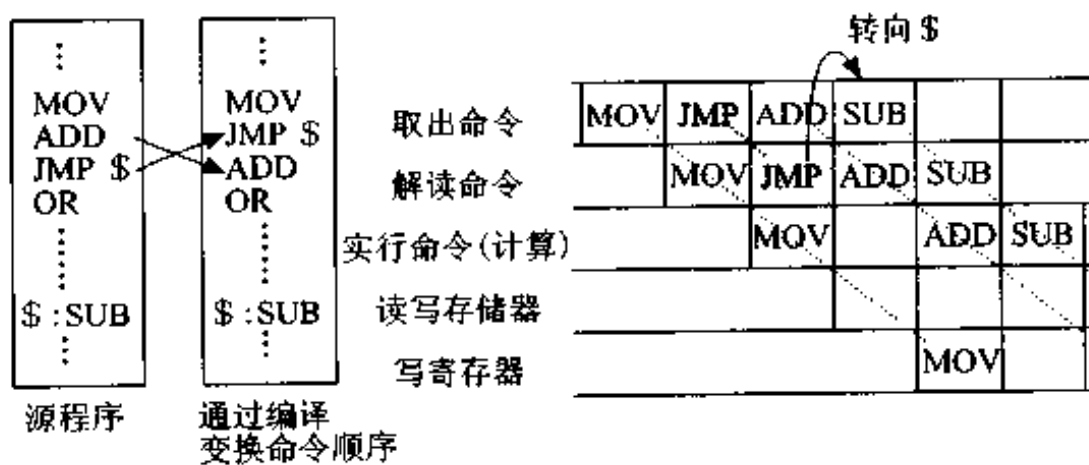
描述在无条件转移命令(JMP)后的逻辑和命令(OR)比转移处的减法命令(SUB)先实行了。这是不按正确顺序实行命令的例子。

(a) 转移命令打乱了流水线



在无条件转移命令之后插入非执行命令(NOP)。这仅仅是为了给转移命令的处理有足够的时间,以避免流水线的混乱。但是,却相对浪费了时间。

(b) 插入NOP(非执行)命令



颠倒加法命令(ADD)和无条件转移命令(JMP)的实行顺序。尽管加法命令是处于无条件转移命令的后面,而实际上则是先实行加法命令,然后再实行转移处的减法命令(SUB),这叫延迟转移。这样可以去掉不必要的时间间隔,避免流水线的混乱。

(c) 交换命令实行顺序

图 3.23 延迟转移命令

但是单纯化也有弊害,例如因使用转移命令而导致流水线控制产生混乱的时候(称为流水线危机),如果不采取什么措施的话,往往会妨碍命令的正常实行。解决这个问题的一個方法就是通过编译程序(是一种工具程序,可将程序描述语言编译成微处理器能够理解的命令代码)使程序最佳化。其中的一个例子叫做延迟转移法,我们利用图 3.23 来说明这种方法。在流水线控制方式中,即使存在无条件转移命令,也是先实行那些位于转移命令之后的命令,如图 3.23(a)所示。因而在实行顺序上产生了矛盾。虽然这个问题可以插入一个非执行命令(NOP)加以回避,如图 3.23(b)所示,但是这就浪费了时间。为此,可用编译程序来置换命令代码使其最佳化,如图 3.23(c)所示。在 RISC 方式里,编译程序的存在是很重要的,它既考虑到实行顺序,又能高效地生成可以充分发挥每个微处理器硬件特长的命令代码。

把 CISC 方式和 RISC 方式加以比较会发现各有所长,并非哪一种方式特别优秀。但是,从追求高性能的观点来看,预计采用 RISC 方式的微处理器会成为今后的主流。

3.5 专用集成电路的设计

如果在前一节叙述过的微处理器上,再附加一些存储器和外围功能的话就成为具备一定功能的系统,这一系统可以由一块集成电路来构成。在此我们将介绍这种专用集成电路及其设计方法。还将说明附加外围电路的必要性及其重要意义。

3.5.1 外围功能随用途而异

最近,从家用电器到汽车和工业用机器,凡是需要电子控制的地方,几乎都采用了集成电路。这些集成电路的心脏就是微处理器。但是单用微处理器是不能控制机器设备的。根据用途的不同,还需要各种外围功能。

所谓专用集成电路 ASIC(Application Specific Integrated Circuit)是指具有专门用途的集成电路,可分为标准品和定制品。

3.5.2 专用标准器件 ASSP 和专用定制器件 ASCP

1. 专用标准器件 ASSP

ASSP(Application Specific Standard Product)是为某个特定领域作控制用的、含有标准外围功能的器件。专用标准器件中,既有具有计数功能、通信功能、模/数(A/D)转换等功能的大规模外围集成电路,又有把微处理器和外围电路集成在一块芯片上的微控制器(单片微型计算机,简称为单片机)。这种器件的用途受到一定的限制,但是用户不受限制,是一种通用器件。

图 3.24 示出了用于家用电器、工业机械和汽车等作为控制用的微控制器的组成。除含有微处理器外还具备各种外围功能。计数器模块是用来记忆事件发生的次数,每发生一个事件,计数器模块就增减计数器的值。例如,用计数器模块可以获得马达或发动机的转速信息。模/数转换模块则是为了把温度之类的传感器的模拟信号变换为数字信号而设置的。串行接口 I/F(serial interface)模块用于与其他器件进行通信。I/O(Input/Output)模块既具有从外部获得必要信息的输入部分,也具有为了控制机械设备的信

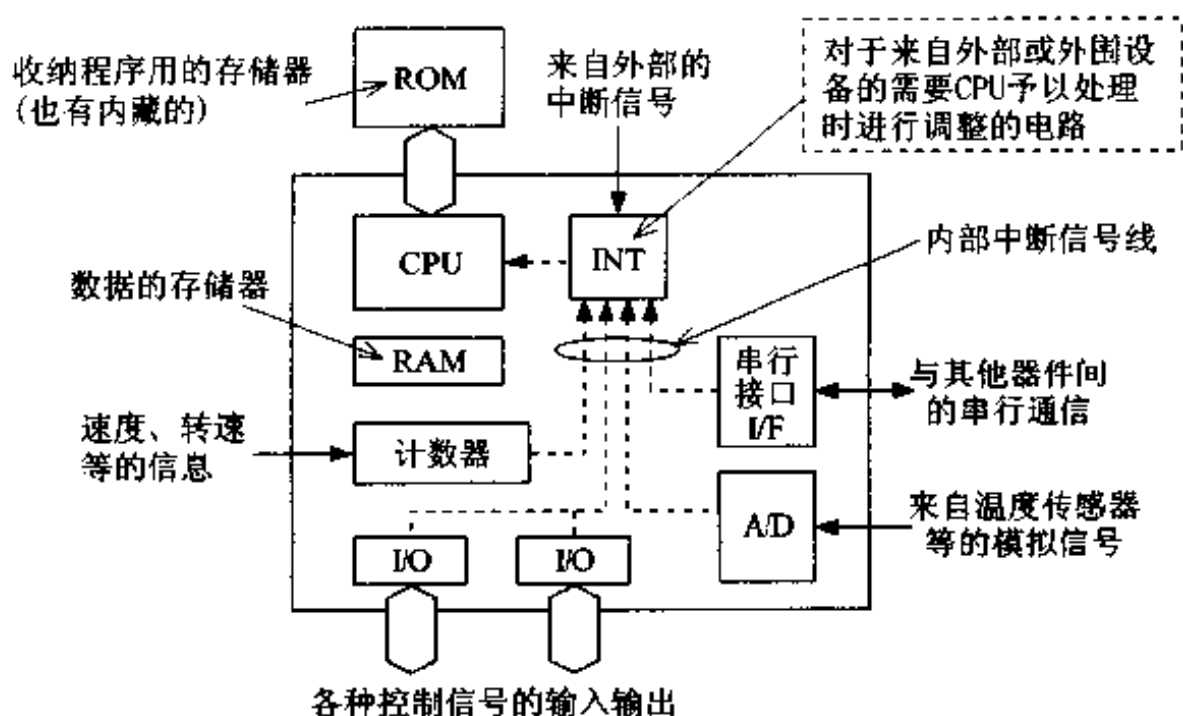


图 3.24 微控制器的内部框图

号的输出部分。INT(中断控制)模块的功能是当从各外围模块获得必要的信息时,立即“通知”微处理器及时处理这些信息,即让 CPU 中断其他的处理而插入这个处理。像这样的处理在控制系统中是很重要的。这是因为,即使将 CPU 现在的工作中断,也有必要优先处理实时获得的信息。

2. 专用定制器件 ASCP

ASCP(Application Specific Custom Product)是为了满足特定用户的制品,也就是定制品。代表性的产品有逻辑门阵列和标准器件等等。逻辑门阵列是预先把标准的晶体管器件排列在整个芯片上,然后在制造工程的最后阶段,只通过变换布线工序的光刻掩模来实现所希望的功能,如图 3.25 所示。只是将晶体管排列起来不能称为定制品,当把这些晶体管用布线连接起来就成了定制品。这种制造方法的特长是开发成本低、开发时间短。

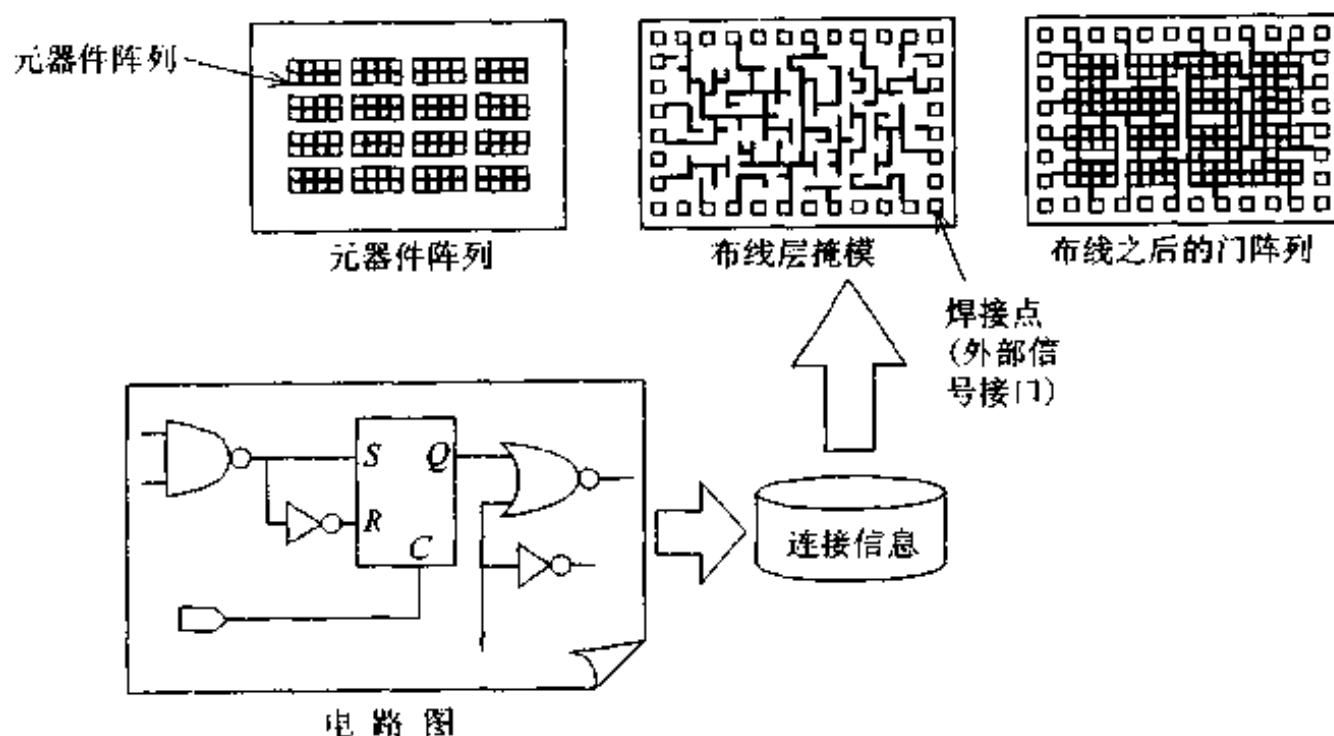
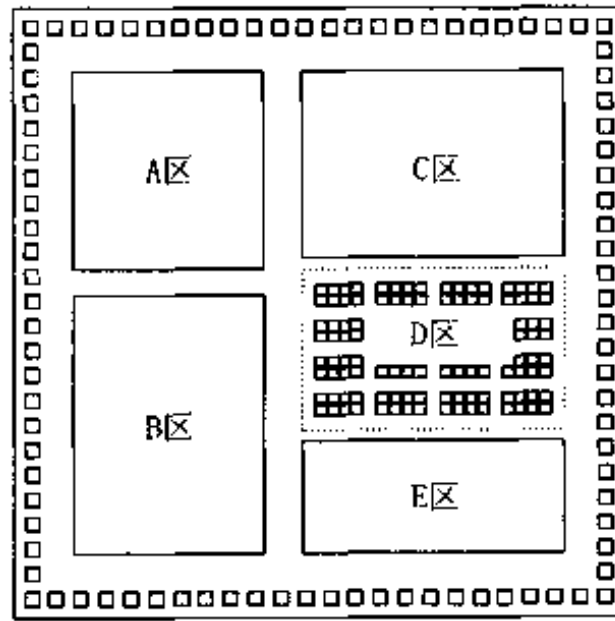


图 3.25 逻辑门阵列

用逻辑门阵列完全可以获得一般的逻辑电路。但是,要实现 RAM 那样的存储功能,仅靠变换布线是难于实现的。此时,可用图 3.26 所示的称之为标准器件的方式。预先制造好 CMOS 倒相器等基本器件,以及微处理器和存储器等微型器件,然后只把其中必要的器件自由地组合起来,就可以

获得所希望的功能。逻辑门阵列方式是采用专用的光刻掩模;标准器件方式则是在制造标准器件的前期工程,即晶体管制造阶段使用特定的光刻掩模来将必要的器件组合起来。所以,标准器件方式的开发周期比逻辑门阵列方式长。标准器件方式不存在多余的逻辑门,所以芯片面积小。采用这种方式可以高效率地制造高性能、多功能的集成电路。



A区, B区, C区和E区分别是CPU、存储器等微器件;D区是基本元器件的配置和布线

图 3.26 标准器件

另外,在上述的逻辑门阵列里,不仅是只预制标准的晶体管,还可预制包括微处理器和外围功能部分在内的器件,再用布线工程来实现它们之间的相互连接。这种方法叫做嵌入(embedded)逻辑门阵列。这是一种把逻辑门阵列开发周期短和标准器件的高性能和高附加价值这两者的特长结合起来的方法。

3.5.3 为什么要把外围电路和微处理器结合在一起

正如上面所述的那样,一个微处理器单体是不能完成什么功能的,必须加上外围电路才行。那么让我们来考察一下把各种功能集中到一个集成电路块中去的重要意义。

其理由之一就是可以减少器件数量,降低成本。还有一个优点就是可以提高组装的可靠性。不难理解,由于组装到印制电路板上的元器件数量

少,所以整个印制电路板的可靠性就获得提高。

最近,也将 A/D、D/A 转换器集成于专用集成电路 ASIC 里。由于将模拟信号变成了数字信号,所以各种信号的处理等等就可以用数字处理来代替以往的模拟处理。这不仅使处理变得容易,同时还意味着可以减少元器件的数量。这是因为不需要外接电阻电容等的缘故,而外接电阻电容在模拟电路里却是必不可少的。

近年来,由于半导体技术的进步,微处理器、存储器及外围功能电路等都能够集成在一个芯片上。这种把组成控制系统的元器件都集成在一个芯片上的集成电路称为系统集成(system LSI)。

3.5.4 使用 CAD 技术的设计方法

不只是在设计开发 ASIC 时,在设计开发其他的集成电路时,第 2 章里所叙述的 CAD 也是不可缺少的。下面,介绍各个设计阶段中 CAD 的使用方法。

图 3.27 所示的设计框图是一个使用 CAD 工具而实现自动化设计的例子。首先,在性能设计阶段,就应该制定出符合应用要求的 CPU 以及定出对外围功能的要求。其次,在功能设计阶段,要写出硬件的实际动作过程。

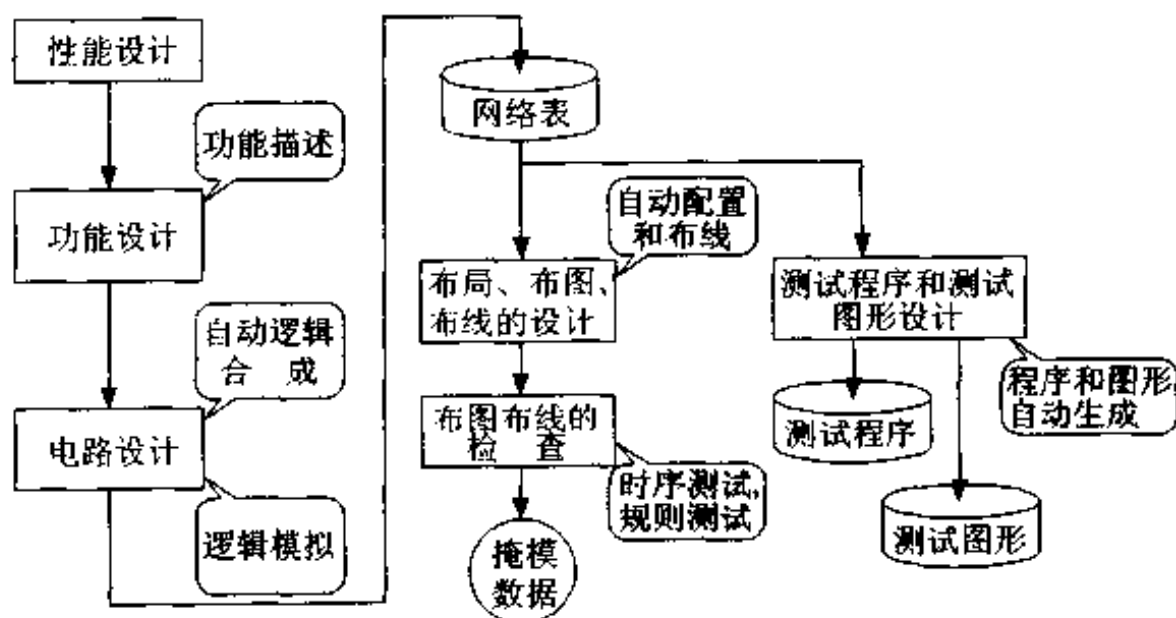


图 3.27 计算机辅助设计(CAD)例

在此,电路的动作过程是用程序语言之类的形式来表现的。在下一个电路

设计工程中,由自动逻辑合成工具软件作成逻辑电平电路。再对作好的电路进行计算机模拟,以验证电路的动作是否达到设计要求。最后,将获得最终的电路设计的输出,即获得被称之为网络表(net list)的电路连接信息。

以这个网络表作为布局 and 布图设计的输入信息,由自动布线工具软件进行自动布图。然后,在布图检查工序里抽出布线延迟等信息,进行时序测试。把那些不能满足动作速度要求的部分,也就是关键路径里的延时部分找出来。必要时还要把结果反馈到布图工序去。然后再由设计规则检查程序对元器件的形状和布线的合理性进行物理验证,最终生成掩模的数据。

另一方面,在集成电路制造好之后,还要检查其是否按照设计的要求动作。为此,还需要测试图(加给端子的 0/1 逻辑信息)和测试程序(为运行测试图的频率、电压和时序等信息)。这些测试图和测试程序可由人工来设计完成。但是,如果事先考虑了使测试比较容易进行的话,有可能由网络表自动地生成测试图和测试程序。为了确保测试的进行,最重要的是测试图能使集成电路中多少元器件被激活的比例(激活率)和是否能将激活后的结果用引出端的电平进行观察(观察性)这两点,有必要使这两方面都获得提高。为此,重要的是在设计开始时,在性能设计阶段就应该考虑成品测试这一功能。

练 习 题

1 设计由下列逻辑关系式所表示的 CMOS 组合门电路:

$$(1) Y = \overline{A \cdot B + C}$$

$$(2) Y = \overline{A \cdot B + (A + B) \cdot C}$$

2 请模仿 EXOR(异或门)电路用晶体管传输门和 CMOS 倒相器设计一个 EXNOR(同或门)电路。

3 在习题 2 中,使用一部分 CMOS 同步脉冲倒相器设计一个 EXNOR 电路。

4 用 2 个 D-FF 和 CMOS 逻辑门电路,设计一个 $S_1 = (00) \rightarrow S_2 = (01) \rightarrow S_3 = (10) \rightarrow S_4 = (11) \rightarrow S_1$ 的循环同步式 3 进制计数器电路。

5 在图 3.19 中,为了清除(设定 00H)寄存器 A 里的内容,应该如何操作微处理器里的各个控制点和 ALU 的 OPR(操作数)?

6 为什么说在专用集成电路(ASIC)里嵌入简化指令集方式(RISC)的微处理器就可以简化外围硬件电路?

模拟集成电路的 设计

模拟集成电路是处理连续变化信号的集成电路,所以也称为线性集成电路。在本章里我们重点阐述模拟集成电路里常用的具有代表性的电路。主要是一些使用双极型晶体管的电路例,近年来一般采用 CMOS 电路来组成线性集成电路。

4.1 基本模拟集成电路

4.1.1 最基本的模拟电路——电流反射镜电路

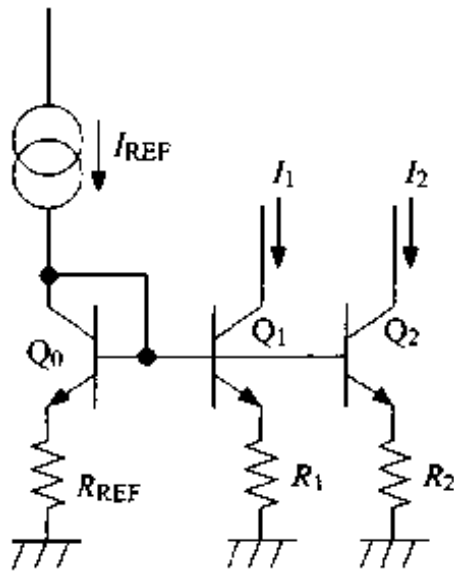


图 4.1 电流反射镜电路

集成电路设计者的主要工作是设计电路的电流,为了给各电路提供设计所指定的电流,常使用电流反射镜电路。因而在集成电路里,电流反射镜电路是频繁使用的电路。所以它是集成电路的基本电路。图 4.1 所示是由双极型晶体管构成的电流反射镜电路的原理图,电流反射镜电路也可以用 MOS 晶体管构成。在图 4.1 所示的电路里,各晶体管的基极是接在一起的,如果 Q_0 、 Q_1 、 Q_2 的 V_{BE} 是相等的话,那么输出电流 I_1 、 I_2 就可用下面的近似公式来表示

$$\frac{I_1}{I_{REF}} \approx \frac{R_{REF}}{R_1} \quad (4.1)$$

$$\frac{I_2}{I_{REF}} \approx \frac{R_{REF}}{R_2} \quad (4.2)$$

实际设计时,是以 I_{REF} 为基准,用 R_{REF}/R_1 和 R_{REF}/R_2 把电流设定为所要求的值。例如,设 $I_{REF} = 1\text{mA}$, $R_{REF} = 1\text{k}\Omega$, $R_1 = 2\text{k}\Omega$, $R_2 = 2.5\text{k}\Omega$,则可以获得 $I_1 = 0.5\text{mA}$, $I_2 = 0.4\text{mA}$ 。在这个例子里输出电流只有两个,实际上输出电流可以增加若干个。

在设计集成电路时,最重要的是使设计的电路性能不随电阻和晶体管的 h_{FE} (电流放大倍数) 等的制造误差而变化。在这里所叙述的电流反射镜电路和下面将要叙述的禁带宽度基准电压电路里,电流只由电阻和晶体管的电流放大倍数的相对误差决定,所以,电路的性能不随制造误差而变化,是非常稳定的。在一般的集成电路制造工艺中,电阻的绝对误差最大为

$\pm 20\% \sim \pm 30\%$, 而相对误差最大约为 $\pm 2\% \sim \pm 3\%$ 。因此, 在同一芯片上有可能获得精度良好的电压和电流。当要求更高的精度时, 即对芯片内的电阻精度和晶体管的匹配要求更高时, 只需在集成电路附近外接决定精度的元件即可。

4.1.2 偏置电路——禁带宽度基准电压电路

通常用偏置电路来提供集成电路内部的基准电压和电流反射镜电路的基准电流(I_{REF})。在双极型集成电路里, 几乎都是使用禁带宽度基准电压电路作为偏置电路的。禁带宽度偏置电路的特征是可使基准电压的温度系数为零。由于这种偏置电路的出现, 才使得用于苛刻环境条件(如汽车用)下的集成电路成为可能。

禁带宽度基准电压电路的原理如图 4.2 所示。这个电路的输出电压可由下式给出

$$V_{REF} = V_{BE3} + \frac{R_2}{R_3} \cdot \frac{kT}{q} \cdot \ln \frac{I_1}{I_2} \quad (4.3)$$

式中, k 为玻尔兹曼常数(1.38×10^{-23} J/K), T 为绝对温度(K), q 为电子的电荷量(1.6×10^{-19} C)。众所周知, 晶体管的 V_{BE} 的温度系数大约是 $-2\text{mV}/^\circ\text{C}$ 。当调整电流 I_1 和 I_2 之比使式(4.3)第 2 项的温度系数为 $+2\text{mV}/^\circ\text{C}$ 时, 就可以使基准电压 V_{REF} 的温度系数为零。也就是说可以得到不随温度变化的稳定的基准电压。因为当 V_{REF} 的值相当于硅的禁带宽度(约 1.2V) 时, 就满足这个条件。所以就把这个电路称做禁带宽度基准电压电路。与此相反, 也可以有意地改变电流比, 将偏置电路设计为电压随温度变化的电路。

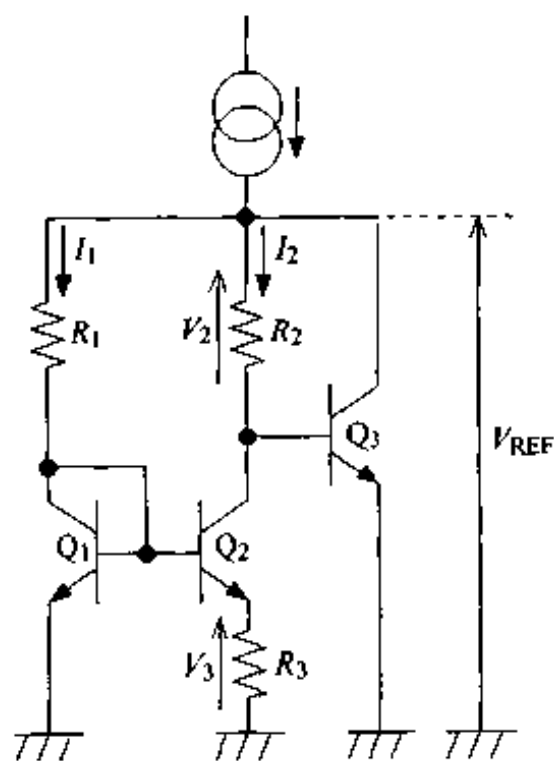


图 4.2 禁带宽度基准电压电路

4.2 各种放大电路

4.2.1 差动放大器

放大电路随使用目的和功能的不同有各种各样的类型。图 4.3 是其中的一例,这是一个发射极接地型的放大电路。而在集成电路里常用的电路是图 4.4 所示的差动放大电路。这里,“差动”的意思是:电路有两个输入端,由这两个输入端的电压之“差”使电路工作。在图 4.3 所示的发射极接地型放大电路里,输入电压和输出电压都是相对于地电平(GND)而言的;

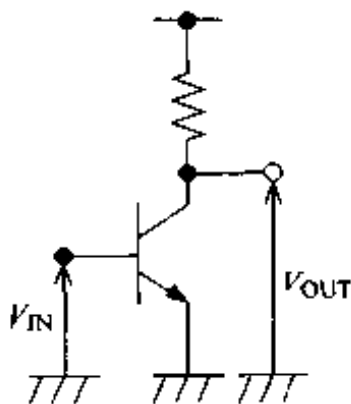


图 4.3 发射极接地型放大电路

而在图 4.4 所示的差动放大电路里,有两个输入端,这两个输入端之间的电压差作为电路的输入,这个电压差被电路放大而输出。输入信号 IN_+ 和 IN_- 由同一个直流电压偏置(直流成分 v_{ic}),以这个偏置电压为中心的相位差为 180° 的信号(差动成分 v_{id})输入到电路。这正好像一个以 v_{ic} 为支点的跷跷板,电压的关系是一方大则另一方就小。一般来

说,差动放大电路之间的电路连接比较容易,而且电路稳定性也好,因此常用于集成电路里构成运算放大器(operational amplifier)、电压比较器(comparator)等基本电路。

在图 4.4 所示的差动放大电路里,各晶体管的输入信号和差动增益(放大倍数) A_d 如下所示

$$v_{IN+} = v_{ic} + \frac{v_{id}}{2} \quad (4.4)$$

$$v_{IN-} = v_{ic} - \frac{v_{id}}{2} \quad (4.5)$$

$$A_d \equiv \frac{v_{od}}{v_{id}} = -g_m \cdot R_c \quad (4.6)$$

式中, g_m 叫做跨导 (transconductance), 表示晶体管集电极电流相对于差动输入电压的增量。

4.2.2 有源负载 (active load) 放大器

图 4.4 所示差动放大器的负载是集电极电阻 R_C (无源元件)。由式 4.6 可知, 为了增加差动放大倍数, 只有增加 R_C 或者 g_m 。但是, g_m 是与集电极电流成比例的, 它的增加是有限的。 R_C 的增加会导致 IC 芯片内部电阻占有面积的增加, 从而导致 IC 成本的增加, 这都不是最好的办法。

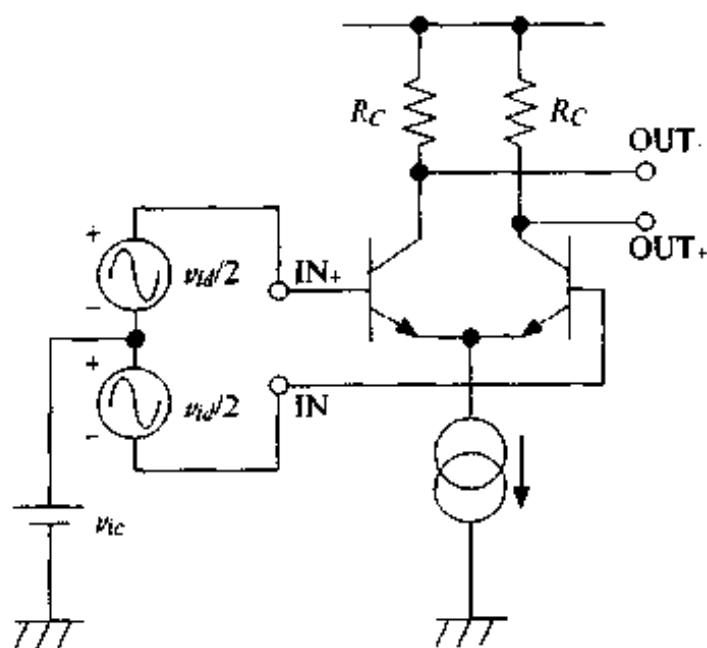


图 4.4 差动放大电路

为此, 有人提出用晶体管, 也就是说用有源器件来作负载, 这就是所谓的有源负载放大器。图 4.5 所示的是有源负载差动放大器。这个电路的负载是 pnp 晶体管的输出电阻, 其输出电阻 r_o 由下式给出

$$r_o = \frac{V_A \cdot q}{k \cdot T \cdot g_m} \quad (4.7)$$

r_o 是与厄雷 (Early) 电压 V_A ¹⁾ 成比例的量, r_o 的实测值为数十 k Ω 到数百 k Ω 。在集成电路里, 若用电阻元件实现如此高的阻值, 将要占用很大的

1) 所谓厄雷电压 (Early Voltage) 是指晶体管的 $V_{CE} - I_C$ 特性曲线的直线部分 (放大区) 的延长线与 X 轴的交点, 即 $I_C = 0\text{mA}$ 时 V_{CE} 的绝对值, 通常为数十伏以上。

芯片面积;而采用有源负载,只占用很小的芯片面积(即晶体管面积)即可获得高阻值,而且容易获得高增益的电路。

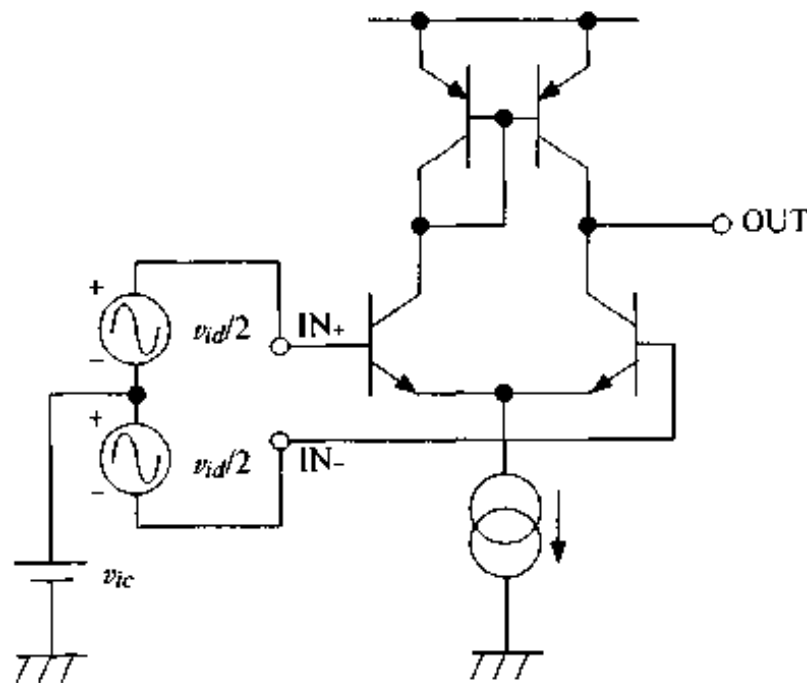


图 4.5 有源负载差动放大电路

4.3 模/数和数/模转换电路

4.3.1 模/数、数/模转换器的用途

在现代的电子设备和家用电器中,几乎都使用着模/数(A/D, analog to digital)和数/模(D/A, digital to analog)转换器。现以声音信号为例来说明使用这些电路的必要性。通常,人们听到的声音是一个连续的模拟量。但是,最近的电子设备则从信号处理的容易性和性能的优异性出发而使用数字信号来工作。在这样的设备里,出现了作为人和电子设备(人只能识别模拟信号,而电子设备则处理数字信号)之间的桥梁(接口)的A/D和D/A转换器。CD唱机是一个最典型的例子,它把以数字形式记录着的声音信息转换为模拟量的音乐。

另外,由于个人计算机的迅速发展,数码照相机和录像机的图像也可以送入计算机里,这些也是与A/D、D/A转换器分不开的。今后,数字化还将

更加普及,家用电器也将越来越多地使用 A/D、D/A 转换器,而且其转换速度将更加高速化。以前,高速 A/D、D/A 转换器是用双极型晶体管技术来实现的,现在则几乎都是使用 CMOS 技术制造。随着 CMOS 工艺的精细化,电路也越来越高速化。

集成电路中晶体管和电阻所占面积的比较

现举一个在集成电路中的晶体管和电阻所占面积比的例子。假设一个晶体管所占面积为 $10\mu\text{m} \times 10\mu\text{m}$, 方块电阻 $R_f = 500\Omega/\square$, 电阻的宽度为 $5\mu\text{m}$, 则电阻和晶体管所占芯片面积的比和电阻值之间的关系如下图所示。由图可知,要获得 $100\text{k}\Omega$ 的电阻,需要大约 50 个晶体管的面积,这将是很大的浪费。

此外,晶体管所占的面积因集成电路的用途而不同。例如,功率放大器等输出功率较大的集成电路里,使用大面积的晶体管;而高速数字集成电路则使用小面积晶体管。因此,需要注意的是下图中的截矩的大小是随用途不同而变的。

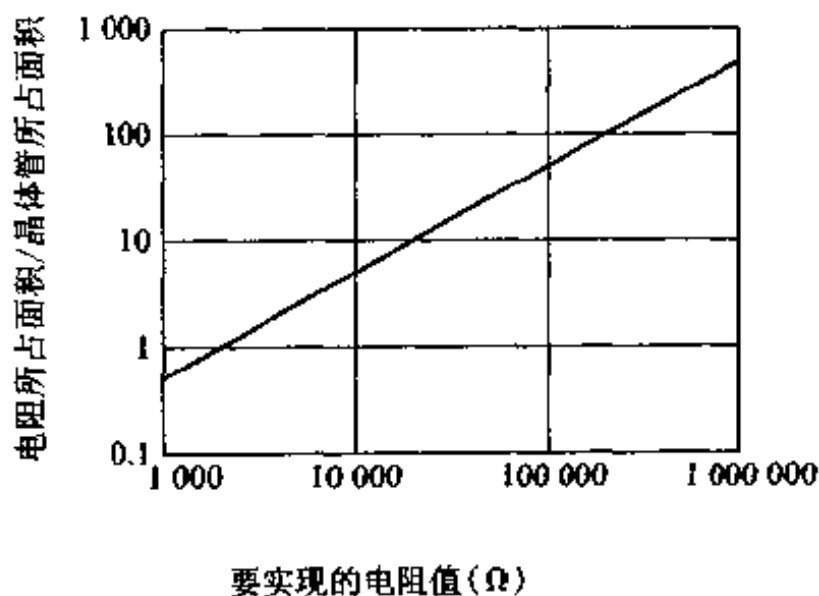


图 电阻和晶体管占用芯片面积比

4.3.2 A/D、D/A 转换器电路

由于电路的构成越来越复杂化、多样化,所以不可能将所有的 A/D、D/A 转换器都加以介绍,在此只介绍一些电路的基本原理。

并联比较型 A/D 转换器的基本电路及其输入输出特性如图 4.6 所示。设分辨率为 n 比特,把 $(2^n - 1)$ 个比较器并联连接起来,把基准电压 V_{REF} 设

定为 A/D 转换器的最大输入电压,并将其分为 2^n 等分,将分割后的电压作为各个比较器的比较基准电压。一旦有模拟信号输入时,比较器同时工作并输出以“H”或“L”表示的数字信号。然后再通过译码器转换为数字码,这就是 A/D 转换器的工作原理。

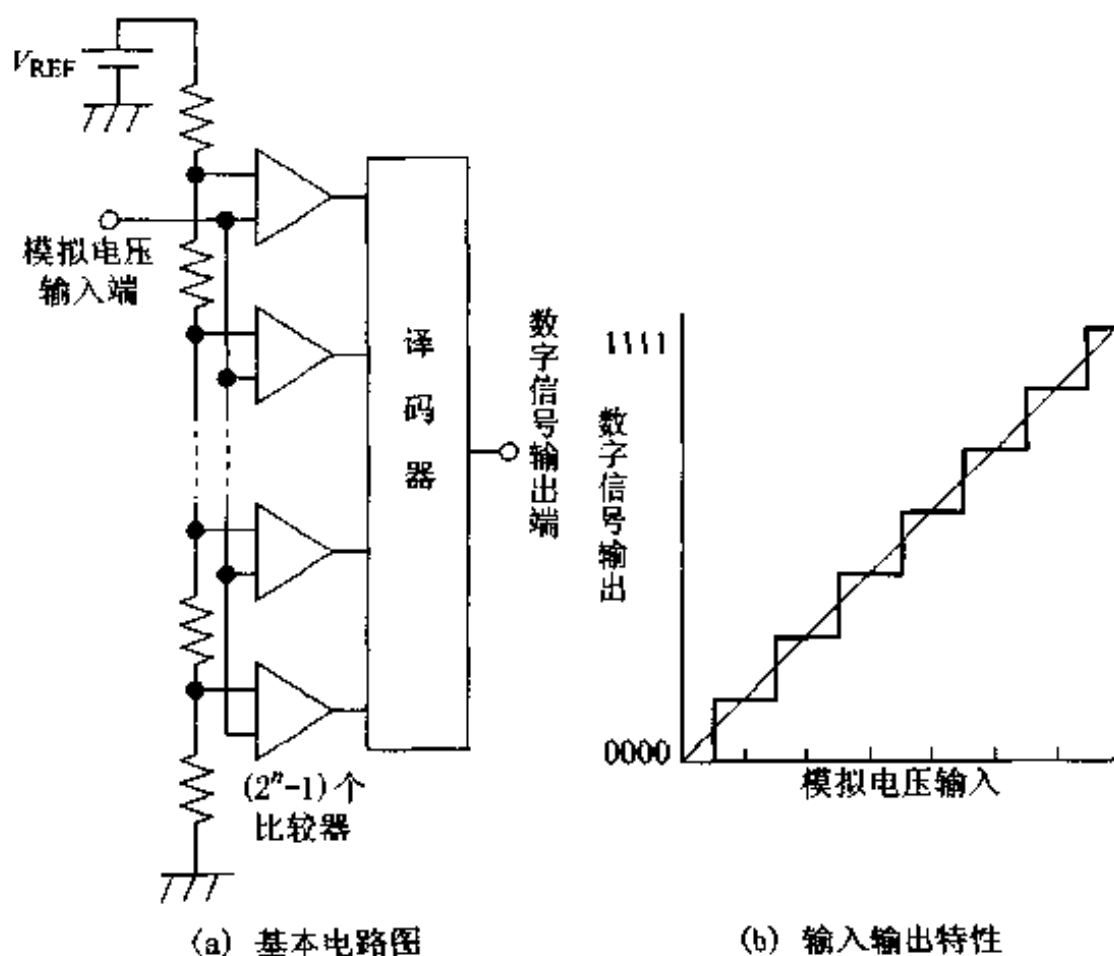


图 4.6 并联比较型 A/D 转换器

加权恒流源型 D/A 转换器的基本电路及其输入输出特性如图 4.7 所示。其基本构成如下:设 D/A 转换器的分辨率为 n 比特,则需要准备 n 个加权的恒流源,这些恒流源分别用 $I/2^1 \sim I/2^n$ 加权,并由数字信号来控制其电流的开和关。其输出电压可由下式表示

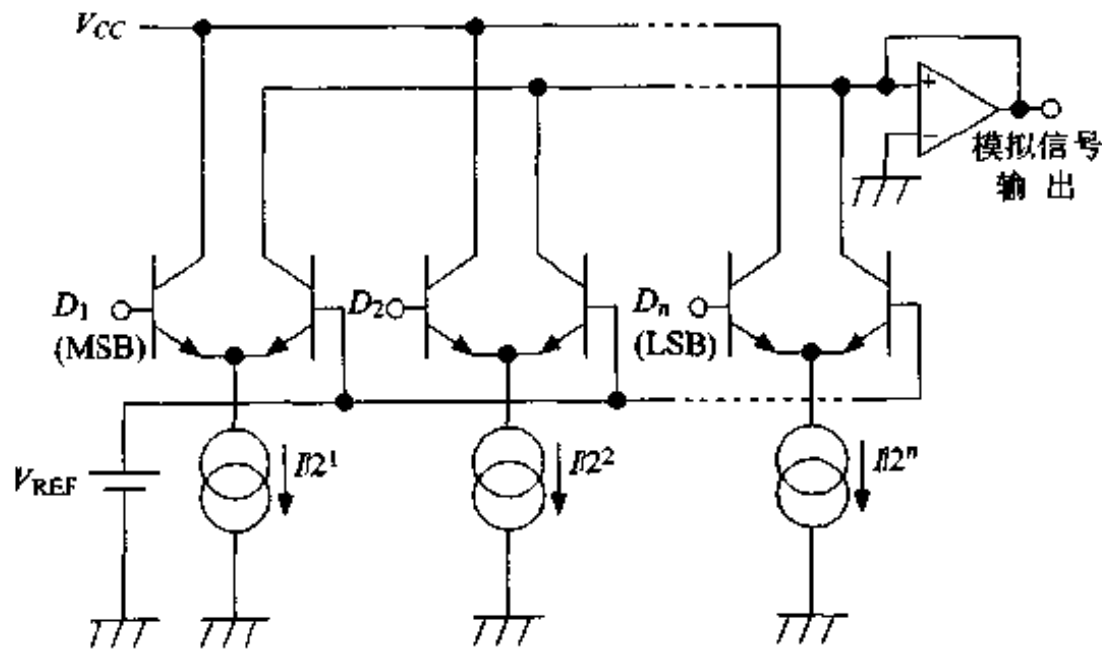
$$V_{\text{out}} \propto I \left(\frac{D_1}{2^1} + \frac{D_2}{2^2} + \cdots + \frac{D_n}{2^n} \right) \quad (4.8)$$

式中, D_i 是各个位的输入数字信号,数值是 0 或 1。

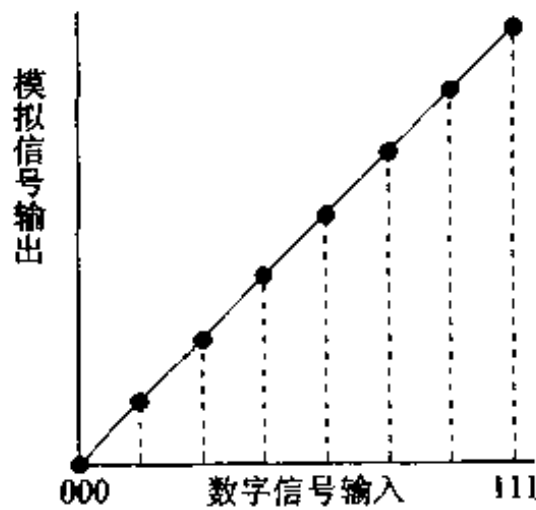
加权电流是用前述的电流反射镜电路产生的,当比特数增加时,对 LSB

侧的电流精度的要求将指数倍地增大,所以这种电路不适于作为高分辨率的电路。但是,可以通过它来了解 D/A 转换器的工作原理。

由图 4.6 和图 4.7 所示的 A/D、D/A 转换器的输入输出特性可知, A/D、D/A 转换器的输出电压是不连续的阶梯状波形,这样的波形意味着是“数字信号”。但是,随着分辨率的提高,数字信号的波形也就越平滑。也就是说,与 4 比特相比则 8 比特的更平滑,与 8 比特相比则 10 比特的更平滑。最近的电子设备要求较高的精度,所以高分辨率(10 比特以上)的 A/D、D/A 转换器是转换器的主流。



(a) 基本电路图



(b) 输入输出特性

图 4.7 加权恒流源型 D/A 转换器

4.4 其他常用模拟电路

4.4.1 用途广泛的乘法电路

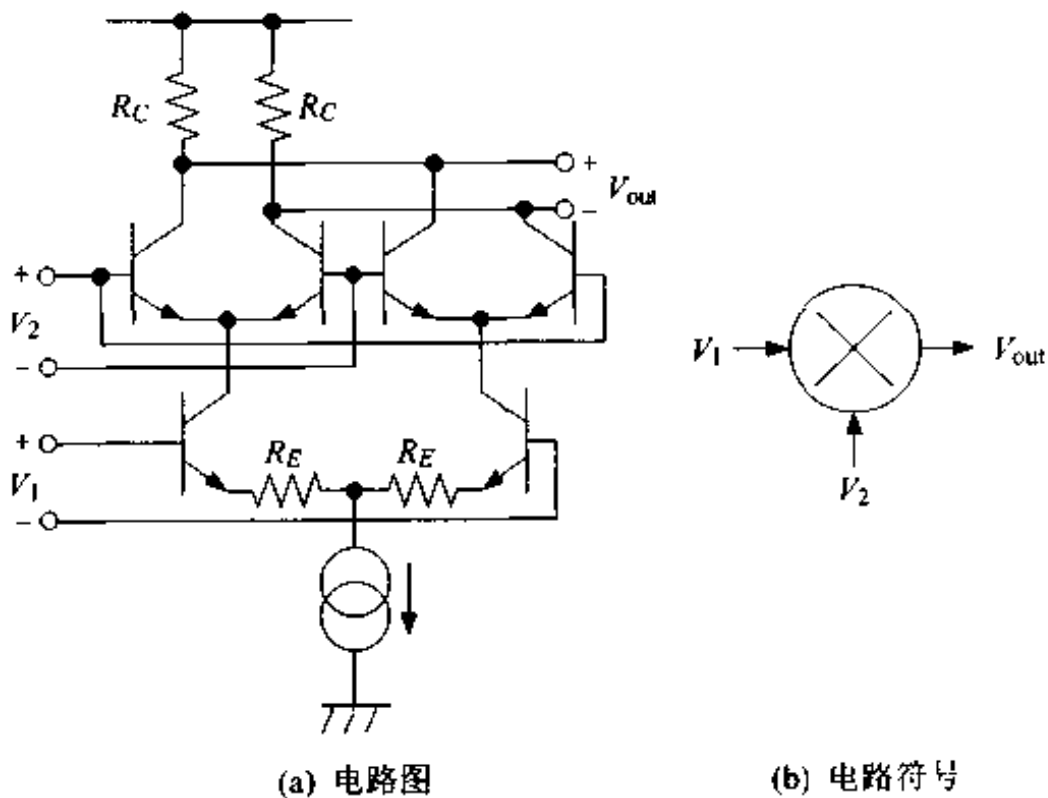


图 4.8 乘法电路(吉伯电路)

图 4.8 的电路叫做乘法电路,采用发明者吉伯(Gilbert)的名字命名,所以也叫吉伯乘法器(gilbert multipliers)或吉伯电路(gilbert cell)。其输出电压可由下式表示

$$V_{out} = V_1 V_2 \frac{R_c}{4R_e V_T} \quad (4.9)$$

式中, V_T 称为热电压(thermal voltage),由 kT/q 给出。由此式可知,由输出可以得到两个输入电压 V_1 和 V_2 的积(乘法)。

乘法电路除了作为单纯的运算电路之外,还有各种各样的用途。下面简要地介绍这些用途。

1. 用于倍频器(二倍频电路)

如图 4.9 所示,如果由乘法电路的两个输入端输入同一个信号 ($V_1 \cos \omega t$),那么在输出端就得到下式所示的信号,也就是说可以得到输入信号的 2 倍频率的信号。

$$\begin{aligned} V_{\text{out}} &\propto V_1 \cos \omega t \cdot V_1 \cos \omega t = \frac{1}{2} V_1^2 \{ \cos(\omega t + \omega t) + \cos(\omega t - \omega t) \} \\ &= \frac{1}{2} V_1^2 \{ \cos 2\omega t + 1 \} \end{aligned} \quad (4.10)$$

第 1 项的 $\cos 2\omega t$ 即是输入信号的 2 倍频率(倍频)成分。

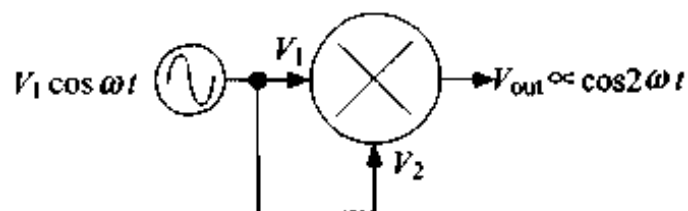


图 4.9 倍频器

2. 用于 AM 解调器

图 4.10 是用于 AM 解调器的一个例子。从一个输入端输入调幅波(因

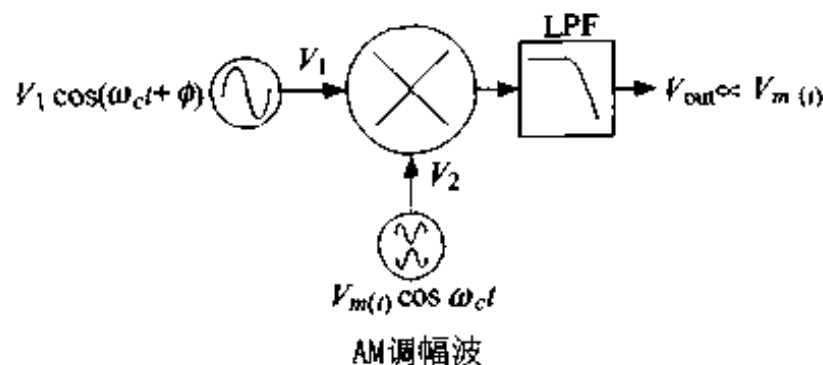


图 4.10 调制波(AM)的解调器

为是振幅调制,其振幅可以用时间函数 $V_{m(t)}$ 来表示),从另一个输入端输入相同频率的非调制波(在这个例子里,设两者的相位差为 ϕ),于是输出端就可以得到下式的信号⁽¹⁾

$$V_{\text{out}} \propto V_1 \cos(\omega_c t + \phi) \cdot V_{m(t)} \cos \omega_c t = \frac{1}{2} V_1 V_{m(t)} \{ \cos(2\omega_c t + \phi) + \cos \phi \} \quad (4.11)$$

但是,由于输出端接有低通滤波器 LPF(low pass filter),所以高频成分(第一项)被滤除了,最终的输出信号为

$$V_{\text{out}} \propto \frac{1}{2} V_1 V_{m(t)} \cos \phi \quad (4.12)$$

也就是说调幅信号 $V_{m(t)}$ 被“解调”了。

3. 用于相位比较器

图 4.11 是用于相位比较器(鉴相器)的一个例子。相位比较器是用于后述的 PLL 电路的一种电路。所谓相位比较器是比较两个信号的相位之差的电路。往乘法器里输入的信号是两个频率相同但相位不同的信号。在此例里设两个信号的相位差为 ϕ , 不论振幅相同与否,在此设振幅分别为 V_1 和 V_2 。于是,从输出端可以得到下式所示的信号

$$V_{\text{out}} \propto V_1 \cos \omega t \cdot V_2 \cos(\omega t + \phi) = \frac{1}{2} V_1 V_2 \{ \cos(2\omega t + \phi) + \cos \phi \} \quad (4.13)$$

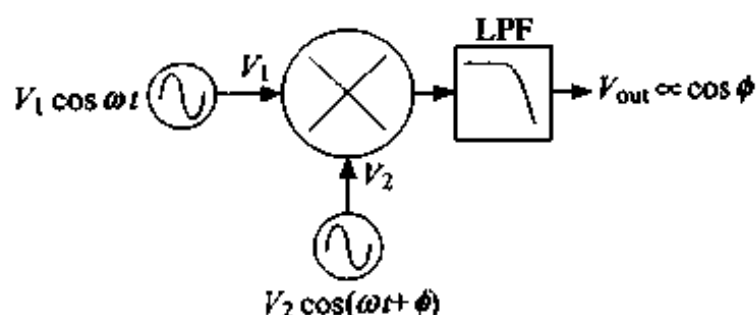


图 4.11 鉴相器

由于在乘法器的输出端也接有低通滤波器,所以(4.13)式中的高频成分(第一项)被滤除,实际得到的是下式所示的直流电压

$$V_{\text{out}} \propto \frac{1}{2} V_1 V_2 \cos \phi \quad (4.14)$$

该直流电压是与相位差 ϕ 的余弦成比例的电压。该电路用于 PLL 电路时,则是把这个电压反馈到 VCO(电压控制振荡器,简称压控振荡器)里

构成一个环路,从而使 VCO 输出所希望的频率信号。

4.4.2 PLL 电路的应用例

PLL 是相位同步电路 (phase-locked loop, 也称锁相电路) 的略称, 广泛用于无绳电话、移动电话、无线电设备、电视和收音机中。下面, 让我们以收音机为例来说明相位同步电路的用途。现在的收音机和过去的收音机相比, 在选台方式上有很大改进。早期的收音机是用手转动旋钮进行选台, 凭感觉把收音机调整到灵敏度最高的频率位置。但是, 最近的收音机只需用指头一按就能丝毫不差地调到所要电台的频率。而且稳定性也与以前截然不同, 在过去的收音机中, 虽然选好了电台, 但是经过一段时间后, 电台会“跑掉”(频率漂移), 于是需要重新进行调整。现在的收音机完全不需要这种调整。像这样用一个指头就可以选择电台而且具有良好的稳定性, 都是由于采用了 PLL 的缘故。

我们用图 4.12 所示的移动电话内部结构框图来详细说明 PLL 的用

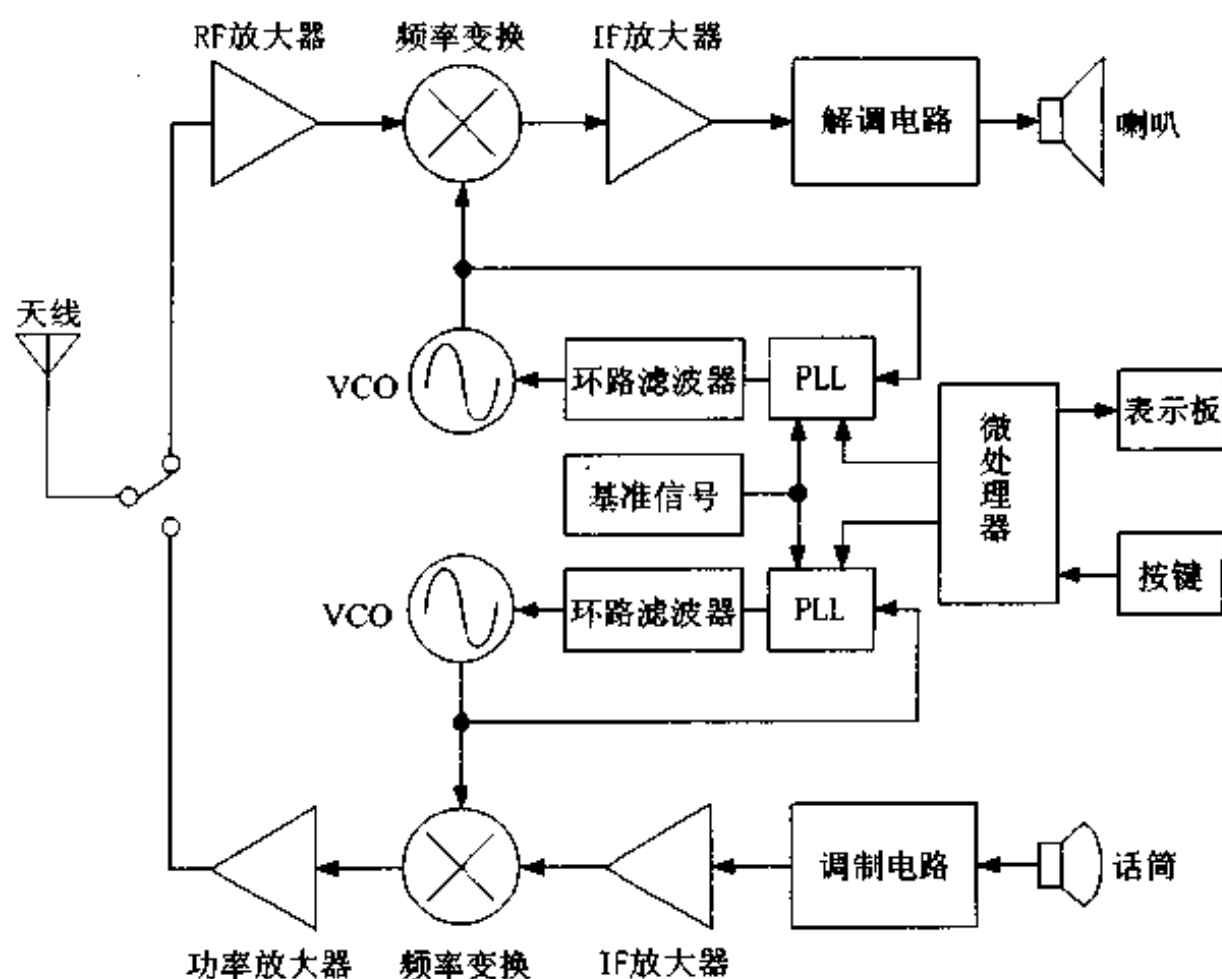


图 4.12 移动电话的内部框图

途。这是一般移动电话的内部电路简化图,相位同步功能组件由 PLL、VCO、环路滤波器和基准信号源组成。PLL 的基本功能是使 VCO 的输出频率为基准信号频率的整数倍。一般使用晶体振荡器等作为基准信号,其稳定性是极高的。所以由 VCO 就可以获得稳定的振荡频率,这就是 PLL 的特长^[2]。

下面,简单地说明一下 VCO 的原理。VCO 是振荡频率随所加的直流控制电压而变的振荡电路(压控振荡电路)。VCO 的特性如图 4.13 所示。在这个例子里,振荡频率随控制电压的增大而增高,但也有振荡频率随控制电压的增大而降低的 VCO。VCO 一般由 Hartler 型或 Colpitts 型振荡电路构成,振荡频率范围从数十 MHz 到数 GHz。

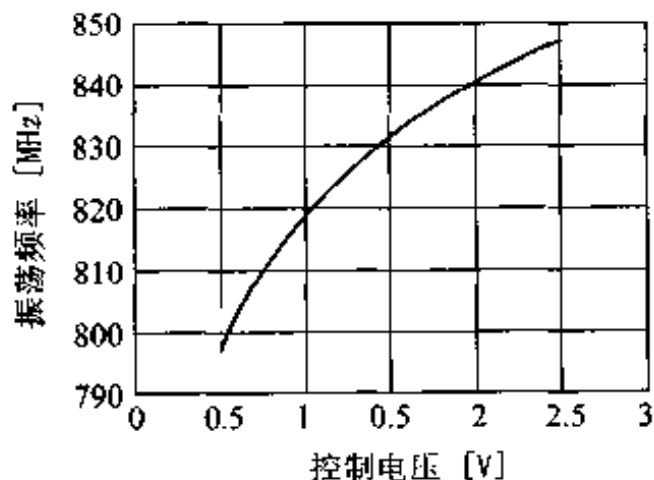


图 4.13 VCO 电路的特性

下面,以打电话为例来说明 PLL 的工作原理。

(a) 由键盘输入的电话号码经微机处理后送到 PLL 电路。

(b) PLL 电路输出一个差频信号,该信号的频率相当于由微机指定的频率与现在的 VCO 振荡频率之差。

(c) PLL 输出的差频信号经过环路滤波器使之变为直流电压,并且将这个电压作为控制电压反馈到 VCO。

(d) VCO 则随控制电压而改变振荡频率,并且反复进行(b)→(c)→(d)的循环,直到振荡频率变为所希望的频率为止。

由这一连串的动作,PLL 电路就可以使 VCO 的振荡频率精确地控制在所希望的频率上。

下面以脉冲吸收方式(pulse swallow method)的 PLL 电路为例说明其工

作原理,其内部方框图示于图 4.14。PLL 内部是由预分频器 (prescaler, 把 VCO 输出的高频信号事先分频的电路)、各种计数器、上述的相位比较器以及后续放大器 (charge pump) 构成。PLL 的功能是使 VCO 分频之后的信号 f_p 和基准信号分频后的信号 f_r 保持相同的频率和相同的相位, VCO 设定在下式所示的频率上

$$f_{VCO} = \frac{f_{osc}}{R} \cdot (A + M \cdot N) \quad (4.15)$$

式中,各个计数器的分频比 (R, A, M, N) 是由微处理器设定的值。

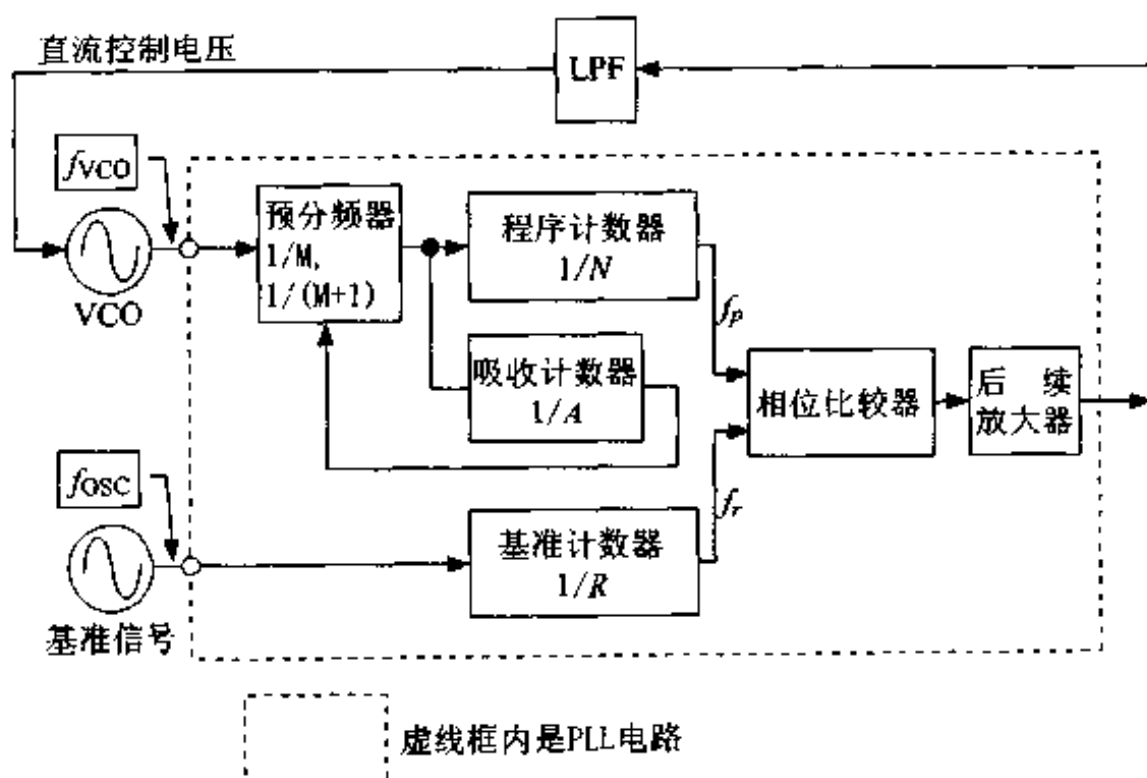


图 4.14 PLL 的内部框图

图 4.15 所示的是为移动电话而开发的大规模集成电路芯片的照片^[3]。这种集成电路是用 BiCMOS 工艺制成的,它把图 4.12 所示的 PLL 电路和外围的模拟电路集成在同一块芯片上。

4.4.3 CMOS 模拟电路的代表——开关电容电路

由于 CMOS 工艺的精细化,出现了一些引人注目的新产品。另外,CMOS 工艺与双极型晶体管工艺相比,使用的掩模数少,成本低。所以,用 CMOS 工艺制造模拟电路,不仅可以降低成本,还可以缩小芯片尺寸,使芯

片成本大幅度地降低。因此,采用适合于制造数字集成电路的 CMOS 技术来制造模拟集成电路的想法是理所当然的。

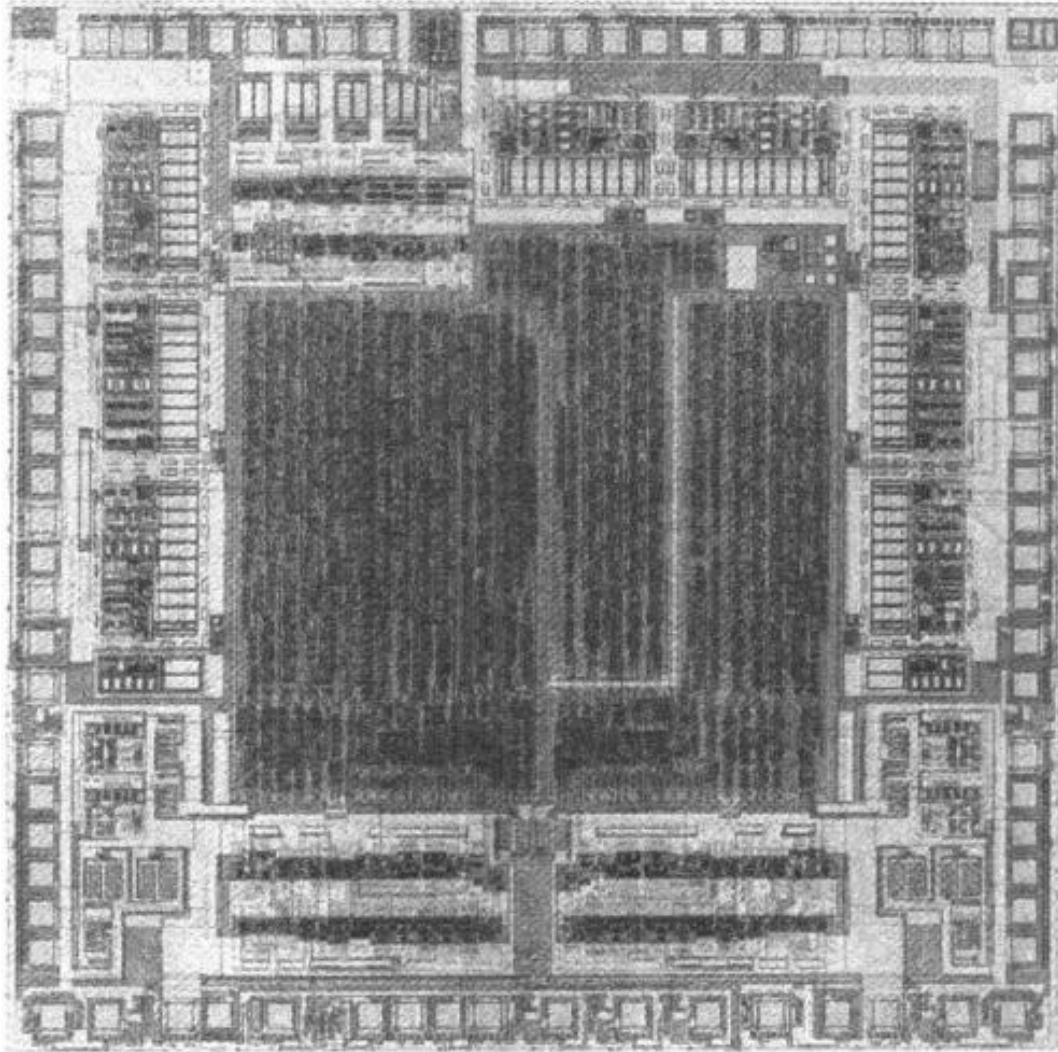


图 4.15 模、数电路混合型移动电话用大规模集成电路的芯片照片
(由富士通公司提供)

为此,设计了一种开关电容 (switched capacitor) 电路^[4]。开关电容电路如图 4.16 所示,由模拟开关、电容器和运算放大器构成。模拟开关是在《集成电路 A》第 5 章第 2 节里介绍过的 CMOS 传输门电路,也就是将 nMOS 和 pMOS 并联起来的电路。这种电路的特点是输入输出间导通电阻低,而且输入输出没有方向性。在图 4.16(b)里,如果用时钟脉冲控制开关 SW_1 和 SW_2 ,使其交替地接通时,电容器 C_1 的电荷量 Q 与输入输出间的电位差 $V_1 - V_2 = \Delta V$ 成正比,则 Q 可由下式给出

$$Q = C_1 \cdot \Delta V \quad (4.16)$$

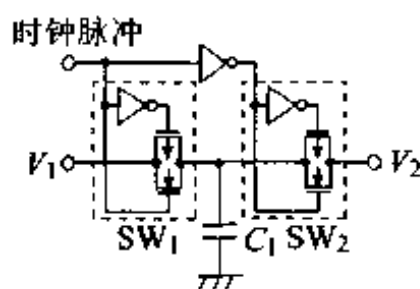
如果时钟频率(模拟开关的工作频率 $f = 1/T$)比信号频率(V_1 的输入频率)高得多,电流 i 看作是单位时间的电荷量,那么开关的等效电阻 R_{eq} 可由下

式给出

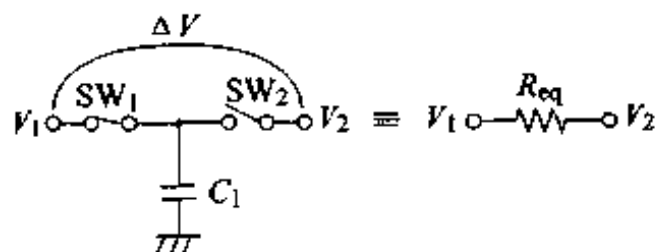
$$R_{eq} = \frac{\Delta V}{i} = \frac{Q/C_1}{Q/T} = \frac{1}{f \cdot C_1} \quad (4.17)$$

式中,使用了 $i = Q/T$ 的关系式。

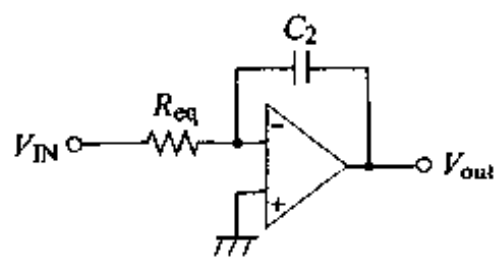
由此式可知,高阻值的电阻可以用小面积的电容来实现,而且所需要的阻值越大,所占用的芯片面积反而越小。这正好可以用 MOS 集成电路技术来制造。



(a) 开关电容电路的原理图



(b) 等效电路



(c) 积分电路(滤波器)

图 4.16 开关电容电路

另外,把本电路和图 4.16(c) 所示的带有反馈电容 C_2 的运算放大器组合起来,就可以实现时间常数为 C_2/fC_1 的积分电路(也就是滤波器)。其时间常数可以用电容比和时钟频率设定,在这里,可以用电容比来设定时间常数是很重要的。在前面曾经说过,集成电路的一个特征就是能够在其内部制造相对精度极高的元器件。因此,可以说开关电容电路最适于集成化。

如果时钟电路也使用上述的 PLL 电路的话,就能够供给开关电容电路高精度、高稳定的时钟频率。所以,用开关电容电路可以作成高精度的滤波器。

练习题

- 1 请推导(4.1)式和(4.2)式。
- 2 请推导(4.3)式。
- 3 请推导(4.6)式。
- 4 在图 4.4 所示的差动放大器里,要获得 20dB(分贝)的差动电压增益,需要多大的电流? 在此,设集电极电阻 $R_c = 1\text{k}\Omega$,温度为 27°C ,集电极电流和 g_m 之间满足 $g_m = (q \cdot I_c)/(k \cdot T)$ 的关系。
- 5 要把 $0 \sim 10\text{V}$ 的模拟电压以最小分辨率为 0.05V 进行 A/D 转换,至少需要几个比特的 A/D 转换器? 在此设 A/D 转换器的精度为 \pm (最小分辨率/2)。
- 6 PLL 电路的参数如下所示,求要使 VCO 的振荡频率在 800MHz 到 800.2MHz 之间变化时,各计数器的分频比。

PLL 的参数:预分频器的分频比 = 64,

$$f_i = 25\text{kHz},$$

吸收计数器的比特数 = 7bit,

程序计数器的分频比 = $16 \sim 2047$

引用文献

- [1] 鈴木雅臣:新・低周波/高周波回路設計マニュアル, CQ 出版社(1988), p. 207
- [2] 萩原将文, 鈴木裕一, 秋山岳洋, 斎藤伸二, 占部健三:実用 PLL 周波数シンセサイザ, 総合電子出版社(1995), p. 53
- [3] T. Tsukahara, M. Ishikawa and M. Muraguchi; Silicon RF/IF LSI for Digital Mobile Communications, MWE'96 Microwave Workshop Digest, Yokohama, Japan (1996), pp. 29-34
- [4] J. メーカー; M. A. ジャック, P. B. デニエ著, 菅野卓雄, 桜井貴康監訳: MOS LSI 設計入門、産業図書(1984), p. 231

存储器集成电路的 设计

本章介绍存储器集成电路的分类、各类存储器集成电路的特点,同时还详细地介绍作为数据存储单元的存储单元(memory cell)的结构。阐述如何将数据写入存储单元,又如何由存储单元读出数据等功能。在本章的最后,介绍为获得高可靠性的存储器集成电路必须注意的事项等。

5.1 存储器集成电路的种类

最早获得实际应用的存储器集成电路,即半导体存储器是1970年问世的1Kbit的动态随机存取存储器DRAM(Dynamic Random Access Memory)。从此以后,人们将半导体存储器简称为存储器。存储器问世后20多年来,存储器集成度的发展达到每3年4倍的速度。下面,我们将从不同的角度来讨论半导体存储器的分类。

5.1.1 半导体存储器的基本构造

图5.1为半导体存储器的构造概图。输入的地址码(address)信号通过地址码缓冲器(address buffer)进入译码器(decoder)。假如一个半导体存储器有 N 个地址码输入端,则该存储器的记忆容量为 2^N 比特。在将存储单元很规律地排列而组成的存储器阵列(memory array)中,有 2^N 根字线(word line)和 2^{N-1} 根位线(bit line)相互垂直交叉排列。在字线和位线的各个交点上接有存储单元。读出数据的过程是,首先由行译码器选择其中一根字

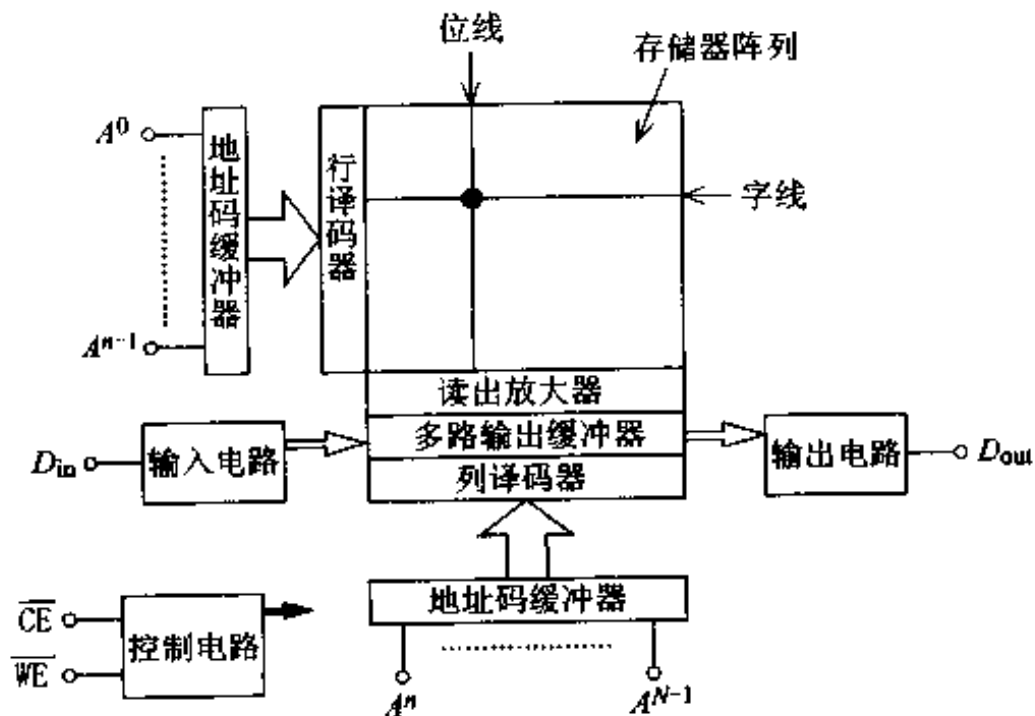


图 5.1 半导体存储器构造

线,接在这一字线(行)上的所有的存储器单元与各自的位线(列)相连接,各个位线上得到与存储单元所记忆的数据相对应的微小信号,这一微小信号经读出放大器(sense amplifier)进行放大。然后,由列译码器选择其中一个读出放大器,将放大的信号通过多路输出缓冲器(multiplexer)送给输出电路。在写入数据时,将要写入的数据送给由列译码器选择的位线。显而易见,在下面将要介绍的 ROM 中,不会有写入数据的电路。

显然,半导体存储器的基本单元是存储数据的存储单元,下面我们从存储单元来考察半导体存储器的分类。

5.1.2 从存储数据的功能分类

存储器是能存储数据,并当给出地址码时能读出数据的装置。根据存储数据的方式不同,存储器可分成随机存取存储器 RAM(Random Access Memory)和只读存储器 ROM(Read Only Memory)两大类。

RAM 的原意是不管对于哪一个存储单元,都可以任意的顺序(random)存取(access)数据,而且存取所花的时间都相等。即使不能完全达到以任意的顺序存取,凡是能以相同的动作顺序和相同的动作时间进行存(写入)和取(读出)的半导体存储器都包括在 RAM 中。

ROM 是一种专供读出用的半导体存储器,其读出的功能和 RAM 相同,但是不具备写入功能或需要具备特殊的条件才能写入。ROM 的最大特点

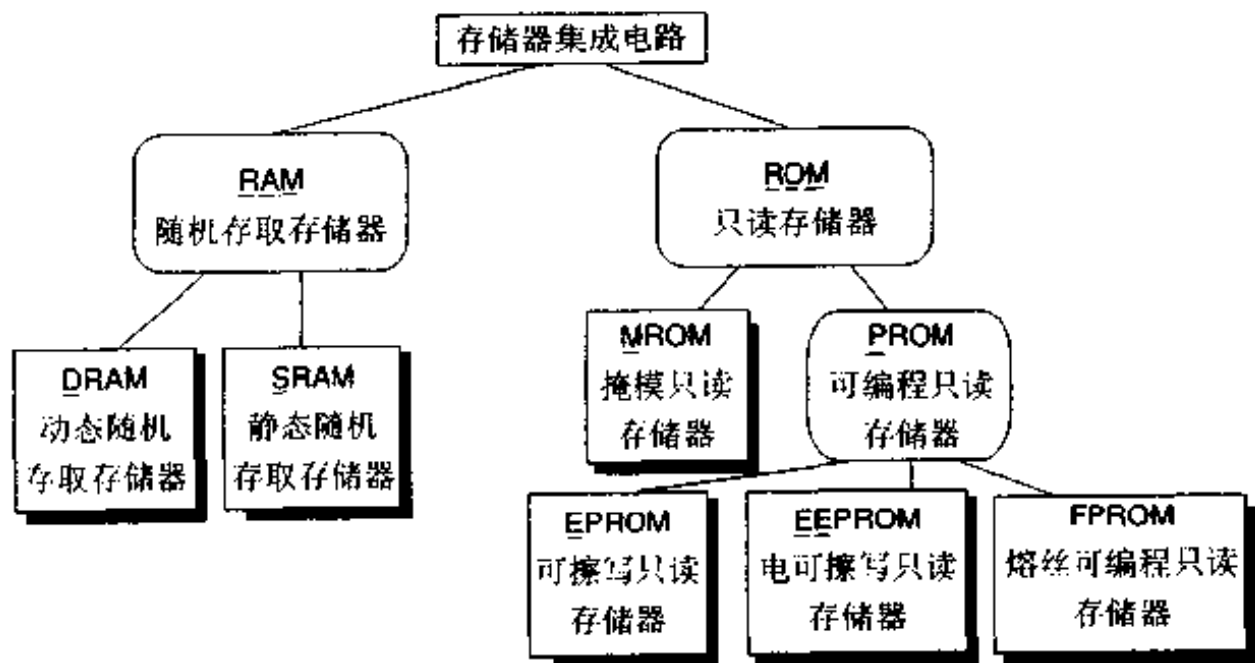


图 5.2 RAM 和 ROM 的分类

是,数据不会因电源的切断而消失,具有数据的不挥发性(nonvolatile)。RAM 和 ROM 的分类如图 5.2 所示。

5.1.3 RAM 的分类

半导体 RAM 大致可分成动态随机存取存储器 DRAM(Dynamic RAM)和静态随机存取存储器 SRAM(Static RAM)两大类。这种分类法与存储单元中数据存储的机理有关。

如图 5.3 所示,DRAM 的存储单元由一个晶体管和一个电容器组成。存储在电容器中的电荷正像存储在水箱中水一样,作为数据。和水箱中水会蒸发或泄漏一样,存储在电容器中的电荷也会泄漏,因而必须经常给存储单元中的电容器补充电荷。所以,我们把这种需进行动态存储动作的存储器称为动态随机存取存储器(DRAM)。因为构成动态随机存取存储器存储

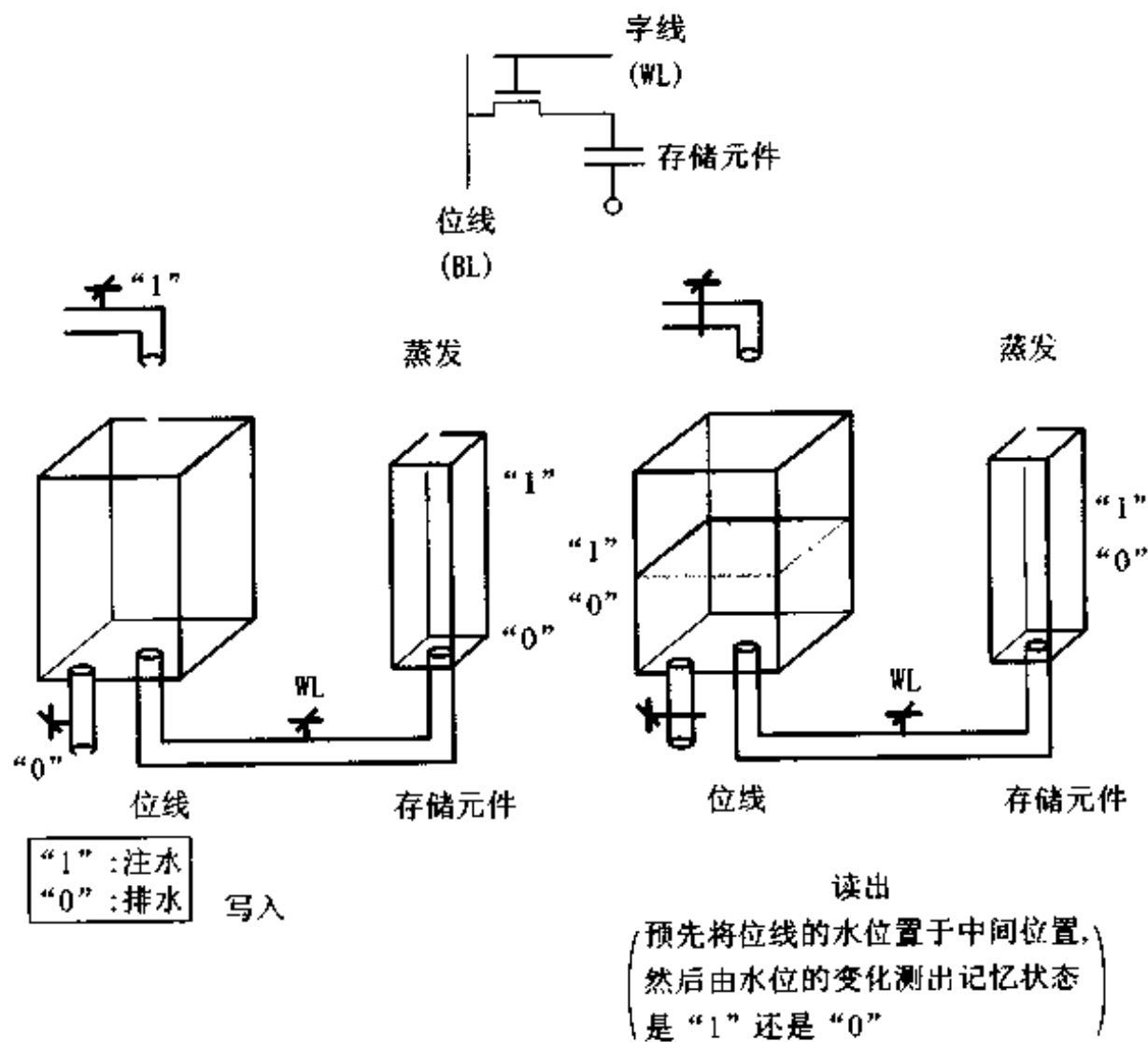


图 5.3 DRAM 存储单元的工作原理

单元的器件数目少,所以适于集成度高的集成电路,其每一个比特的成本低,是 RAM 中的应用最多的。

SRAM 的存储单元是由双稳态电路构成的,如图 5.4 所示。如将电荷比喻成水,正如一侧坐有人的跷跷板,总是跷向一侧,以此状态来存储数据。只要坐的人不移动也不离开跷跷板(即不重新改写数据或不切断电源),存储单元的状态就不会改变。所以将这种存储器称为静态随机存取存储器(SRAM)。构成静态随机存取存储器存储单元的元器件数比较多,不利于高度集成。但是数据的读出速度快,保存数据所需要的耗电少。通常作为

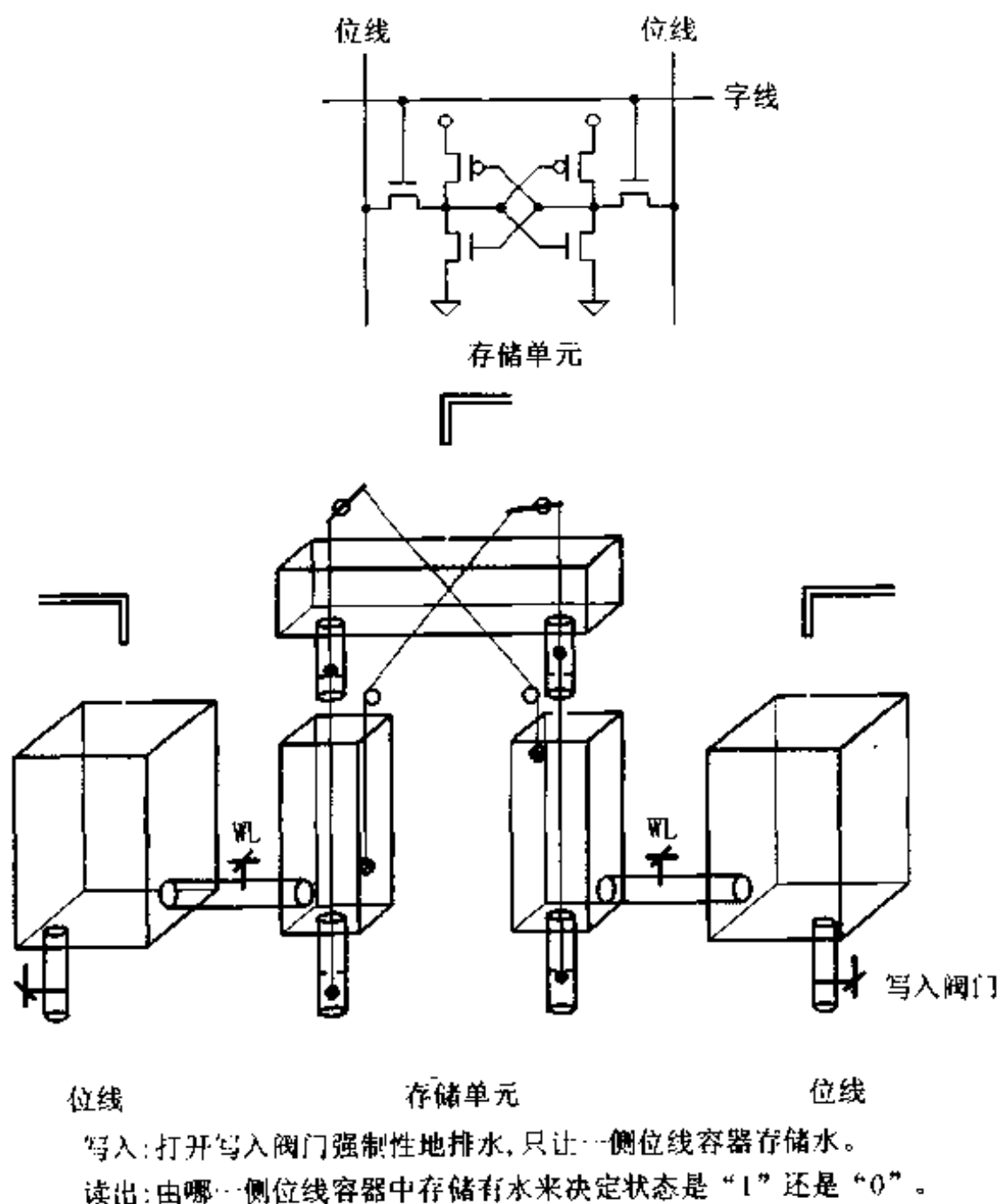


图 5.4 SRAM 存储单元的工作原理

与高速处理器之间传递数据的存储器,即超高速缓冲存储器(cache memory)或便携式电子设备的存储器。

5.1.4 ROM 的分类

半导体 ROM 可分成掩模只读存储器 MROM (Mask ROM) 和可编程只读存储器 PROM (Programmable ROM) 两类。可编程只读存储器又可分成熔丝可编程只读存储器 FEPROM (Fuse PROM)、可擦写只读存储器 EPROM (Erasable PROM) 和电可擦写只读存储器 EEPROM (Electrically Erasable PROM)。这主要是根据存储单元中数据的设定方式来区分的。

掩模只读存储器(MROM)在制造时已将信息固定在存储单元中,所以不能重新改写数据。在 MROM 集成电路的制造工艺中,使用的多枚掩模中有一枚掩模存储着数据信息。为了使晶体管的有无与数据“1”和“0”相对应,在该掩模中设计有相应的图形,使其在扩散工艺中或者电极形成工艺中使电流通路切断,或者设计有相应的图形可利用离子注入工艺来改变晶体管的阈值电压成为常通状态的耗尽型晶体管。

可编程只读存储器(PROM)是一种用户可以自由地写入数据的存储器。采用以通电的方法使熔丝熔断而写入数据的称为熔丝可编程只读存储器(FEPROM)。这种只读存储器一旦写入数据后将不能再更改数据,因为写入时要通过大的电流,往往采用双极型技术制造而成。能多次更改数据的 PROM 有可擦写只读存储器(EPROM)和电可擦写只读存储器(EEPROM)两种。

EPROM 和 EEPROM 的结构都是在与外部信号相连接的晶体管栅极(控制栅极)下附加有处于绝缘状态的浮置栅极(floating gate),靠该浮置栅极上的电荷状态来存储数据。让浮置栅极存储数据是将硅一侧的电荷穿过栅极氧化膜到达浮置栅极来完成的。与正常动作相比,要存储数据需较高的电压;与读出时间(数十纳秒)相比,存储数据所花的时间较长,约为数十微秒。PROM 的集成度与 DRAM 差不多。在存储的数据是半固定的、有时需要变更的场合采用这种 PROM。

PROM 中的可擦写只读存储器(EPROM)是采用紫外线来抹掉数据,即浮置栅极上的电荷的,所以也称为紫外线擦写只读存储器。这种 EPROM 封装在带有特殊石英玻璃窗口的容器中。

另一种 PROM,即电可擦写只读存储器(EEPROM)是用电的方法来抹

掉数据的。EEPROM 是让浮置栅极上的电荷穿过绝缘膜来抹掉数据的。作为大容量 EEPROM 的“快闪存储器”(flash memory),能同时清除构成存储器的所有比特信息。这种存储器具有组装在电子设备上也可变更数据,且数据为不挥发性的特点,所以广泛用作记忆半固定的数据。

5.1.5 改写数据所需的时间

上面介绍了半导体存储器的分类。此处,从数据变换周期 TAT(Turn Around Time)的观点来考察半导体存储器。所谓 TAT 是指存储器的使用者从想要获得存储着某一信息的存储器开始,到对该存储器进行存取动作而实际获得所希望的数据为止所需的时间。

TAT 最长的是 MROM,因为要将数据编入制造 MROM 工艺过程所使用的掩模中,TAT 随在哪一道工序中使用这枚掩模而不同,包括检测工序等在内,约为 1~2 周左右。

用户能自由地将数据写入 PROM 中,EPROM 是用紫外线照射来清除以电方法写入的所有数据。要新改写数据时,需将存储器从电子设备的印制电路板上卸下,放入擦除器中 20 分钟后,才可重新写入。PROM 中重写速度最快的是能以电的方法擦写的 EEPROM。它不必从电子设备上卸下即可重写数据,TAT 比 EPROM 要短。但是,不管是 EPROM 还是 EEPROM,都是利用高阻抗的氧化膜中电子导电现象进行数据写入的。从写入速度来说,远远不如由低阻抗的有源器件——晶体管构成的 RAM 来得快。

在 DRAM 中,当读出存储单元中的微小电荷量时,将使存储在存储单元中的数据受到破坏,是一种破坏型的读出。从而,必须对微小的数据电压进行放大,所以电压的再现需要一定的时间(读出时间),为了完成这一动作最快也得花 30 纳秒的时间。但是在 SRAM 中,读出时存储单元本身的数据不会受到破坏,所以数据存取速度比较快。

5.2 存储单元的种类和构造

我们已经知道,半导体存储器主要可分成 DRAM、SRAM、MROM、EPROM、EEPROM。本节介绍各种存储器中使用的典型存储单元,并说明

其构造和工作原理。

5.2.1 DRAM 的存储单元

DRAM 的存储单元由存储电荷的电容器和处于位线和电容器之间,起电荷传输门作用的晶体管所组成。因为数据是由电荷的多少来表示的,所以如何以最小的硅片面积获得最大的电容量是制造存储器的一个重要的课题。1Mbit 以下的 DRAM 中,采用如图 5.5 所示的平面型存储单元。晶体管的栅极、电容器的电极,以及与存储单元进行数据传递的位线均由多晶硅制成。由于采用了三层多晶硅,所以这种结构也被称为三层多晶结构,是存储单元的最基本的结构。

电容器的记忆节点的电位为电源电压时,存储单元的数据对应于“1”;电容器的记忆节点的电位为接地电位 0V 时,存储单元的数据对应于“0”。加在电容器多晶硅电极上的电压是一个恒定值,设定为记忆节点电位振幅

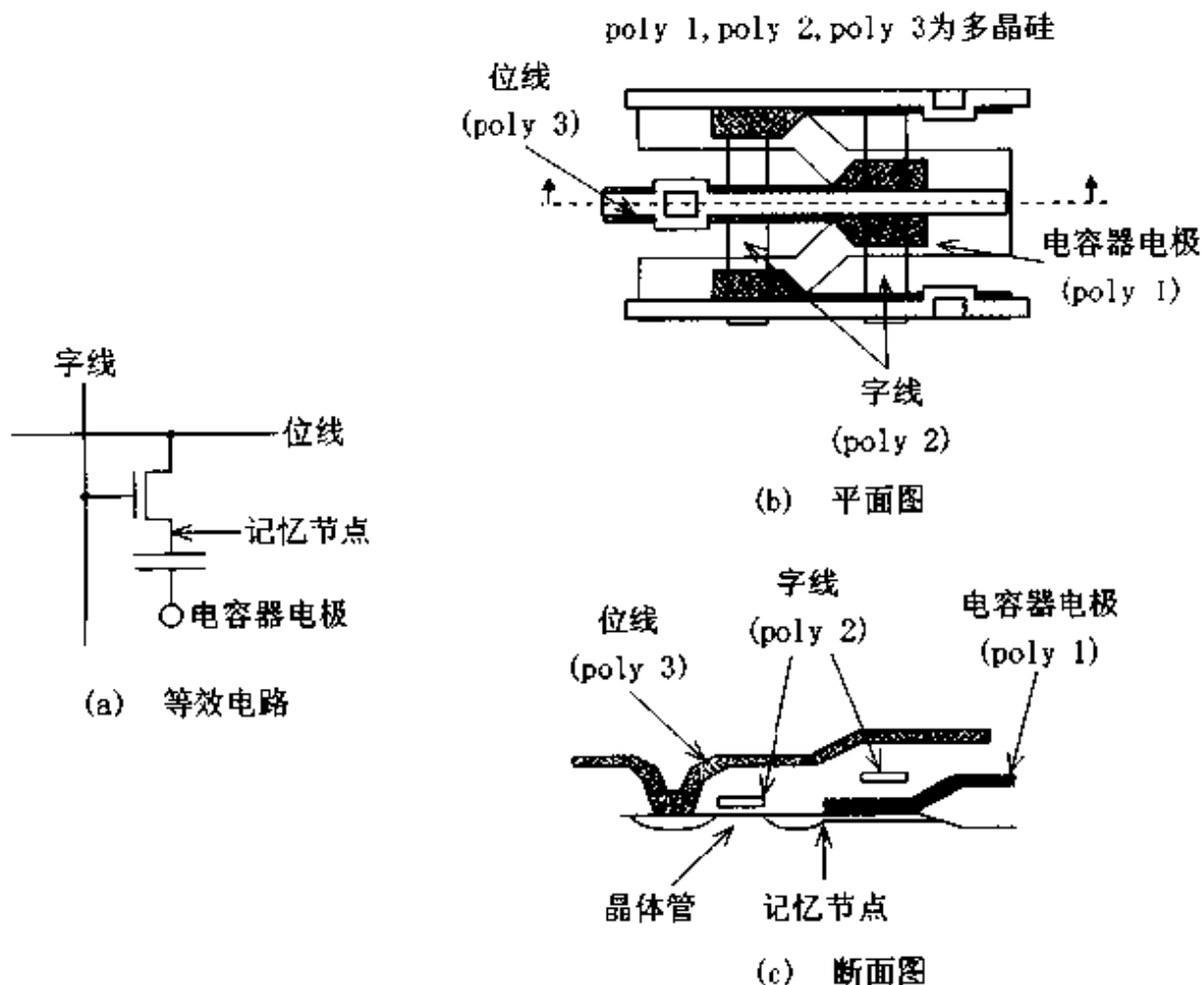


图 5.5 平面型 DRAM 的存储单元

的一半,即约为 $V_{cc}/2$,以使加在电容器氧化膜介质上的电场尽量小。

下面,我们来概算一下典型的 1Mbit 的 DRAM 中,电容器存储的电荷量。首先我们假设存储单元电容器的有效面积 $A = 6\mu\text{m}^2$,氧化硅膜的厚度 $t_{ox} = 7\text{nm}$,则电容器的电容量

$$\begin{aligned} C_s &= (\varepsilon_{ox}/t_{ox}) \times A \\ &= \{ (3.9 \times 8.85 \times 10^{-14} \text{F/cm}) / 7\text{nm} \} \times 6\mu\text{m}^2 \approx 30\text{fF} \end{aligned}$$

在大于 1 Mbit 的存储器中,为了防止产生软击穿(参照第 5.4.2 节),必须确保电容器存储一定的电荷量,所以电容器的容量都设定在这个数值上下。正如 5.3 节中将要说明的那样,“1”与“0”产生 $V_{cc}/2$ 的电位差,假设 $V_{cc} = 5\text{V}$,则

$$\begin{aligned} Q_c &= C_s \times V_{cc}/2 = 30\text{fF} \times 2.5\text{V} = 75 \times 10^{-15} \text{C} \\ &\approx (47 \times 10^4) \times (1.6 \times 10^{-19} \text{C}) \\ &= 47 \text{万个电子} \end{aligned}$$

电容器中存在着电荷的泄漏。为了将数据保持 1 秒钟,泄漏电流的总和必须控制在 $\Delta Q/\Delta t = Q_c/1[\text{s}] = 0.075\text{pA} \approx 1$ 个电子/2 微秒以下。从而,要求以高质量的绝缘膜作为电容器的介质,如绝缘膜中存在缺陷则该存储单元将不能正常工作。但是质量再好的存储单元也会有泄漏,通常 pn 结的泄漏最大。因为泄漏是不可避免的,所以必须定期地进行再生动作,使数据电平恢复到正常值。

尽管等效电路都是由一个晶体管和一个电容器(1Tr/1Cap)组成,但是 DRAM 的结构是多种多样的。这些结构主要是为了在存储单元占有的很小的硅片面积上尽量使电容器获得大的面积而设计的。在 4Kbit 存储器的时代,最初获得实用化的 1Tr/1Cap 存储单元中,电容器的对向电极和晶体管的栅极为同一多晶硅层,是采用所谓的“一层多晶硅技术”同时制成的。在存储容量大于 16 Kbit 的存储器中,首先制造电容器然后制造晶体管,采用了所谓的“多层多晶硅技术”,电容器的对向电极和晶体管的栅极分别位于不同的多晶硅层。以后,存储单元的结构不断地改进,如图 5.6 所示。采用多层多晶硅技术不但使存储单元的面积更小,而且使存储单元结构的改变更加自由。在存储容量小于 1 Mbit 的存储器中,电容器和晶体管制造在硅片的同一表面上,采用了所谓的“平面型存储单元”(图 5.6(a))。在容量更大的存储器中,为了在存储单元占有的很小的面积上确保电容量,存储单

存储单元电路的发展

下图中示出由 SRAM 到 DRAM 的各种存储单元电路, 汇总了构成 RAM 用的各种存储单元。SRAM 的存储单元由双稳态电路和传输门等 6 个器件构成。DRAM 中的存储单元由 4 个晶体管(4 Tr 型)构成(负载省略), 这种存储单元使集成度获得提高, 但是数据信息是由寄生电容中存储的电荷来记忆的, 为了保持数据信息工作频率不能过低。后来出现了将位线和传输门的信号线的读出和写入分离的 3 Tr 型的存储单元。这种存储单元中省掉一个记忆节点, 具有节点的电位不受读出动作影响的优点。1970 年, Intel 公司首次作为商品出售的 1K bit DRAM 中就采用了这种存储单元, 所以这种存储单元具有一定的历史意义。接着, 又出现了不以寄生电容作为电容器, 而是人为地制造了由一个晶体管/一个电容器(1 Tr/1 Cap)组成的存储单元, 大大地提高了存储器的集成度。在这种存储单元中, 一打开传输门就和位线接通, 存储单元中存储的电荷即流入位线, 存储的信息遭到破坏(破坏型读出)。所以, 这种存储单元必须利用特殊的读出放大器进行读出。

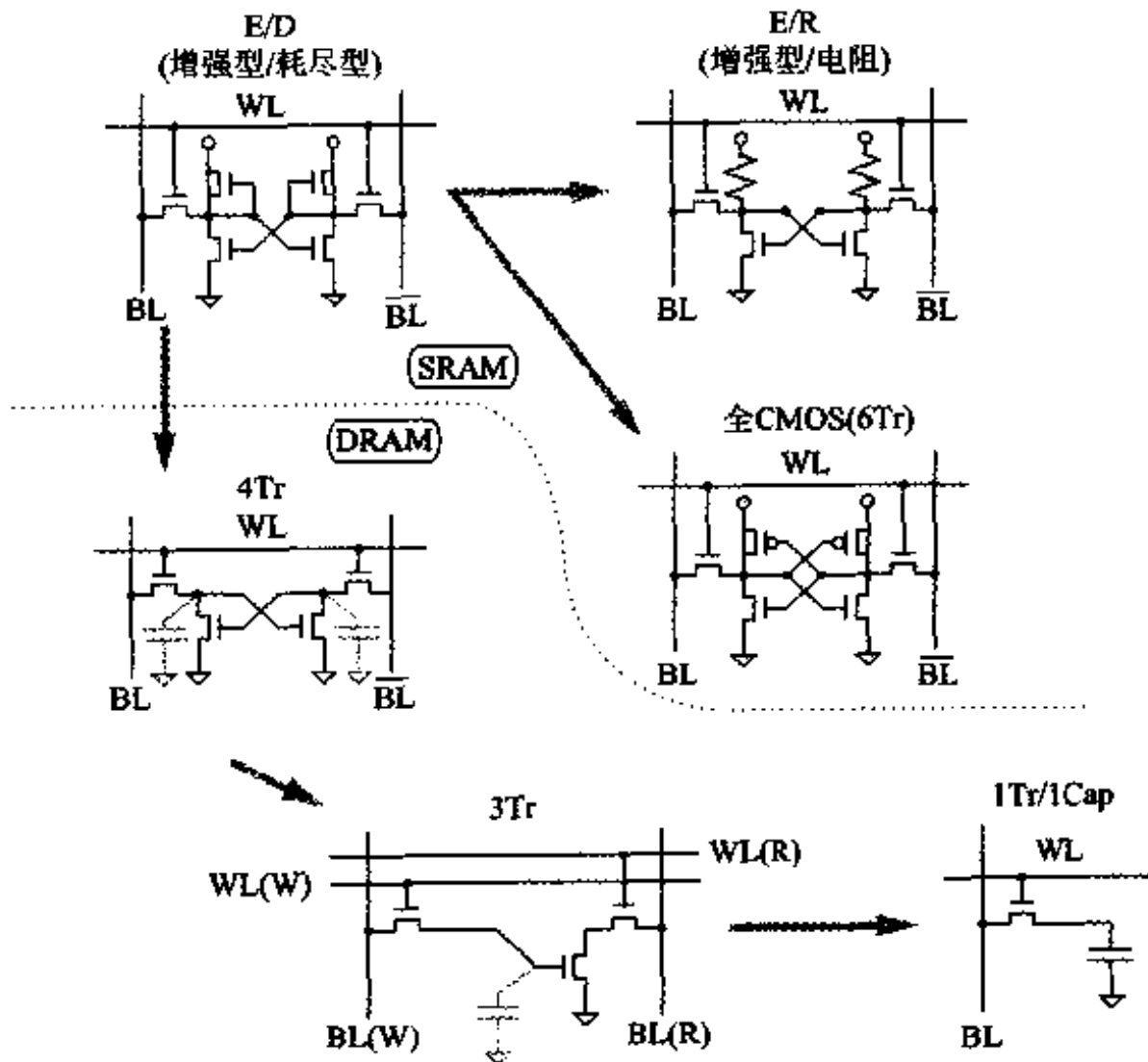


图 由 SRAM 存储单元到 DRAM 存储单元的发展

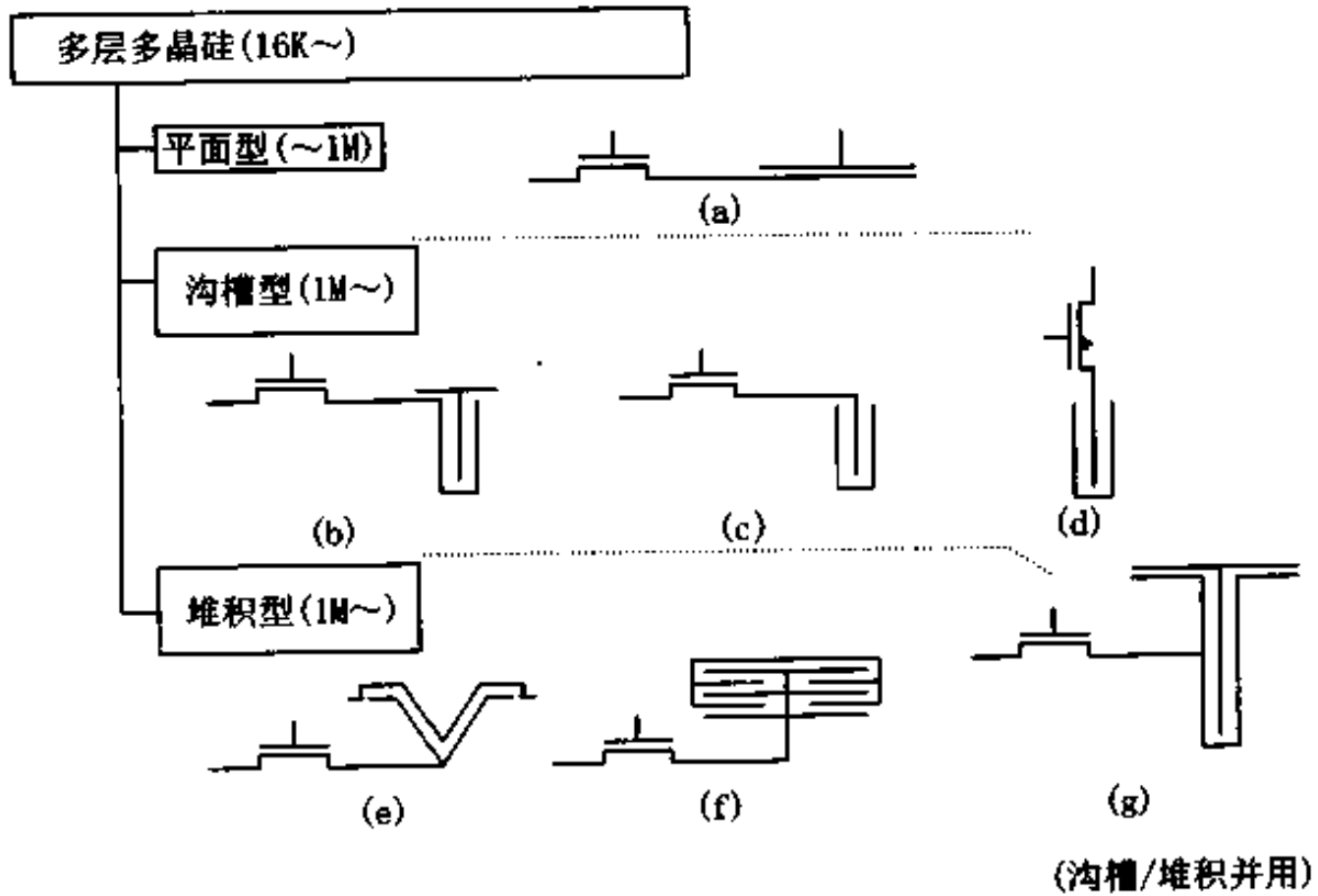
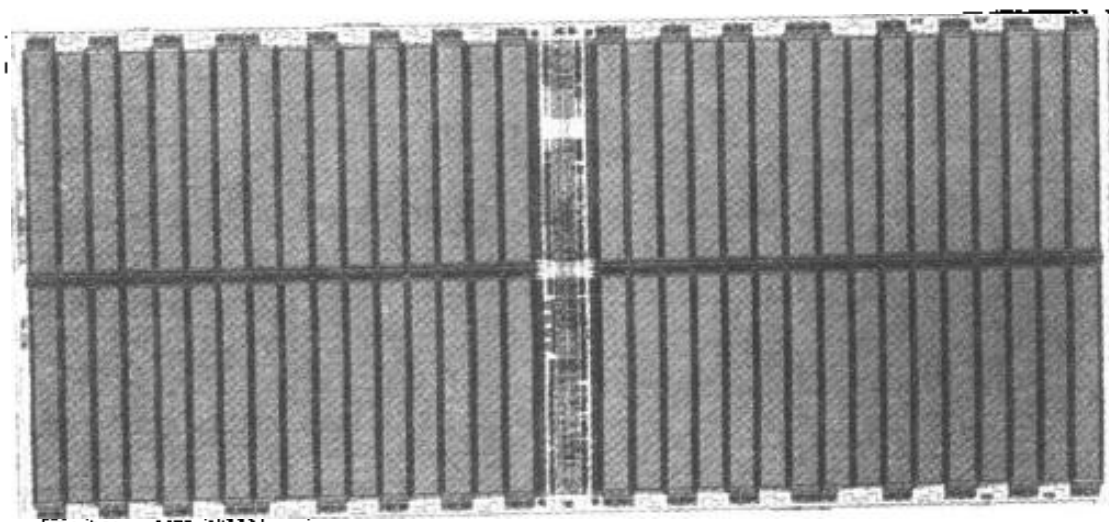


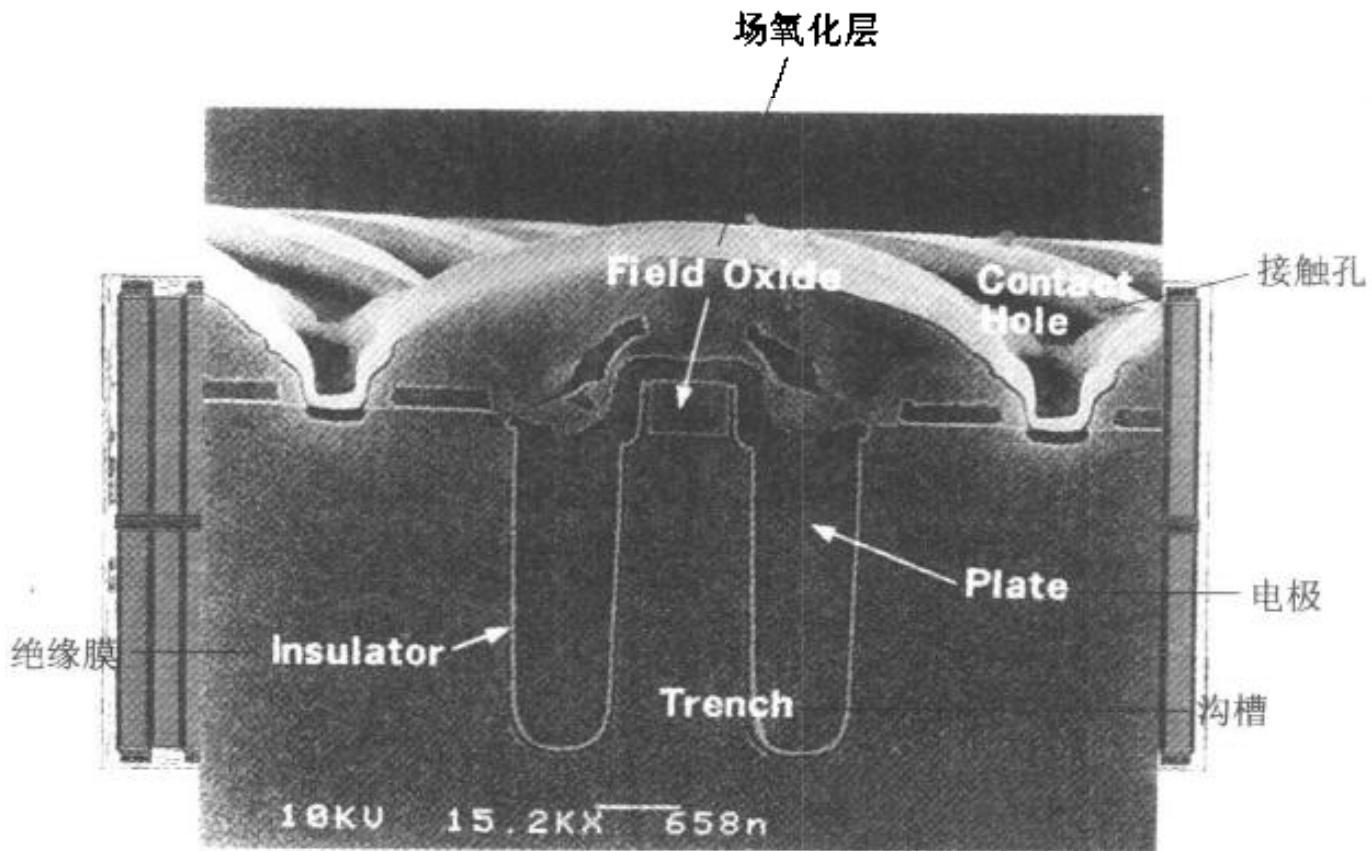
图 5.6 DRAM 存储单元的类型及发展

元采用了立体式结构。结构形式之一是沟槽型 (trench)，即在硅片上形成沟槽，再在沟槽的内表面形成绝缘膜，以增大电容器电极的面积，获得更大的电容量(图 5.6(b) ~ (d))。另外一种结构形式是堆积型 (stack)，即首先形成晶体管，再在上面覆盖多晶硅层作为电容器的电极，以求增大电极的面积(图 5.6(e)、(f))。

图 5.7 为 16M DRAM 的芯片和存储单元的断面照片，是典型的沟槽型结构(图 5.6(b))。



(a) 芯片



(b) 存储单元断面图

图 5.7 16M DRAM 芯片及其沟槽型存储单元

5.2.2 SRAM 的存储单元

SRAM 的存储单元是由两个倒相器形成的双稳态电路。在一对位线和双稳态电路的两个内部节点之间,依靠两个传输门来进行数据传递。内部节点中的任意一个节点处于由位线流入电流的状态,即低电位(L)时,另一个节点则处于高电位(H)。由于存在两个稳定状态,即具有双稳态性。作为存储单元来说,一个稳定状态为“0”,则另一个稳定状态为“1”。

在具体的存储单元中,采用什么器件构成倒相器是最重要的。有的采用 CMOS 器件,有的采用电阻负载和 nMOS 器件来构成倒相器。前者称为全 CMOS 型存储单元(也称为 6T 存储单元),后者称为高阻负载型存储单元(也称为 4T 存储单元),由“篇外话”《存储单元电路的发展》中的插图可知,这里的电阻负载是用耗尽型晶体管来代替的。

由于全部采用 CMOS 电路,全 CMOS 型存储单元具有消耗电流少和动作余量(margin)大的优点。CMOS 倒相器的直流耗电极小,在 0.1pA 以下。SRAM 存储单元周围电路都采用 CMOS 电路技术,待机时的耗电在 0.1 μ A 的数量级,所以利用电池就可将数据保持十年以上。此外,还具有比

较宽的工作温度范围。但是,一个 CMOS 存储单元是由包括 pMOS 和 nMOS 在内的六个晶体管组成的,所以结构比较复杂。

高阻负载型存储单元的特点是结构比较简单。每一个存储单元由四个 nMOS 晶体管构成,电阻元件是利用堆积在晶体管上的多晶硅布线层构成的,是一种立体结构。加大电阻元件的电阻值可使存储单元消耗的电流达到 1pA 数量级,加之周围电路采用 CMOS 电路等措施,可以获得待机时的耗电为 $1\mu\text{A}$ 数量级的 SRAM。利用电池可将数据保持两年左右。因为负载电阻的阻值大,所以难以确保构成存储单元的双稳态电路在保持数据和读出数据时的稳定性。图 5.8 为全 CMOS 型 SRAM 存储单元的平面图和等效电路图。

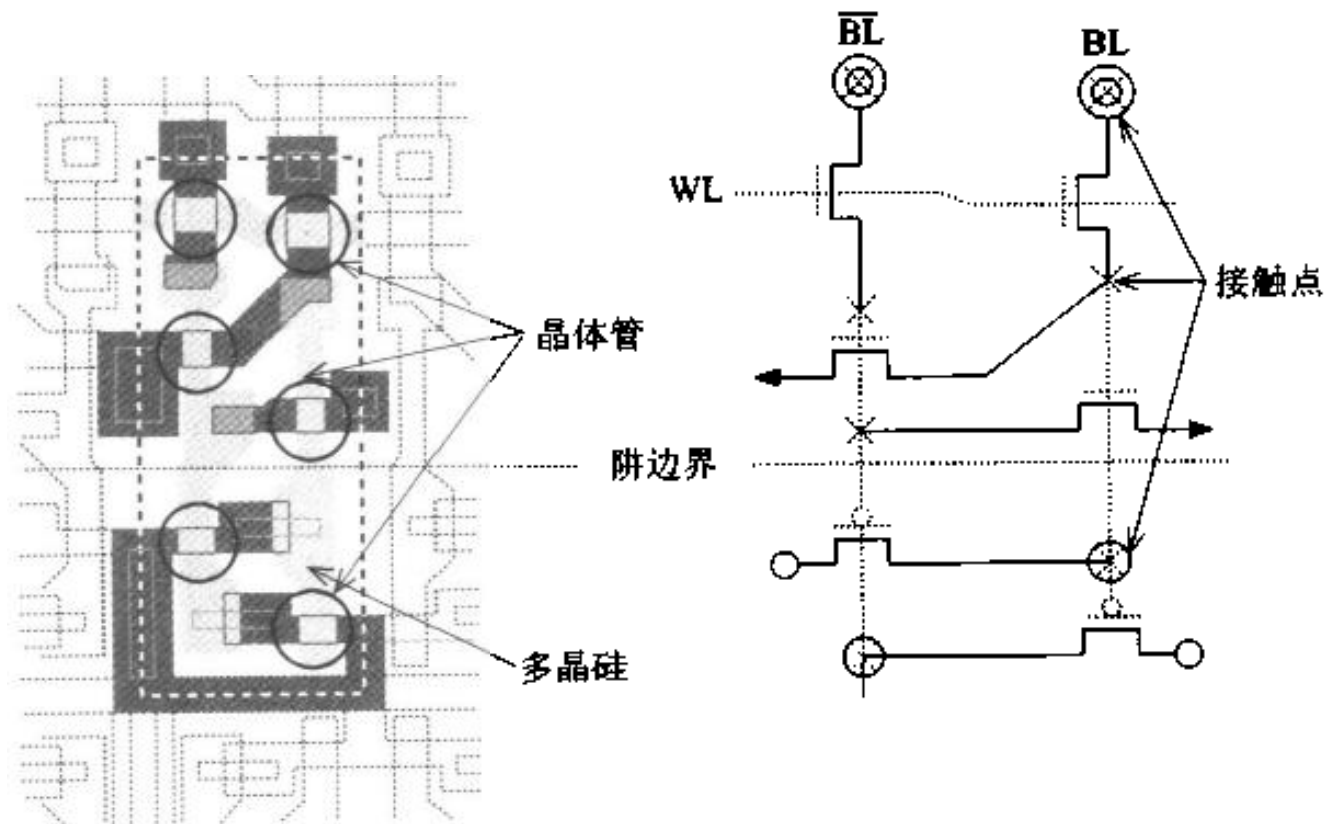


图 5.8 全 CMOS 型 SRAM 存储单元

5.2.3 MROM 的存储单元

掩摸 ROM,即 MROM 的存储单元是由一个晶体管构成的,晶体管的“有”、“无”和数据的“1”、“0”相对应。晶体管的“有”、“无”可采取扩散层方式、电极(contact)方式和沟道离子注入方式等三种方式来实现。

扩散层方式是以制造存储单元的晶体管还是不制造存储单元的晶体管来对应数据的“1”和“0”;电极方式以数据线与存储单元的晶体管相连接还

是不相连接来对应数据的“1”和“0”；沟道离子注入方式以进行还是不进行 MOS 晶体管的阈值电压调整的离子注入来对应数据的“1”和“0”。

扩散层方式的特点是存储单元的占有面积小,但是要在制造的前道工序中将数据写入存储单元中,所以从获得欲记忆的数据到制成存储器所花的时间,即 TAT 长。电极方式的 TAT 比较短,但是存储单元的面积变大。图 5.9 示出采用这两种方式的存储单元及其等效电路。位线一接上负载,即形成了以字线为输入端的多输入端 NOR,通常称为 **NOR 型**。某一选择字线上加了使存储单元晶体管导通的电位时,当有存储单元晶体管时,则由位线引入电流为“1”;无晶体管时就不能引入电流,成为“0”。沟道离子注入方式是用离子注入进行 MOS 晶体管的耗尽型阈值电压的调整。离子注入是在晶体管的栅极形成后进行的,不但 TAT 短,存储单元的面积也小。存储单元的读出方法与前两种方式不同。图 5.10 示出采用这种方式的存

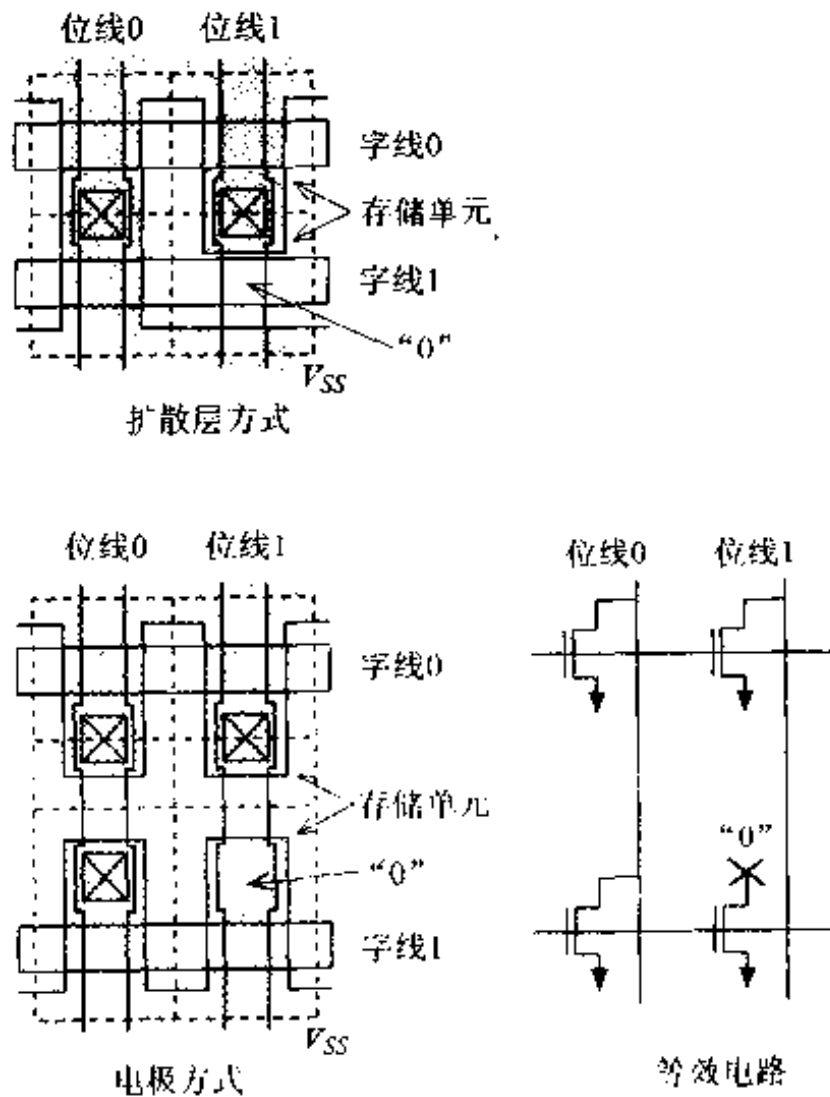


图 5.9 掩模 ROM 存储单元(NOR 型)

储单元,通常称为 **NAND 型**。它是由数个存储单元晶体管串联后,再通过选择晶体管与位线相连接而成的。字线和选择晶体管形成一个类似多输入端的 NAND。以耗尽型的离子注入(一般为磷离子 P^+)的有无来区分数据的有无。读出数据时,先选择一个 NAND 区,NAND 区内所有未选择的字线上加上能使存储单元晶体管导通的电位,使未选择存储单元处于导通的状态。在选择的字线上加上使晶体管截止的电位。当实施了耗尽型的离子注入时,晶体管不会处于截止状态,所以可由位线引入电流。当不进行耗尽型的离子注入时,晶体管处于截止的状态,位线的电流被切断。

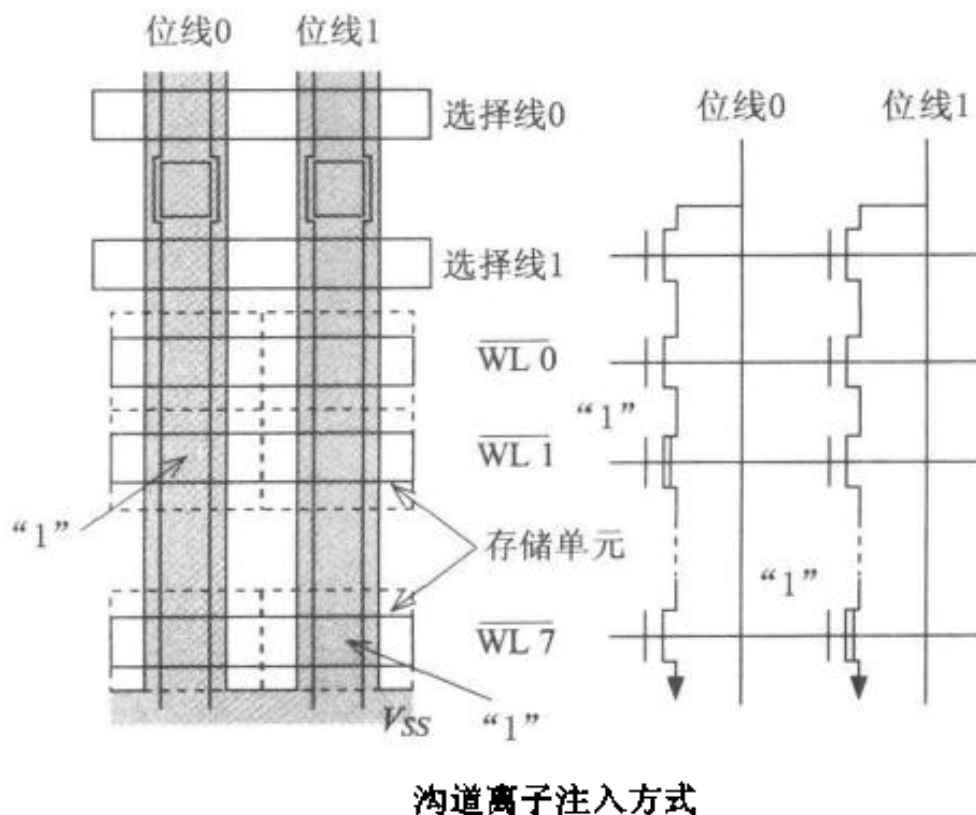


图 5.10 掩模 ROM 存储单元(NAND 型)

5.2.4 EPROM、EEPROM 的存储单元

EPROM、EEPROM 的存储单元是由具有控制栅极和浮置栅极的晶体管所构成的(图 5.11)。它依靠变更存储单元晶体管的阈值电压来进行数据的存储;而晶体管阈值电压的大小是靠向浮置栅极注入或者抽出电子来控制的。电子的注入或者抽出是利用以下的物理现象:晶体管内的高能电子,即沟道热电子(channel hot electron)或紫外线光子直接激发的高能电子-空穴对,当 MOS 电容加上电场时,在氧化硅膜中形成 **F-N 隧道电流(Fowler-**

Nordheim tunneling current) 来进行的。如在 MROM 的 NOR 型存储单元中, 采用了切断存储单元晶体管的电流通路的方式, 而写入即电子的注入是靠沟道热电子来进行的。设浮置栅极上的电荷为 Q_f , 浮置栅极和控制栅极之间的电容量为 C_2 , 则存储单元晶体管控制栅极的阈值电压变化为

$$\Delta V_{th} = -\frac{Q_f}{C_2} \quad (5.1)$$

因为 Q_f 为负值(电子), 所以阈值电压 V_{th} 向正的方向移动。即, 只要晶体管控制栅极的电位不高于该阈值电压的变化量, 晶体管就不会导通, 处于常断状态。在 EPROM 中, 清除, 即电子的抽出是用紫外线的照射来进行的, 浮置栅极中的电子由光子激发到高能状态, 使高能电子到达控制栅极或者硅衬底。EEPROM 结构上的特点是浮置栅极下面的氧化硅膜很薄, 并且源区侧的 n^+ 扩散层较多地潜入浮置栅极的下面。清除时, 控制栅极为 0V, 给源极加上高电压, 浮置栅极中的电子靠 F-N 隧道电流被抽向源区。

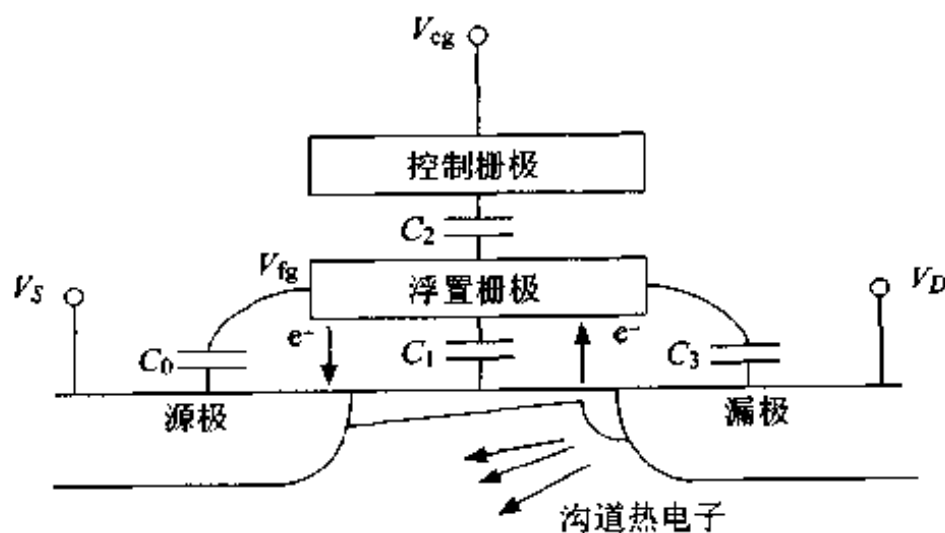


图 5.11 EPROM、EEPROM 存储单元的原理图

1) 根据图 5.11 所示的符号, 浮置栅极的电位 V_{fg} 和控制栅极的电位 V_{cg} 关系为

$$Q_f = C_2(V_{fg} - V_{cg}) + C_3(V_{fg} - V_D) + (C_0 + C_1)(V_{fg} - V_S)$$

$V_S = 0V$ 时可忽略 C_3 , 则

$$V_{fg} = \frac{C_2(V_{cg} + Q_f/C_2)}{C_0 + C_1 + C_2}$$

从而, V_{cg} 加上 Q_f/C_2 之值直接影响了 V_{fg} 的大小, 从控制栅极来看, 阈值电压的变化为 $\Delta V_{th} = -Q_f/C_2$ 。

在能同时清除存储器所有数据的快闪存储器中,都是利用 F-N 隧道电流进行写入和清除的。下面我们以纵向连接的 NAND 型快闪存储单元为例来说明其工作原理^[1]。图 5.12 示出这种存储单元的工作原理和偏置状态下的等效电路。清除是对所有的位同时进行的,控制栅极保持为 0V,形成存储单元的整个 p 阱区域的电位上升到 18V,靠 F-N 隧道电流抽出浮置栅极中的电子,使所有的存储单元成为耗尽型导通。写入时,选择存储单元的 NAND 连接,NAND 连接内的非选择存储单元的控制栅极加上 9V,而选择存储单元的控制栅极加上 18V 左右的偏压。写入是从最远离位线的存储单元开始顺序进行的。从被选择的存储单元到位线侧的所有的存储单元仍然处于清除状态,即为导通状态。被选择的存储单元的晶体管漏极基本上和位线处于相同的电位。在这种状态下,如位线的电位为 0V(写入“0”)的话,由于与控制栅极的耦合使浮置栅极的电位上升,来自漏极的电子注入到浮置栅极中,使存储单元晶体管的阈值电压上升。如果位线电位为 9V 左右(写入“1”)的话,由于没有 F-N 隧道电流的流动,阈值电压不会变动,仍处于导通状态。读出时,非选择栅极加上 5V,选择栅极加上 0V,选择存储单元是导通还是不导通对应于数据的“1”和“0”。

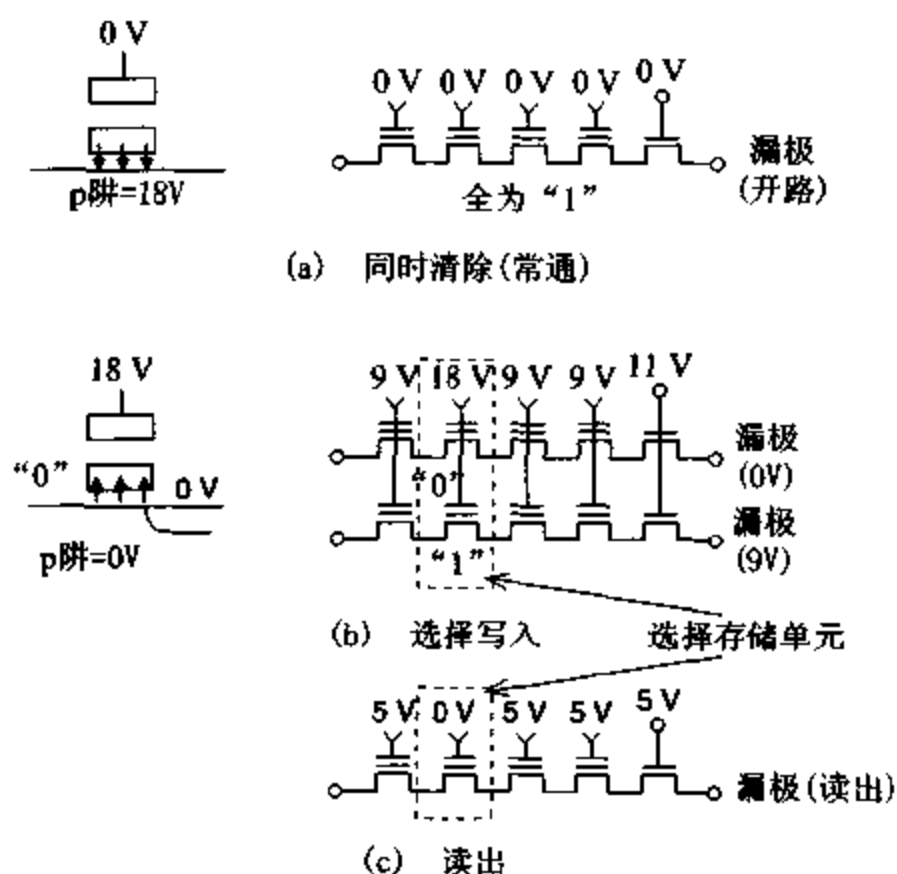


图 5.12 NAND 型 EEPROM 存储单元工作原理

5.3 存储单元数据的读出和写入

存储单元是由晶体管构成的、在既不破坏存储单元数据又能读出数据的 SRAM, MROM, EPROM 和 EEPROM 中, 可用差动放大器读出存储单元的微小数据信号。但是在 DRAM 中, 读出时往往使数据信号丧失。这一节中, 主要说明 DRAM 读出、写入数据的方法, 以及与存储器进行高速数据传递的方法。

5.3.1 DRAM 读出再生放大器

图 5.13(a) 示出读出放大器的电路, 图 5.13(b) 示出其动作波形。一对位线和一个读出放大器连接在一起。由字线可以选择连接在任一根位线上的多个存储单元中的一个存储单元。未被选择的另一根位线的电位为读

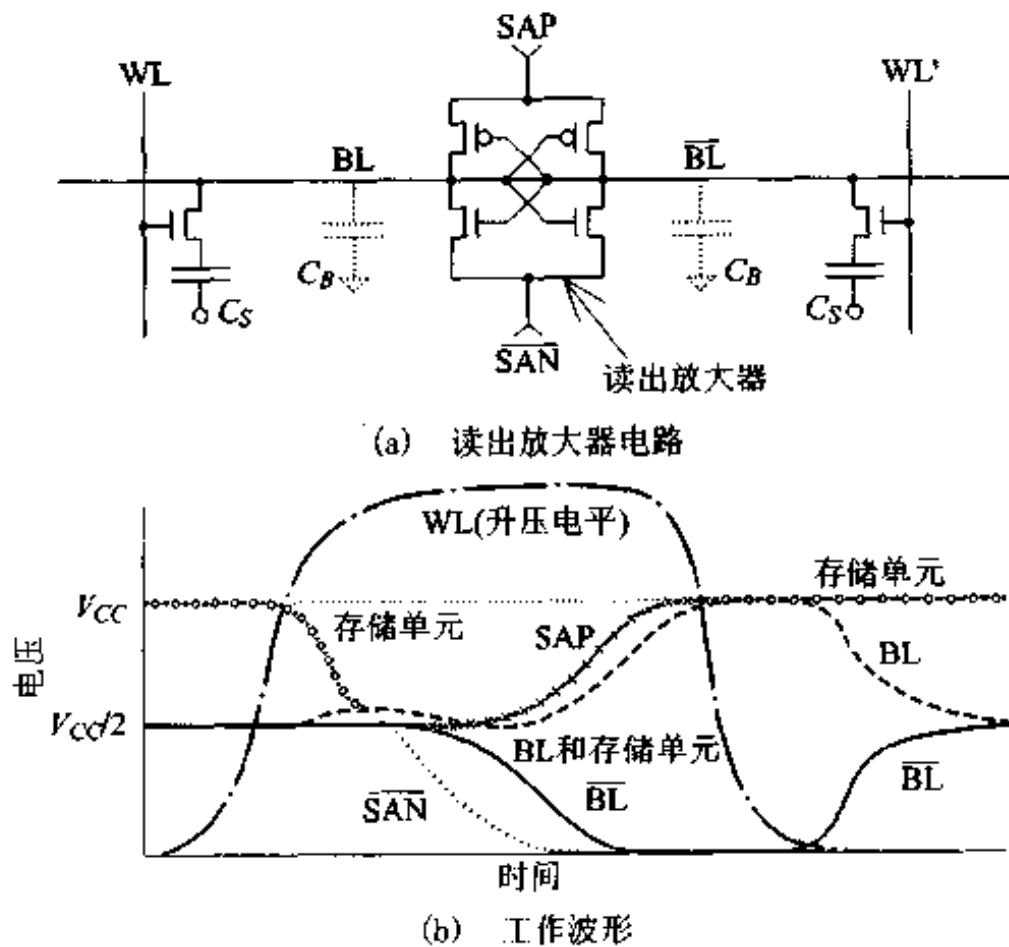


图 5.13 DRAM 的读出再生动作

出放大器的基准电位。因为一根位线上接有很多的存储单元(通常有 128 ~ 256 个),存在着相当大的寄生电容量 C_B 。读出放大器由 nMOS 和 pMOS 双稳态电路组成,公用的源极信号 \overline{SAN} 和 SAP 为很多个读出放大器(通常有 1024 ~ 2048 个)公用,在一般的图中这些读出放大器排列在纵向字线方向。

由于存储单元的数据在读出时受到破坏,所以要进行一系列的恢复原有数据的动作。我们假设存储单元的最高电位为 V_{CC} ,首先要进行预充电,使位线电位、读出放大器公用的源极信号 \overline{SAN} 和 SAP 处于 $V_{CC}/2$ 的电位。接着,被选择的字线电位上升到高电位,被选择的存储单元和位线相连接,使存储单元的电荷和位线的电荷进行再分配。此时,作为基准的位线侧的电荷状态维持在预充电时的状态。在充分地进行电荷的再分配过程中,当与读出放大器相连接的两根位线之间出现电位差时,信号 \overline{SAN} 变为存储单元的最低电位 V_{SS} ,SAP 变为 V_{CC} 。这一读出动作后,一对位线中的一根为 V_{CC} ,另一根为 V_{SS} ,根据存储单元的数据的不同而异。这个状态正是将存储单元的数据读入到读出放大器后的状态。如果有必要的话,选择该读出放大器,将该数据传送到外部电路,或者由外部电路强制性地改写入数据后,字线的电位下降,存储单元和位线分离。此时,即使由于电荷的泄漏等或多或少使电位有一些变化,存储单元仍然处于最高/最低电位 V_{CC}/V_{SS} ,在破坏型读出后保证完全恢复存储单元原有的电位。这一动作称为再生(refresh)动作。对于 DRAM 来说,再生动作是恢复存储单元电位所不可缺少的动作。必须在存储单元的电荷因泄漏而使数据丧失之前进行这一再生动作。这以后,将两根位线短路使两根位线的电位相平衡,返回初始状态。

下面,我们分析当存储单元处于“1”,即为 V_{CC} 时,读出放大器位线电位的变化。假设位线的电位略微上升到 $V(1)$,由于电荷的总量保持不变,所以

$$\frac{C_B V_{CC}}{2} + C_S (V_{CC} - V_{PL}) = C_B V(1) + C_S [V(1) - V_{PL}] \quad (5.2)$$

得

$$V(1) = \left[1 + \frac{C_S}{C_B + C_S} \right] \frac{V_{CC}}{2} \quad (5.3)$$

在上式中, V_{PL} 为电容器的电极电位,设该电位为存储单元的最高和最低电

位的中间值($V_{cc}/2$),以尽量减小加在电容器氧化硅膜上的电场强度。

从而,与基准电位相比,电位差为

$$\Delta V(1) = V(1) - \frac{V_{cc}}{2} = \frac{1}{1 + C_B/C_S} \cdot \frac{V_{cc}}{2} \quad (5.4)$$

将该电位差用读出放大器进行放大。当 $C_S = 30\text{fF}$, $C_B = 500\text{fF}$, $V_{cc} = 5\text{V}$ 时, 电位差约为 150mV 。 C_B/C_S 越小读出越容易,这一值是电路的一个重要的参数。

5.3.2 读出放大器的数据传输

在 DRAM 中,存储单元的数据由读出放大器(由双稳态电路组成,参照图 5.13(a))放大保存,所以读出放大器中数据的保存状态和 SRAM 中存储单元(也由双稳态电路组成,参照图 5.4)的数据保存状态相同。DRAM 读出放大器以后的数据传输和 SRAM 也基本相同。

如前所述,由行地址码选择一根字线,被这一根字线选择的多个存储单元的数据,分别保存在一连串的读出放大器中。因为各个读出放大器与相应的列地址码对应,所以由列地址码选择的一个读出放大器的数据以电位的形式送到公用数据传输线上。

读出放大器送出数据时,读出放大器所持有的数据不会被破坏,是一种非破坏型数据读出方式。如不断地依次地改变读出放大器,就能依次地送出新地址的数据。但是,为了让读出放大器保存新的行地址码的数据时,需要重新接通新行地址码对应的字线再进行一连串的前面所述的动作,需花费相当长的时间,约为由读出放大器读出数据所花时间的 5~6 倍。要制造高速数据传递存储器,必须在由行地址码指令向读出放大器保存新数据和由列地址码指令让读出放大器输出数据这两个数据传递过程上下工夫。

5.3.3 高速数据传递存储器

在行地址码的数据传递过程中,需要放大存储单元中存储的数据,所以数据的高速传递受到一定的限制。在一个集成电路内,提高行地址码数据传递速率的方法有:存储单元的集合(bank,具有独立控制电路的存储单元阵列)化和数据传送时采用快速数据脉冲串(burst,输出一串地址码数据脉冲)。

所谓存储单元阵列的集合化是指每个存储单元阵列设有独立的控制电

路,用此控制电路来控制读出放大器一连串的动作。当没有实行存储单元的集合化时,必须对现已选择的字线完成读出动作,使读出放大器处于新的读出状态后,才能选择新的行地址码。行地址码的变更周期受读出放大器一连串动作所需时间的限制。另一方面,当变更新的列地址码,传输与该列地址码相对应的读出放大器所保存的数据时,周期时间只由数据的传递时间所决定,约为20纳秒以下。因而,可在固定行地址码情况下,输出一连串的列地址码的数据(快速数据脉冲串)。这样,就可以在比较短的周期内输送更多的数据。采用集合化的措施以后,因为在一个快速数据脉冲串的传输期间,可以将新的行地址码的数据保存在其他存储单元集合的读出放大器中,所以当需要传送不同行地址码的数据时,也不受读出放大器的限制而可高速度地进行数据的传输。

在输送快速数据脉冲串时,来自读出放大器的数据采用流水线(pipe-line)方式、多位同时输送和数据并串联(parallel-serial)变换输送相组合的方式等进行传输,可以获得小于10纳秒的高速数据输送周期。采用这种方法的存储器为时钟同步式存储器,典型的产品有同步DRAM(SDRAM)⁽²⁾。

5.4 制造存储器集成电路时的注意事项

在边长为几毫米的正方形半导体硅片上,存储器集成电路集成有由兆(10^6)到吉兆(10^9)数量级的存储单元,每一个存储单元的面积在1平方微米以下。所以,既要高效率地制造合格的存储器,又要考虑存储器的可靠性。在本节中,主要阐述如何提高产品的合格率(制造产品中合格品的比例)及如何提高产品的可靠性⁽³⁾。

5.4.1 为弥补不合格产品的备份技术

在使用最先进的精细技术制造存储器集成电路的过程中,由于工艺过程中的灰尘、杂质等,很难使所有的存储单元都为合格品。制造技术未成熟期制造的产品,即使在产品寿命的初期,其合格率也是不高的。提高生产技术水平对提高寿命初期的合格率是非常重要的。因而,让存储器集成电路具有一定的备用存储单元,以用无缺陷的备用单元来代替有缺陷的部分。

备用的存储单元的数目是由存储器芯片尺寸、置换可能性及对制造成本的影响等因素来决定的。也就是说,如果备用部分增多,芯片尺寸则必然增加,一个硅片所能容纳的芯片数就要减少,这就要使芯片的制造成本增加;另一方面,备用部分多的话,即使多个存储单元有缺陷也可通过置换来提高产品的合格率,这也相应于使制造成本下降。要权衡这两方面的因素,来决定备用存储单元的数目。

备用存储单元的设置方法,对于由行和列构成的存储单元阵列而言,分别设置行或列的存储单元的备份,以备份的行或列与含有缺陷的存储单元的行或列相置换。在最后一道产品测试工序中,测出具有缺陷的存储单元的行或列的地址码,再决定用行还是用列的备份来置换。在存储器集成电路中,设有可以检出缺陷地址码的器件。在实际系统中,设置有一个比较电路,能使对缺陷地址码进行的存取转换到备份存储单元。这样,所有地址码的存储单元都能正常工作。用来转换地址码的器件有激光熔断熔丝、电流熔断熔丝、PROM 存储单元等。

5.4.2 提高可靠性

存储器集成电路中,会出现随使用时间增长而产生经时退化,以及突然发生存储单元误动作等现象。

经时退化的主要表现为,强电场使晶体管的阈值电压变化,泄漏电流增大;强电场使存储单元电容器中的氧化膜等的泄漏电流增大。经时退化都是由于强电场而引起的,由于器件的精细化,氧化硅膜层的变薄,电路的电源电压必须降低。另一方面,使用存储器的电子设备的电源电压,不可能只是为了保证存储器的可靠性而不断地降低,因为还要考虑与以往生产的电子设备之间的互换性。为了解决这一问题,可以在存储器集成电路的内部设置电压转换电路,以提供低电源电压给存储器使用。

存储单元的瞬时误动作的典型例子是软击穿(soft-error)。所谓软击穿是某个存储单元的信息瞬时被破坏的一种现象,是由于 α 射线(氦的原子核)进入硅中产生电荷而引起的。 α 射线源是由半导体存储器本身或封装体中含有的微量铀、钍原子的原子核的裂变而产生的。因为 α 射线的穿透能力很低,所以不可能来自封装体外。由于 α 射线带有正电荷,可深入到硅中20~30微米,在硅中每前进1微米可产生大约10 fC的电子空穴对。pn结上的电场将这些激发的自由电荷收集到DRAM存储单元的电容器中,

或收集到 SRAM 存储单元的双稳态电路的节点上,破坏了存储器所保存的数据。为了防止发生软击穿,要确保存储单元电容器的容量,使其不会因一个 α 粒子的侵入而产生误动作。还要提高半导体存储器本身和封装体的材料纯度。此外,可采取在存储器集成电路芯片上涂覆一层几十微米厚的聚合物薄膜(芯片涂覆)等措施,来阻止来自封装体的 α 射线的侵入。

练 习 题

- 1 按存储器的数据变换周期(TAT)由长到短的顺序,排列各种存储器。
- 2 参考 5.3.1 节,求出在存储单元的电位为 $V_{cell}[V]$ 时,经读出放大器放大读出的电位 V_s 和预充电电位 V_{pr} 之间的差的表达式。当 $V_{cell} = 3V$ 时其值为多少? 设 $V_{pr} = V_{pl} = V_{cc}/2, C_s = 30fF, C_B = 500fF, V_{cc} = 5V$ 。
- 3 在高阻负载型 SRAM 中,增大负载电阻值将难于确保双稳态电路的双稳特性,其理由是什么?
- 4 综述向 EPROM 的浮置栅极过多地注入电子或从 EPROM 的浮置栅极过多地抽出电子与选择存储单元和非选择存储单元的导通/截止状态之间的关系。

引用文献

- [1] Y. Iwata: IEEE J. Solid - State Circuit, 25, 2(1990), p. 417
- [2] 安保秀雄: 日経エレクトロニクス, 553 (1992 - 05), p. 143
- [3] 菅野卓雄監修, 香山晋編: 超高速デジタルデバイス シリーズ2 超高速 MOSデバイス, 培風館(1986), p. 326

封装及组装技术

本章介绍集成电路的封装及组装技术。在大多数的情况下,集成电路采用塑料封装或者陶瓷封装,以便于组装到印制电路板上。为了提高组装密度,促使仪器的薄形化,有时直接将集成电路芯片组装在印制电路板或者陶瓷基片上。而且这种组装方法正逐渐得到推广。本章重点介绍集成电路封装的电性能、散热性能以及机械保护性能。

6.1 封装的性能要求

塑料封装的结构如图 6.1 所示,主要由芯片上各个焊接区到封装外壳各引线端子间的导电丝、引线框架以及封装体(塑料)组成。一般采用可塑性好的直径为 $20 \sim 30\mu\text{m}$ 的金丝作为导电丝,用超声热压焊法将芯片上的焊接区和内引线连接起来。芯片上的焊接区的材料与芯片内的布线为同一材料——铝薄膜层,其与金丝焊接后形成金铝的共晶合金 (Au_3Al_2)。引线框架为铁-镍合金(或者以铜为主要成分的合金),内引线镀银或金,引线框架外侧的外引线镀焊锡,这主要是为了获得可靠性好的焊接。典型的塑料封装的尺寸、材料如表 6.1 所示。

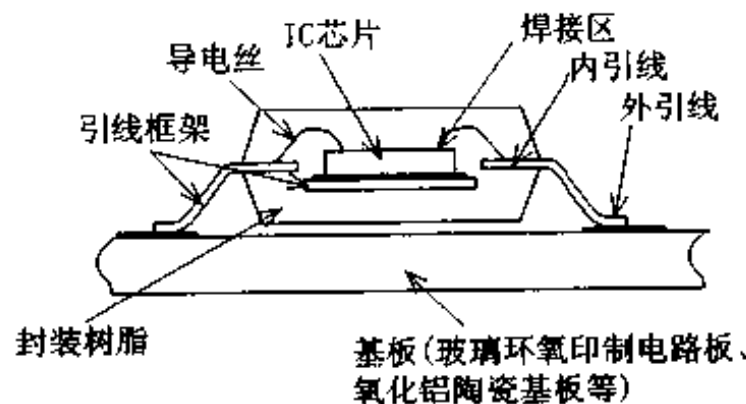


图 6.1 塑料封装结构图

封装主要具有以下三种功能：

- 电功能： 传递芯片的电信号；
- 散热功能： 散发芯片内产生的热量；
- 机械化学保护功能： 保护芯片和导电丝。

电功能方面必须考虑流过引线的电流大小,封装具有的寄生电容和寄生电感对高频特性的影响等等。一般情况下,封装引线通过的电流在数十毫安以下,此时可靠性上不存在什么问题。但是,当有大电流通过时,必须考虑导电丝的承受能力。一般说来,直径为 $25\mu\text{m}$ 的金丝的允许电流(熔断极限)为 1A ($10^5 \sim 10^6 \text{A}/\text{cm}^2$),电流大于 1A 时可用多根金丝或者直径较粗

的铝线。封装引线脚之间的寄生电容量约为 pF 量级,寄生电感为 nH 量级,一般速度下不存在什么问题,但是对于高频用的集成电路来说,还必须考虑对封装阻抗的匹配问题。

表 6.1 塑料封装用材料、尺寸以及电性能

部 位	材料、尺寸
导电丝材料	Au(纯度 99.9%)
导电丝直径	30 μ m 或 25 μ m
引线框架材料	Fe-Ni 或 Cu 合金
引线框架厚度	0.2mm
封装材料	环氧树脂
封装厚度	0.8mm
引线间距	0.5mm
引线电容	约 0.2pF(封装外壳部分)
引线电感	约 5nH(封装外壳部分)

在散热功能方面,有两个散热的途径:即经导电丝和引线框架将热量传向印制电路板和经塑料密封材料将热量散发到空气中。表 6.2 列出各种封装材料的热导率。由于散热不充分而引起的芯片温度的增高,不仅影响集成电路的电性能,有时还可能引起失效。特别要指出的是,时代的潮流是朝着芯片的高集成度的方向发展,而且集成电路的工作频率也不断增加,使其

表 6.2 封装材料的热导率

材 料	热导率[W/m·K]
IC 芯片(硅)	150
导电丝(Au)	310
导电胶(Ag 系)	30
引线框架(Cu 合金)	220
封装材料(树脂)	1
印制电路板(环氧玻璃)	1~2

消耗功率不断增加。所以必须很好地掌握 6.7 节中将要介绍的关于热阻的知识。

作为保护功能,必须能承受在包装、运输、电路组装时加在集成电路上的应力。同时也要考虑在实际使用环境条件下湿度的影响。因此,要求封装材料的热膨胀系数与硅相近,对芯片不产生热应力,化学纯度高、稳定性好。

6.2 塑料封装工艺

塑料封装的成品示意图如图 6.1 所示。图中所示的是一个单体产品,实际上,在封装的最后一道工序之前,多个塑料封装体是连接在一起的。典型的封装工艺过程如图 6.2 所示。图 6.3 表示引线框架的结构,各个引线由连接条连在一起,各个引线的外引线部分也连接在一起。一连串的引线框架是由带状板材经冲压或者经腐蚀加工而成的。

芯片的分离工艺:首先,将硅大圆片贴在胶带上,然后用高速旋转的金钢石砂轮沿着硅圆片上的芯片的分离线进行切割。再沿芯片分离方向拉伸胶带,使各个芯片分离,这样芯片和芯片之间有了一定的间隙,很容易地取出芯片。

下面,按图 6.2 的顺序说明封装工艺过程。首先,在引线框架的中心部位(岛状部)涂上导电胶,粘上集成电路芯片,在 150℃ 的温度下使导电胶固化,使集成电路芯片粘牢在引线框架的中心部位。接着,采用超声热压焊法用金丝把芯片的焊接区和内引线连接起来。然后,模压成形,经固化处理使封装塑料固化。塑料封装体形成后,外引线部镀锡处理,最后将引线框架在连接条处切断,成为一个个分离的集成电路。

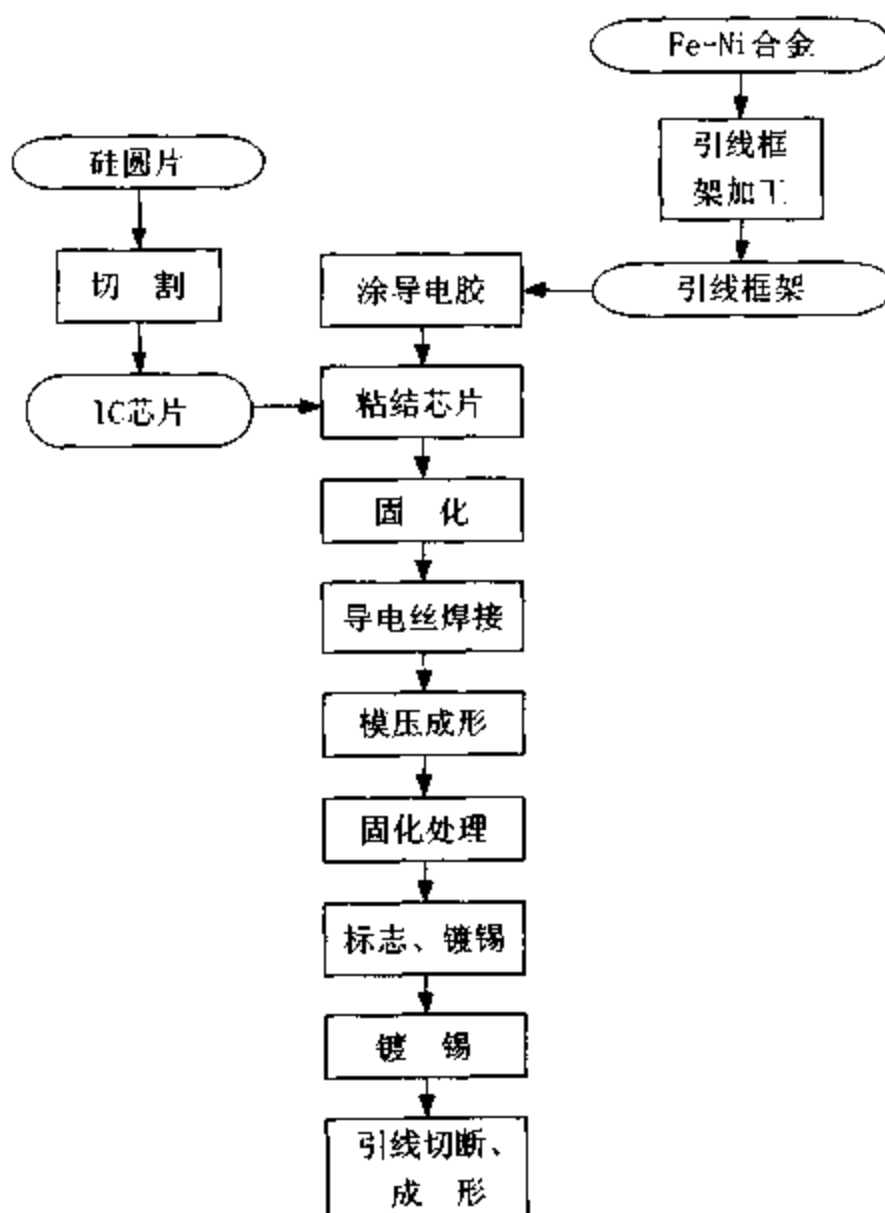


图 6.2 封装工艺

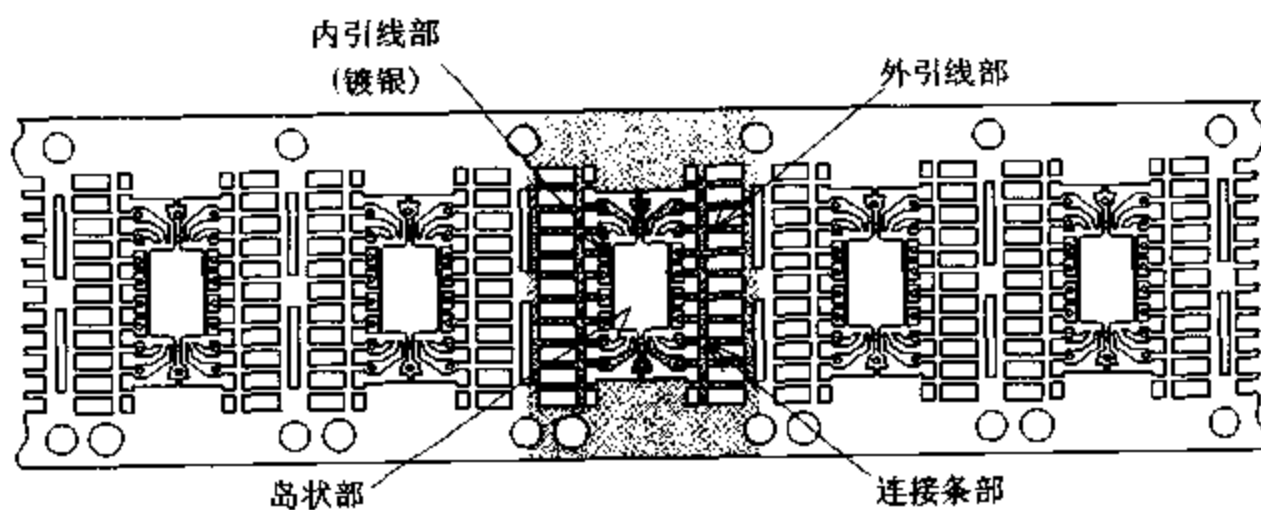


图 6.3 引线框架

6.3 塑料封装材料

本节主要介绍塑料封装用的主要材料,如封装体,引线框架,粘结剂以及导电丝材等材料的性能要求。

1. 封装体材料

封装体成形工艺温度为 $150 \sim 180^{\circ}\text{C}$, 首先进行数分钟的初次固化, 脱模后再加热数小时进行二次固化, 使封装体完全固化。对封装体材的主要要求是, 在成形时不能由于封装体材的流动引起导电丝的断线, 形成的封装体内不能有气泡。而且, 要求成形后易于脱模, 固化以后和芯片、引线具有良好的密着性能。此外, 还要求由于热膨胀系数之差引起的应力不至于影响集成电路的性能。从可靠性方面考虑, 要求吸湿性小、耐热性以及耐冲击性能好的材料, 以防止封装体开裂。从安全性考虑, 要求封装体材为不燃性材料。

2. 引线材料

引线材料必须具备一定的强度和良好的传热特性, 强度方面特别要求材料的拉伸强度高。材料的拉伸强度和热导率之间的关系如图 6.4 所示。

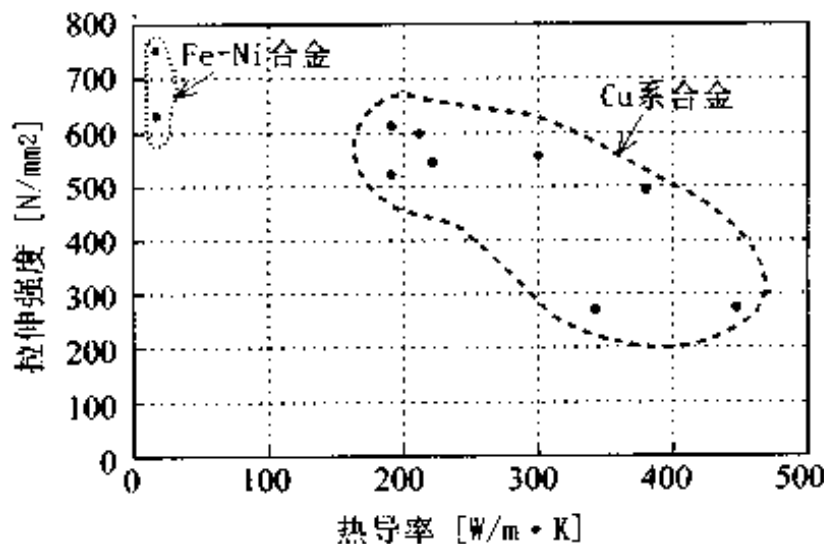


图 6.4 引线框架材料特性

铁-镍合金的拉伸强度高,广泛地用作引线材料,但是这种材料的热导率低。此外,铜合金的热导率好,但是拉伸强度差。实际上应该综合考虑各方面的因素,如封装体的大小、板材厚度等,以选择适当的引线材料。

3. 粘结剂

对粘结剂的要求是具有良好的粘结能力和良好的导电性能。需要说明的是,对粘结能力只要求在导电丝焊接时以及在封装体成形时不至于使芯片脱落即可,实际上 $1\text{g}/\text{cm}^2$ 也就足够了。封装体成形以后,受到封装体内部的压力,使其保持密着性能。为了保持良好的导电性能,通常使用含有大量银微粒的环氧树脂作为粘结剂。大多数情况下,为了获得稳定的电位,在芯片背面蒸发一层镍或铬的金属薄膜。对于大电流的功率器件来说,芯片的背面是一个引出电极,在芯片背面蒸发一层镍或铬则是为了获得良好的欧姆接触。

4. 导电丝材料

对导电丝材料的要求是具有良好的延展性和化学稳定性。塑料封装时几乎都是采用直径为 $20 \sim 30\mu\text{m}$ 的金丝作为导电丝。但是当流过的电流达到安培数量级时往往采用直径为 $300 \sim 500\mu\text{m}$ 的铝线。

6.4 陶瓷封装

陶瓷封装和塑料封装相比,具有导热性和密封性好的优点,通常用于散热和防湿性能要求高的场合。图 6.5 表示陶瓷封装的结构图,将芯片装在带有引线框架的叠层陶瓷外壳中,然后盖上盖板将其密封。陶瓷封装工艺如图 6.6 所示,分为芯片粘结、导电丝焊接、盖板密封等工序。

在进行芯片粘结时,首先在陶瓷封装外壳中粘结芯片的区域涂上银导电胶(银浆),贴上芯片后在 150°C 左右的温度下烘干固化。

焊接导电丝时,将陶瓷封装外壳预热到 $150 \sim 250^\circ\text{C}$,用超声热压焊法将直径 $20 \sim 30\mu\text{m}$ 的金丝把芯片焊接区和引线连接起来。当使用直径 $30\mu\text{m}$ 的铝线时,可采用超声波压焊法在室温下进行焊接。采用超声波焊接

时,每焊接一根导电丝约花 0.5 秒。多引线封装时,一般采用金丝用超声热压焊法(加热温度为 150 ~ 250℃)进行高速度的焊接,其速度可以达到每根 0.1 ~ 0.2 秒。陶瓷或者金属盖板用低熔点的玻璃进行封装。

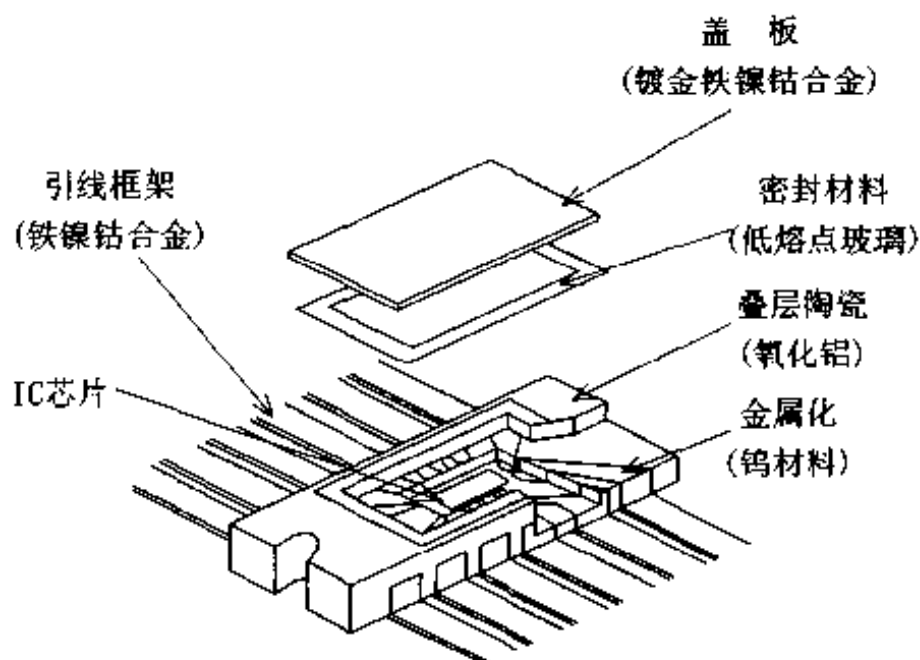


图 6.5 陶瓷封装结构图

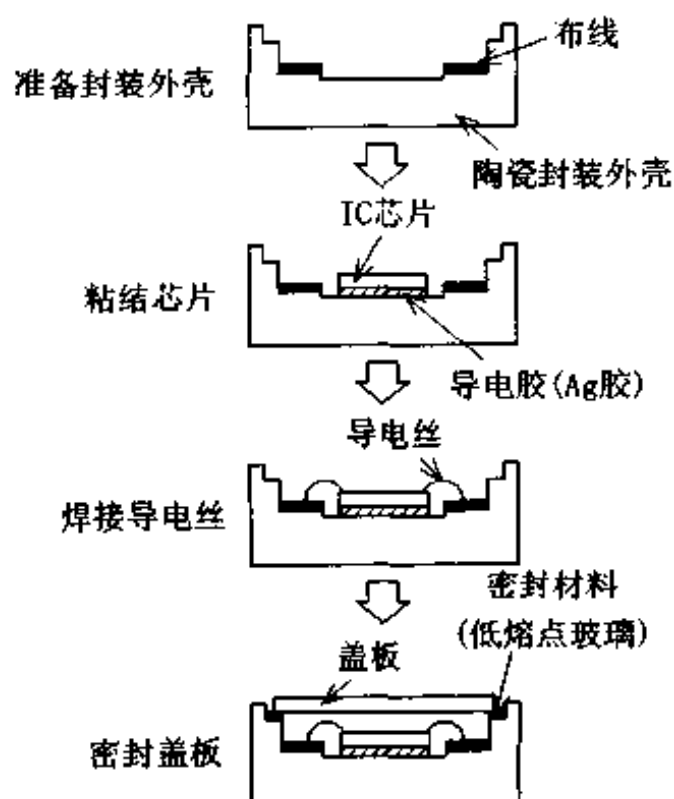


图 6.6 陶瓷封装的装配工艺

6.5 封装的种类及其趋势

封装是沿着多引线化、高密度化、薄型化、多功能化和高散热性的方向发展的。

1. 多引线化和高密度化

由于集成电路的高集成度化、多功能化,在要求不断减小封装外壳尺寸的同时,引线脚的数目却年年增加。图 6.7 表示引线脚的数目和每根引线脚所占封装体的面积(即封装体总面积/引线脚数)之间的关系。历史的变迁是由左下向右上方向发展的,这是由于引线脚间距离的缩短和引线脚的巧妙排列,才使这种发展成为可能。下面,我们沿着这一变化的顺序,讨论这些封装的特点。

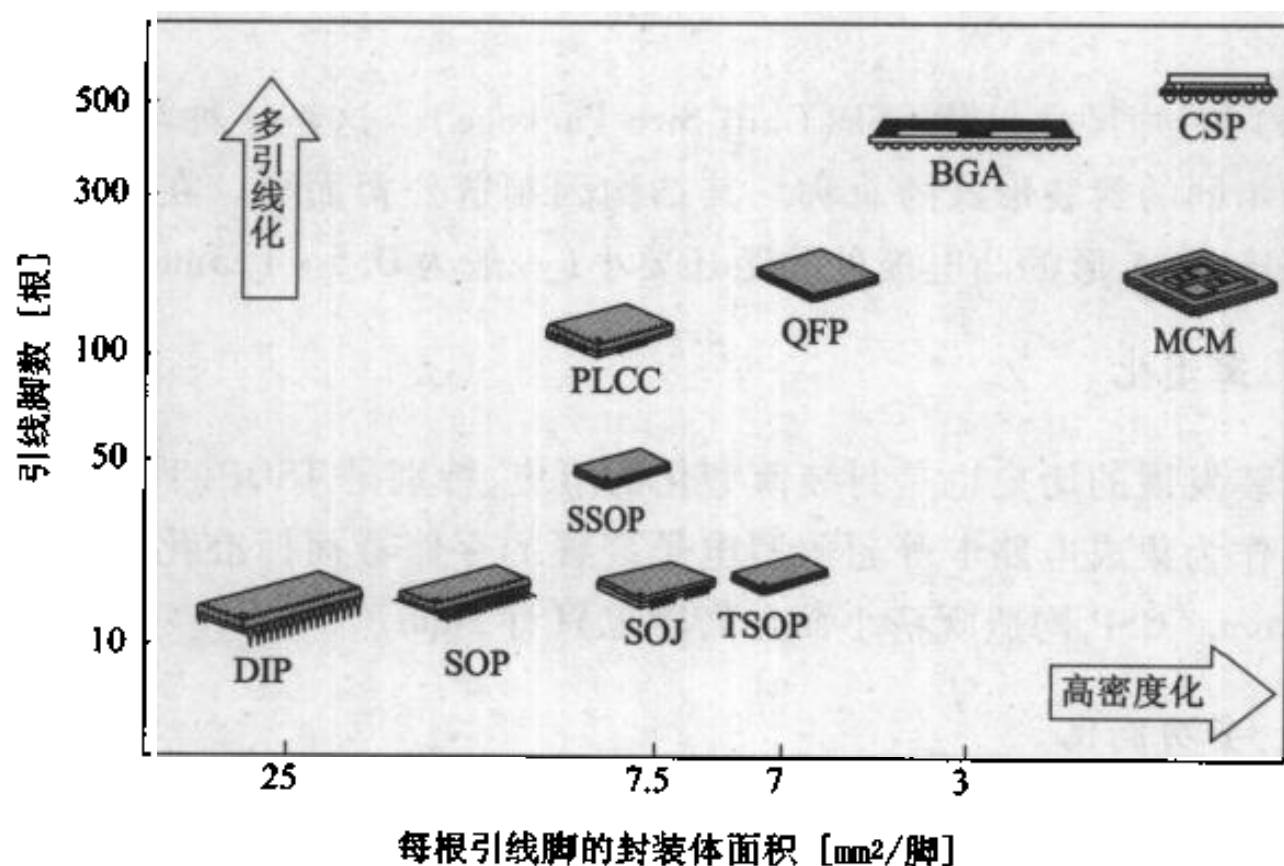


图 6.7 封装体的发展

(1) 双列直插式封装 DIP (Dual In-line Package)。这是一种典型的直

接插装式封装。各个引线脚插入印制电路板相应的孔中,焊接而完成组装。这种封装的结构本身使引线脚间距离的进一步缩短受到限制。实用最小脚间距离为 1.27mm。

(2) 小型平面引线式封装 SOP (Small Out-line Package)。这是 DIP 演变过来的平面组装式封装,引线脚间的距离为 1.27mm。再缩小间距即成为 SSOP (Shrink SOP) 形封装,其标准间距为 0.3mm。

(3) 小型平面 J 形引线式封装 SOJ (Small Out-line J-lead Package)。这是将引线向内侧弯成 J 形使其小型化的封装形式。PLCC (Plastic Leaded Chip Carrier) 是由封装的四周引出 J 形引线脚的封装形式。

(4) 四周平面引线式封装 QFP (Quad Flat Package)。这是四周具有引线的 SOP 形封装,是多引线脚封装品。是一种典型的平面组装式封装。引线脚间距已标准化,最小为 0.3mm,非常接近实际组装时的最小界限。

(5) 球状凸起电极式封装 BGA (Ball Grid Array)。这是一种代替四周为引线、引线脚间距已达到极限的新型封装结构。在这种新型封装结构中,封装体的背面不是引线而是凸电极。尽管这些凸电极的间距为 1.0 ~ 1.5mm,但是与具有相同引线数目的 QFP 相比,BGA 式封装体的尺寸要小得多。

(6) 芯片尺寸封装 CSP (Chip Size Package)。这是一种与裸芯片的尺寸几乎相同的封装形式的总称。其结构因制造公司而异。在结构上,引线的间距比 BGA 形的凸电极的间距还要小(一般为 0.5 ~ 1.5mm)。

2. 薄型化

封装发展的历史也是封装薄型化的历史,特别是 TSOP (Thin SOP)。它是主要作为集成电路卡等超薄型电子装置的存储器而标准化了的产品,高度为 1mm。CSP 构造既精小而且高度也只有 1mm。

3. 多功能化

同一个封装中,封装有多片集成电路,有时还组装入电阻、电容等无源元件以获得多种功能,这种封装称为多芯片封装 MCM (Multi Chip Module)。多芯片封装大大地缩短了元器件之间的连接导线,减少了寄生电容和寄生电感,使产品的高频特性得到很大的改善。

4. 高散热性

为了改善集成电路的散热性能,往往将散热片之类的金属部件嵌在塑料封装体中,或者不采用塑料封装而用散热性能好的金属或陶瓷封装体。图 6.8 表示采用散热部件改善散热性能的例子,此时热阻为 $20 \sim 30^{\circ}\text{C}/\text{W}$, 可以封装功耗为 3W 左右的芯片。

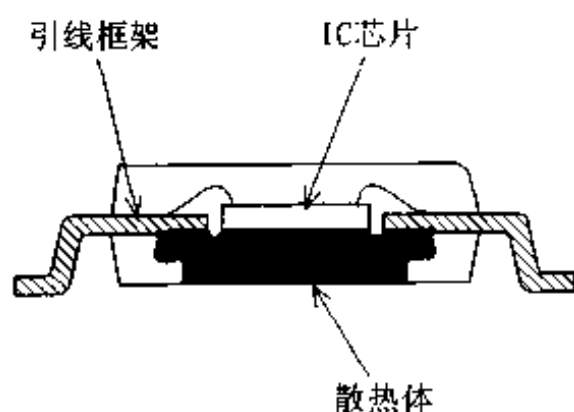


图 6.8 散热性能优良的封装体

6.6 芯片裸装技术

本节主要说明芯片裸装技术,即不将芯片进行封装而直接将裸芯片组装到印制电路板或陶瓷基板上的技术。为了使电子仪器设备小型化、轻量化和低成本化,往往采用这种裸芯片组装技术。图 6.9 示出用于芯片裸装

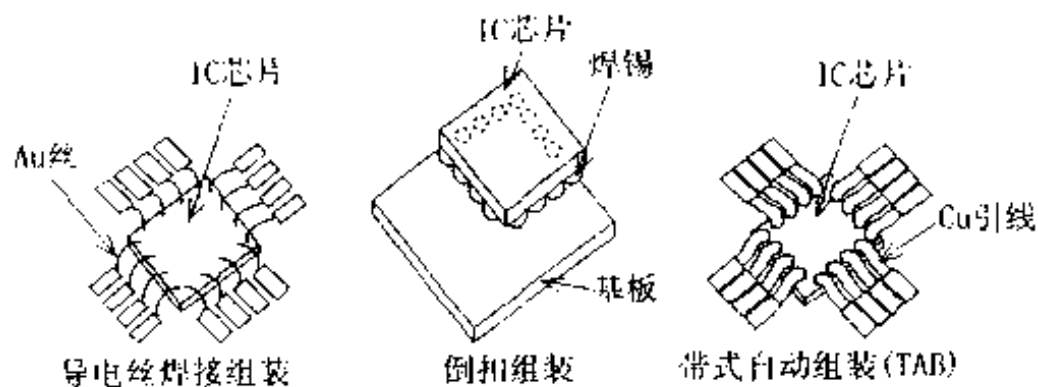


图 6.9 芯片裸装技术

的三种主要的组装技术,即导电丝焊接组装技术、倒扣组装技术和带式自动组装技术。

1. 导电丝焊接组装技术

用银浆将半导体芯片粘结在陶瓷基板或印制电路板上,再用金丝把芯片上的焊接区和基板上的电极连接起来,完成芯片的组装。为了保护芯片和导电丝,防止机械应力和湿度的影响,再用环氧树脂或者硅树脂等密封。这种组装方法具有以下优点:即使芯片上的焊接区和基板上的电极之间的距离不同也可用金丝连接。但是,焊接区只能设计在芯片四周边上,芯片尺寸的大小和焊接区之间的距离决定了可引出的电极数目(导电丝的根数)。焊接区之间的距离大约为 $100\mu\text{m}$ 。

2. 倒扣组装技术

在芯片的焊接区上形成焊锡凸点,将芯片倒扣(flip chip)在基板上,并使芯片上的焊锡凸点和基板上的电极位置对准,达到电连接的目的。图 6.10 表示焊锡凸点的形成方法,首先在芯片的铝电极上形成铬、钛等中间金属层,在上面形成易粘锡的铜,再在铜上形成焊锡凸点。这种组装的特点是芯片上焊点的分布必须和基板上电极的分布相一致。焊锡凸点可以设置在芯片表面的任意位置上,可以引出数量较多的引线,芯片上所有的焊锡凸点可以同时与基板上相应的电极完成焊接,获得电连接。

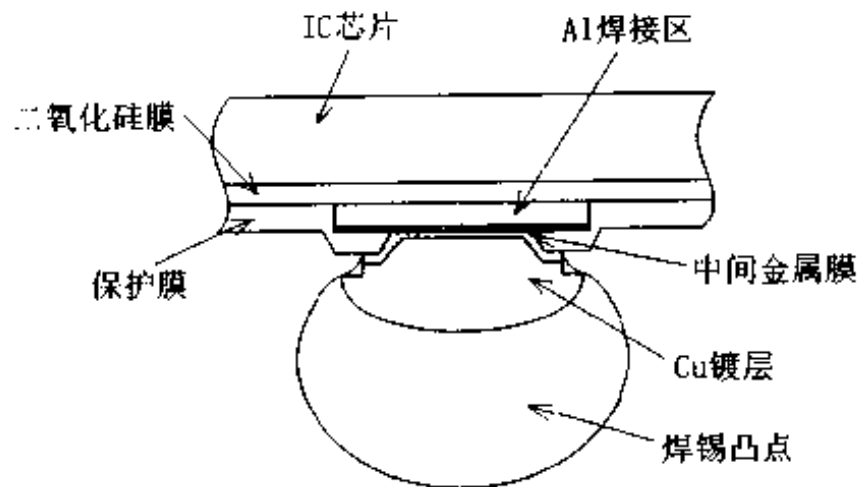


图 6.10 倒扣组装芯片的电极结构

3. 带式自动组装技术

图 6.11 表示带式自动组装 TAB (Tape Automated Bonding) 的结构断面图。将铜箔用粘结剂粘在聚酰亚胺树脂等胶片上,用腐蚀法形成引线,该引线经由金凸出部与芯片的焊接区相连接。多根引线可同时焊接。但是存在着必须制作与各个芯片相对应的 TAB 胶片。TAB 胶片可像照相胶卷一样卷曲保管,可直接供给组装设备使用,也可实现薄型化组装。

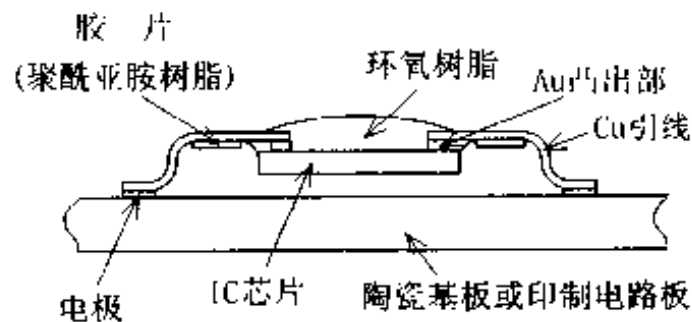


图 6.11 TAB 构造图

以上,介绍了裸芯片的组装方法,裸芯片的组装是薄型化、小型化的有效方法。但是,必须确立如何判别裸芯片特性好坏的方法和高温筛选技术,以确保可靠性。

6.7 热 阻

集成电路的特性通常受温度影响,抑制温度的上升是一个重要的研究课题。集成电路消耗的电能将变成热能,集成电路的散热条件好则芯片的温度低,散热条件差则芯片的温度高。正如图 6.12 所示,芯片内产生的热量通过热传导的方式传到封装体,使封装体的温度升高。封装体通过三个热传递途径散热:①封装体的热量通过热传导的方式经引线传导至印制电路板,再散发到大气中去;②通过封装体表面的气流将热量散发到大气中去;③直接由封装体辐射散热。

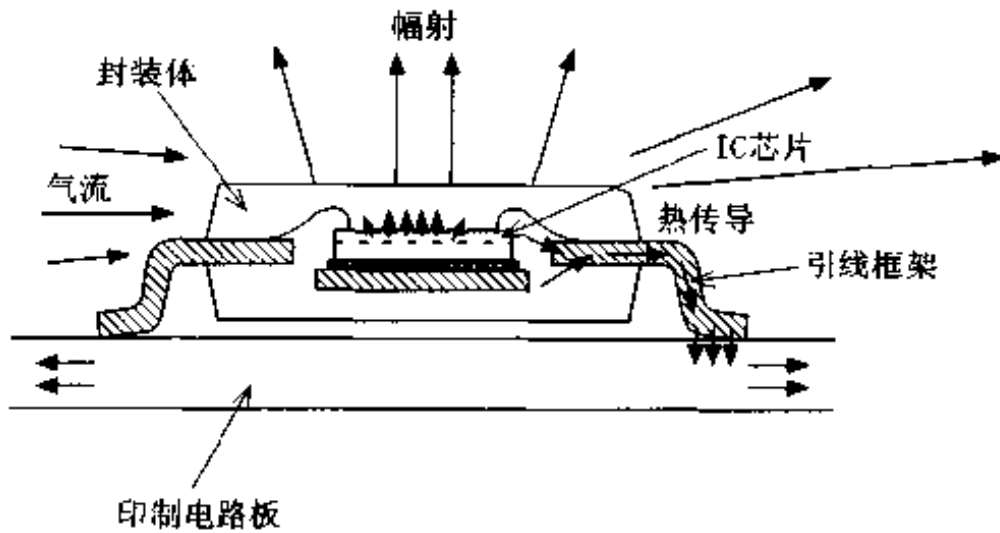
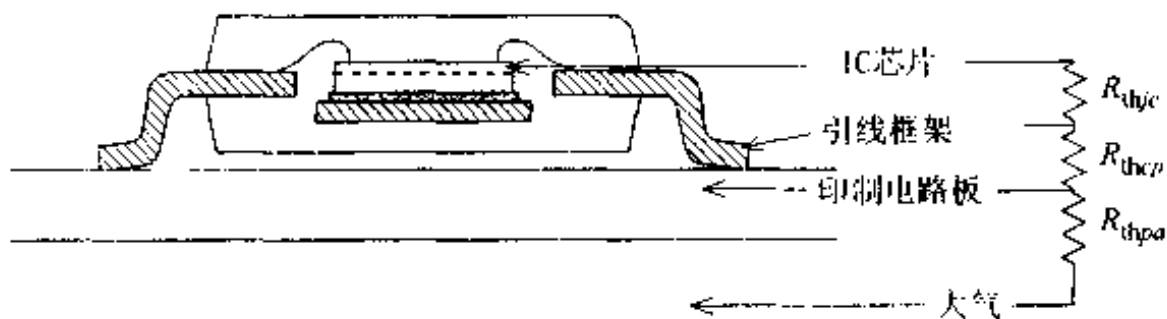


图 6.12 IC 芯片散热途径

当集成电路在功耗一定的条件下连续工作时,芯片产生的热量是一定的,最后和封装体向大气散发的热量处于一个平衡状态,此时芯片的温度将保持一恒定值,并且和大气之间产生温度差。因为集成电路散热速度随封装材料的不同而异,所以芯片和大气之间的温度差也不同。这一温度差越大说明芯片越难以向大气散热。

我们用热阻来衡量散热的难易程度。热阻的定义为每消耗一瓦功率时芯片和封装体周围的温度差。即:“芯片和封装体外围之间的热阻 = 芯片和封装体外围的温度差/消耗的功率”。由芯片到外部的热阻是由芯片到封装体引线框架之间的热阻,引线框架到印制电路板之间的热阻、印制电路板到大气之间的热阻之和决定的,如图 6.13 所示。



R_{thjc} : 由芯片到封装体的热阻

R_{thcp} : 由封装体到印制电路板的热阻

R_{thpa} : 由印制电路板到大气的热阻

图 6.13 由 IC 芯片到外部的热阻

陶瓷封装外壳的制造工艺

在制造集成电路的多种技术中,封装技术,也就是组装工程技术,包括封装外壳的制造技术、组装设备技术、组装工程自动化技术等。其中,陶瓷封装外壳的制造技术是在传统的陶瓷技术的基础上发展起来的。

陶瓷封装外壳的制造工艺如下图所示。主要分为陶瓷烧结和引线装配两大工艺。在陶瓷烧结工艺中,首先要将陶瓷材料(主要成分为氧化铝)和溶剂混合加工成片状(这种还未烧结的片也称为“绿片”)。再将绿片切成一定的形状,其上加工一定尺寸的开孔。然后,用印刷法形成钨或钼膏的布线图形,再将绿片叠片加压,在大约1600℃的还原气氛中烧结。

接着,进行引线装配工艺。首先在烧结好的基板上形成镍金镀层图形。然后用银焊接法装上和陶瓷的线膨胀系数相同的铁镍合金引线。即成为可供封装用的陶瓷封装外壳。

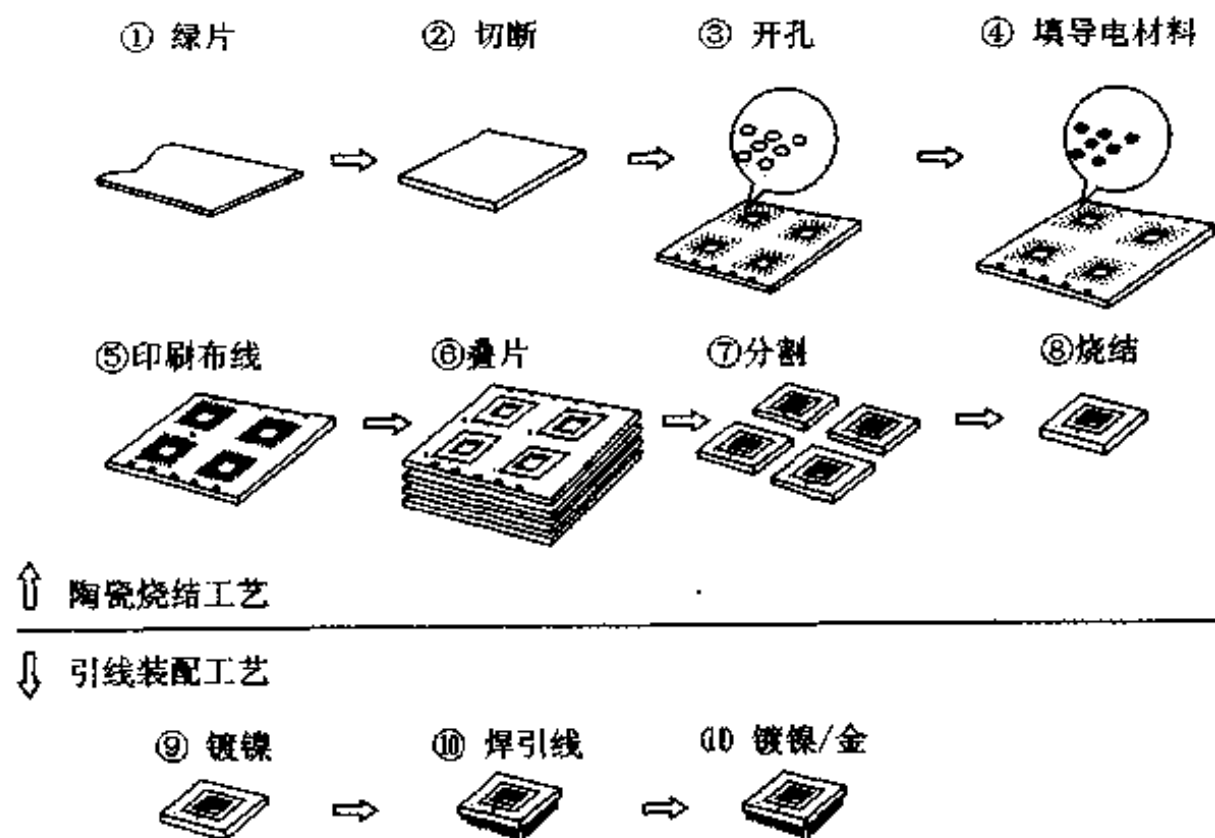


图 陶瓷封装外壳的制造工艺

此外,断续通电工作时,发出的热量随时间而变化,所以必须考虑时间因子。这是因为在短时间工作时,发热量和向大气散发的热量之间的关系与连续工作时不同。在通电时间短发热量少的情况下,封装体温度上升很少,和连续通电时相比热阻要小。为此,连续通电时的热阻称为稳态热阻,而短时间通电时的热阻称为过渡热阻。图 6.14 表示过渡热阻和通电时间(脉冲宽度)之间的关系。由此可知,通电时间越短,热阻越小。

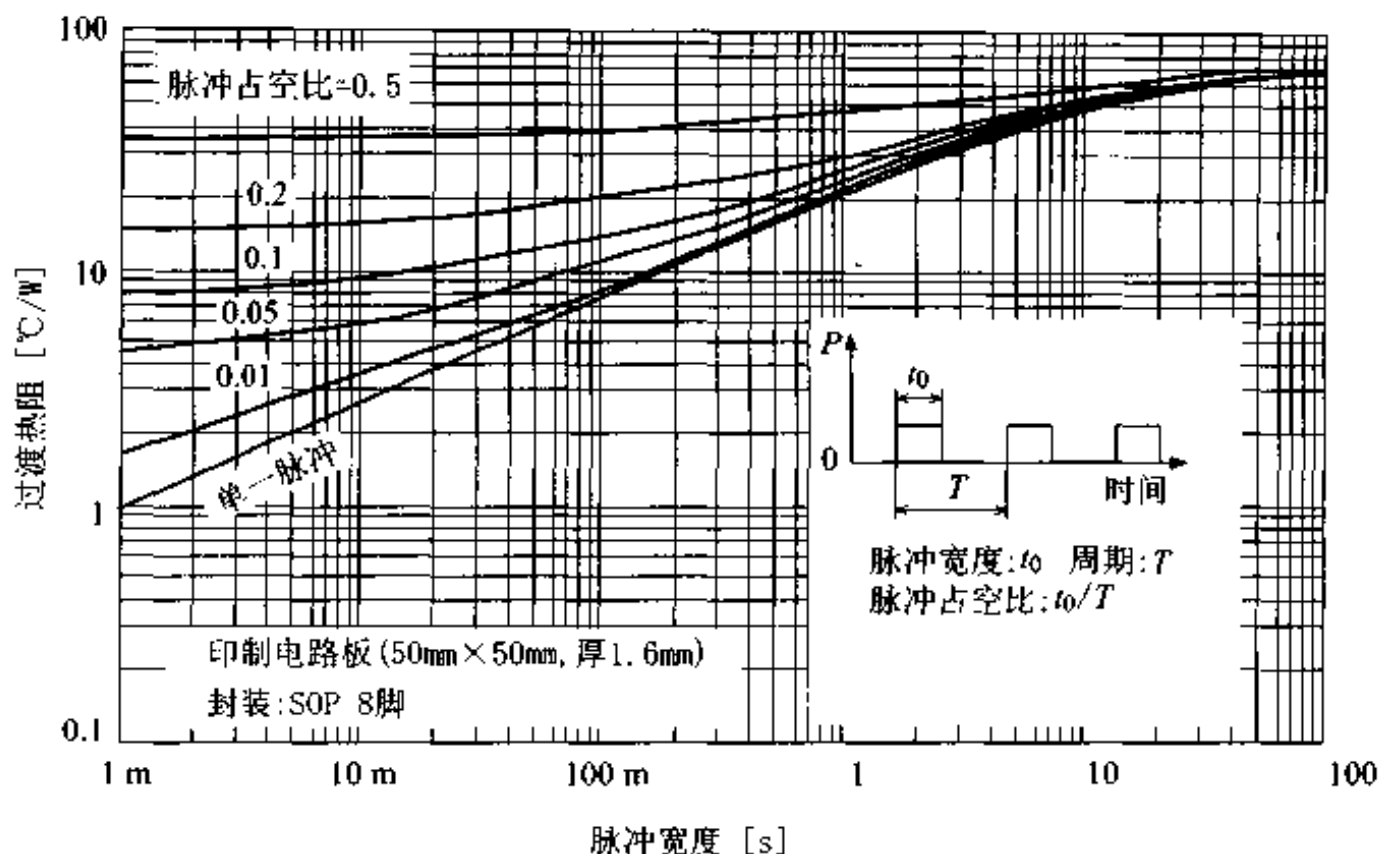


图 6.14 过渡热阻(环境温度 25℃)

热阻随封装的种类、组装的方法和气流等环境条件而变。组装在印制电路板上的塑料封装,其热阻约为 20 ~ 80℃/W。

练习题

- 1 集成电路组装在印制电路板上时,由芯片到封装体外部、由封装体到印制电路板、由印制电路板到大气之间的热阻分别为 5℃/W、25℃/W 和 45℃/W。芯片与周围环境间的热阻为多少?
- 2 假设上述问题中,芯片消耗的功率为 0.8W。要使芯片的温度控制在 125℃ 以下,周围环境的大气温度必须在多少度以下?

7

集成电路的可靠性

对集成电路的性能要求是储存的信息多、处理信息的速度快。此外还要求能长期地保持这些功能,即要求集成电路具有高可靠性。本章重点介绍影响集成电路可靠性的主要因素。

7.1 影响集成电路可靠性的主要因素

7.1.1 可靠性评估的必要性

世界第一台电子管式电子计算机的失效率是很高的,这是由于电子管失效率高的缘故。电子管具有发射电子的灯丝,灯丝的高温造成电极蒸发和退化,所以电子管的失效率高。发明晶体管时,认为晶体管是固体器件,具有无限的寿命。这种认为半导体器件具有长寿命的看法是正确的,但是实际上半导体器件中也存在着许多退化的因素。

为达到集成电路的高度集成化和高性能化,器件的尺寸不断地精细化。在栅极绝缘膜薄膜化的同时,MOS 晶体管的沟道长度和金属布线宽度等尺寸已缩小到 1 微米以下,这时出现了在十几年前加工尺寸为几微米时不成问题的、失效率随着使用时间增大的所谓磨损失效现象。例如,晶体管沟道长度的缩短和栅极绝缘膜的薄膜化使电场强度增大,所引起的热载流子导致器件特性退化;金属布线的精细化增加了电流的密度,而电流密度的增加导致断线,并出现所谓电子迁移失效现象。

像 16M bit DRAM 那样的大约具有 3 200 万个元器件的 LSI,每一个组成该集成电路的元器件的不合格率必须控制在 0.03 ppm 以下,否则不能成为合格品。此外,随着汽车的电子化,汽车用的部件要求在高温环境条件下工作。因而,随着微小型化的发展,如何确保集成电路的可靠性是一个重要的课题。

7.1.2 影响可靠性的因素

集成电路的可靠性受三大因素的影响。首先,集成电路的结构材料如何选择,集成电路应该具备哪些功能,采用什么特性的晶体管,采用什么制造方法,使用何种封装等等“设计因素”会影响可靠性。其次,集成电路制造过程中采用了化学、物理处理等工艺,这些工艺的不稳定性,即“制造因素”也影响可靠性。第三个因素是电、热、机械应力、湿气的侵入等“使用环境因素”,也影响集成电路寿命。这三种因素,再加上有些元器件在设计制

造时就有缺陷,使用时加速缺陷部位的退化最后导致失效。

一般说来,失效率和使用时间之间的关系呈现“浴盆曲线”关系,如图 7.1 所示。使用初期失效率高,然后失效率下降达到随机失效时期,最后发生磨损失效,失效率升高。为了避免“浴盆曲线”初期的不合格品出厂,往往加以数 MV/cm 的强电场,在 150℃ 左右的温度下进行筛选,去掉不合格品。

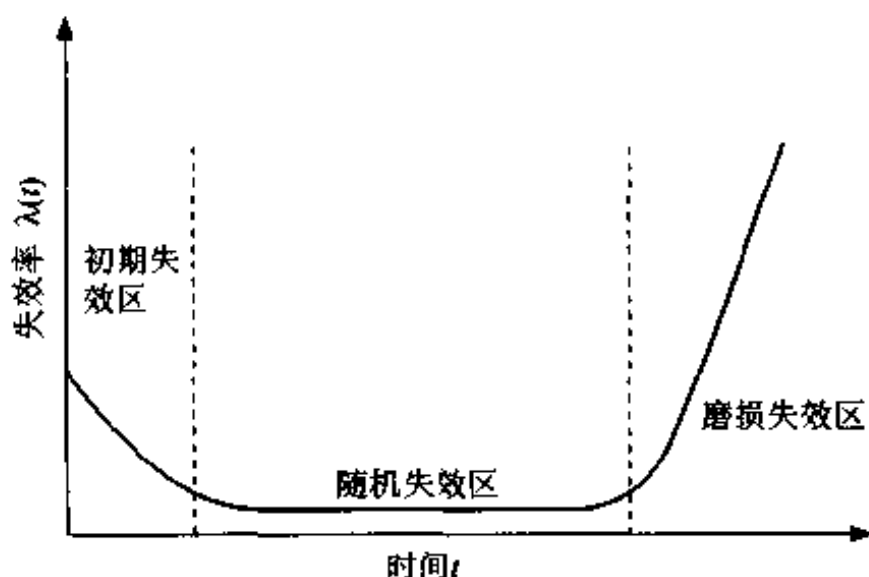


图 7.1 浴盆曲线

随着器件结构的微小型化,磨损失效率增大。例如,随着器件结构的微小型化,器件内部的电场增大,在 MOS 晶体管沟道中发生的热载流子在强电场的作用下进入栅极二氧化硅膜中,使晶体管的特性发生变化。此外,由外部进入的水分使晶体管耐热载流子的性能发生退化及使布线发生腐蚀。此外,加于金属布线上的机械应力,电流(流动的电子)引起的金属原子的移动,使布线上产生空洞、断线。

7.1.3 可靠性评估

一般说来,集成电路具有寿命长的特点。但是,由于上述多种退化因素,实际使用集成电路时,必须评估集成电路的可靠性,推算集成电路的寿命。为了评估集成电路在使用、保管、运输等各种环境状态下的可靠性,要根据评估的对象、目的来选择适当的试验方法和条件。表 7.1 示出具有代表性的试验项目和试验目的。

表 7.1 集成电路可靠性试验项目

试验项目	目的
耐热试验(热冲击、温度循环、高温储存、低温储存等)	承受反复急剧温度变化的能力
耐湿试验(高温高湿负荷、高温高湿储存、高压容器高湿试验)	承受高湿环境下长期使用的能力
寿命试验(连续工作、断续工作、高温连续反偏压工作等)	集成电路长期工作能力,承受超温、过压的能力
焊接试验(粘锡性能、焊接耐热性等)	引线粘锡能力以及焊接时承受高温的能力

7.2 栅极二氧化硅膜的退化机理

7.2.1 二氧化硅膜的电导以及绝缘击穿

MOS 晶体管中的栅极绝缘膜(SiO_2)是由硅单晶衬底在高温下氧化形成的。 SiO_2 是一种具有 $10^{15} \Omega \cdot \text{cm}$ 左右的高电阻率的绝缘膜,当外加电场大于 $6\text{MV}/\text{cm}$ 时,产生 F - N(Flowler-Nordheim)型隧道电流。不管多么优质的 SiO_2 都有这样的电流流动。近来,MOS 晶体管的栅极二氧化硅膜的膜厚在 10nm 以下,当电源电压为 5V 时,二氧化硅膜上的电场就大于 $5\text{MV}/\text{cm}$ 。从而必须考虑绝缘击穿以及可靠性。

SiO_2 薄膜的绝缘击穿是 MOS 器件中的一个重要课题。绝缘击穿又分为两种情况,一种是加上电压立即短路的称为“瞬时绝缘击穿”TZDB(Time Zero Dielectric Breakdown),二是连续地外加上适当的电压后,产生短路的“经时绝缘击穿”TDDB(Time Dependent Dielectric Breakdown)。在 TZDB 试验中,MOS 电容器上加上几秒钟的倾斜上升电压或阶梯形电压,获得电流大于基准电流时相对应的电压(耐压)值。如此测得的耐压直方图可分成如图 7.2 所示的 A、B、C 三种模式。

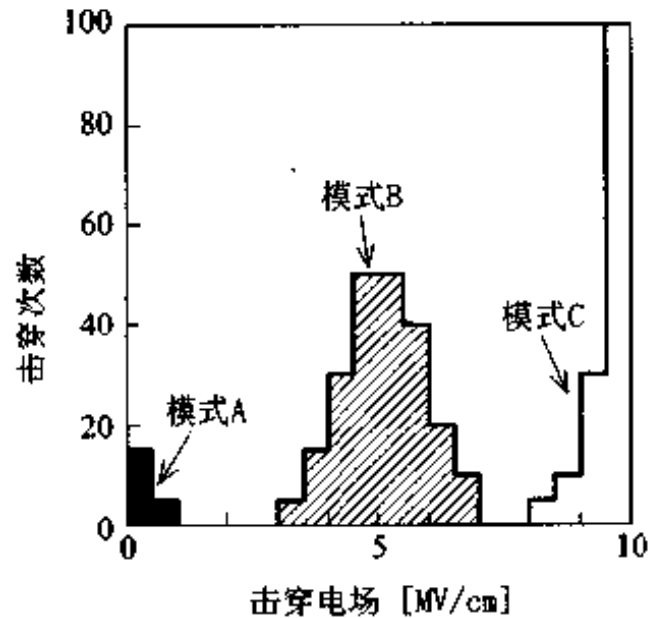


图 7.2 氧化膜瞬时绝缘击穿直方图

模式 A,即在低电场 $1\text{MV}/\text{cm}$ 时产生绝缘击穿,是二氧化硅膜中针孔等缺陷引起的耐压不合格,这些针孔是由衬底表面附着的微粒、有机物、表面损伤等产生的。模式 A 的不合格使集成电路的成品率降低,因而必须提高超净间的净化程度,提高清洗硅衬底的化学试剂的纯度。模式 B 是在数 MV/cm 的电场下发生绝缘击穿的模式,主要起因于二氧化硅膜中微量钠等碱金属杂质,以及铁、镍等重金属杂质。这些杂质本身受电场的作用而移动,起陷阱能级的作用,引起局部电流增加。和模式 A 同样,通过环境的净化,模式 B 将获得大幅度的改善。此外,由于硅衬底表面的晶体缺陷捕获的重金属也会引起模式 B 的不良,所以衬底的结晶控制技术是重要的。对于初期的模式 A 不合格产品来说,通过出厂前的筛选试验可以筛选掉。而对于模式 B 不合格品来说,因为要进行较长时间的试验才能测出,所以必须确立出厂前的检查方法和器件寿命的评估方法。模式 C 是即使外加 $8\text{MV}/\text{cm}$ 以上的高电场也不产生绝缘击穿的模式,是二氧化硅膜中不存在外因性缺陷时所获得的固有绝缘击穿特性。

集成电路出厂后,要保证其正常工作 10 年以上。为此,有必要预先进行加速试验,预测器件的寿命。可通过 TDDB 试验来预测栅极绝缘膜的寿命,这一试验是在大于 $7\text{MV}/\text{cm}$ 的高电场, 100°C 左右的高温环境下的加速试验。一般说来,二氧化硅膜的 TDDB 分成散发性发生的初期失效区域和经过长时间后达到急速破坏的磨损失效区域(固有击穿区域)这两个区域。

图 7.3 表示在一定电压下,厚度为 5.7nm 和 19nm 的 SiO_2 用 TDDB 评价的结果。由图可知,对于厚的二氧化硅膜来说,初期击穿的故障率高,说明膜中含有数量较多的缺陷。所以应该尽量控制初期击穿,以免产品在出厂后发生击穿。与此相反,图中右侧的磨损区域是由于二氧化硅膜的固有击穿而引起的,表示二氧化硅膜本身的性能极限。

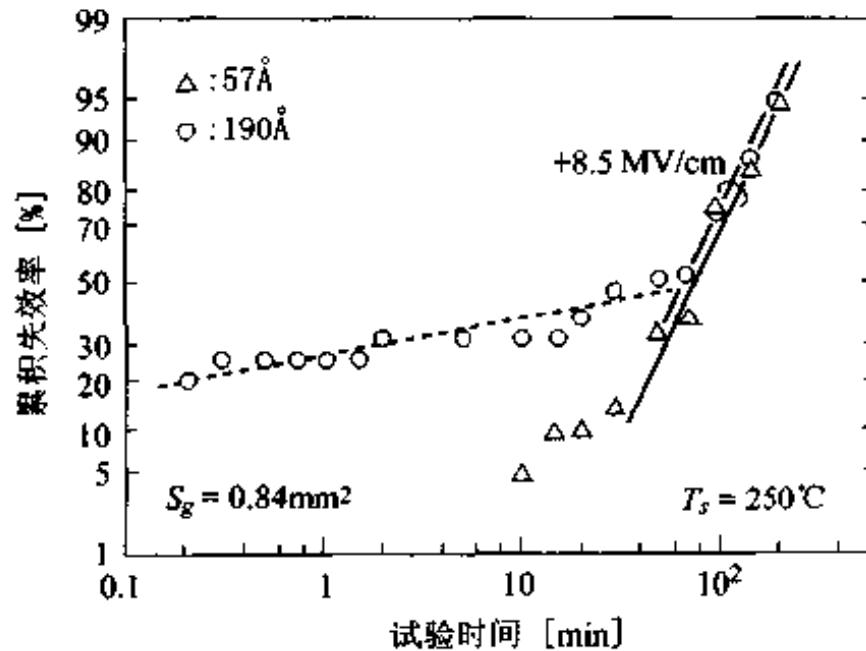


图 7.3 恒电压下 TDDB 试验的累积失效特性⁽²⁾

7.2.2 二氧化硅膜退化机理

二氧化硅膜的经时绝缘击穿是由多种原因引起的,但是主要原因在于连续的电流流过二氧化硅膜时产生绝缘击穿。图 7.4 为 MOS 电容器的二氧化硅膜中俘获电荷前后的能带图,俘获的电荷量越多,二氧化硅膜中局部电场强度也越强。如果继续有电流流动的话,二氧化硅膜中积蓄更多的正的或者负的电荷,积蓄的电荷量越多内部电场越强。其结果是俘获的电荷更多,最终导致 Si—O 键断裂,发生永久性的击穿。

二氧化硅膜中产生的陷阱有空穴陷阱、电子陷阱以及中性陷阱。这些陷阱是由二氧化硅膜中的氧原子位置的缺氧或者 H 和 OH 基的存在形成的。这些陷阱有时也可能是由工艺过程中使用的等离子体发生的高能粒子射线、以及二次 X 线照射在二氧化硅薄膜上而生成的。其中,空穴的生成和经时绝缘击穿有着密切的关系。现举一例说明空穴生成过程,当二氧化

硅薄膜上加上强电场时,高能电子注入二氧化硅薄膜中,生成电子空穴对。但是由于空穴的迁移率比电子迁移率要低 2~3 个数量级,所以空穴很容易被俘获,这些被俘获的空穴在 SiO_2 中产生电场。如上述的那样,高能电子的注入和空穴的俘获连续地重复发生,最后导致绝缘击穿。为了防止这种绝缘击穿,必须彻底地减少 SiO_2 中的杂质,保持 SiO_2 和衬底界面的完整性防止电场局部集中。

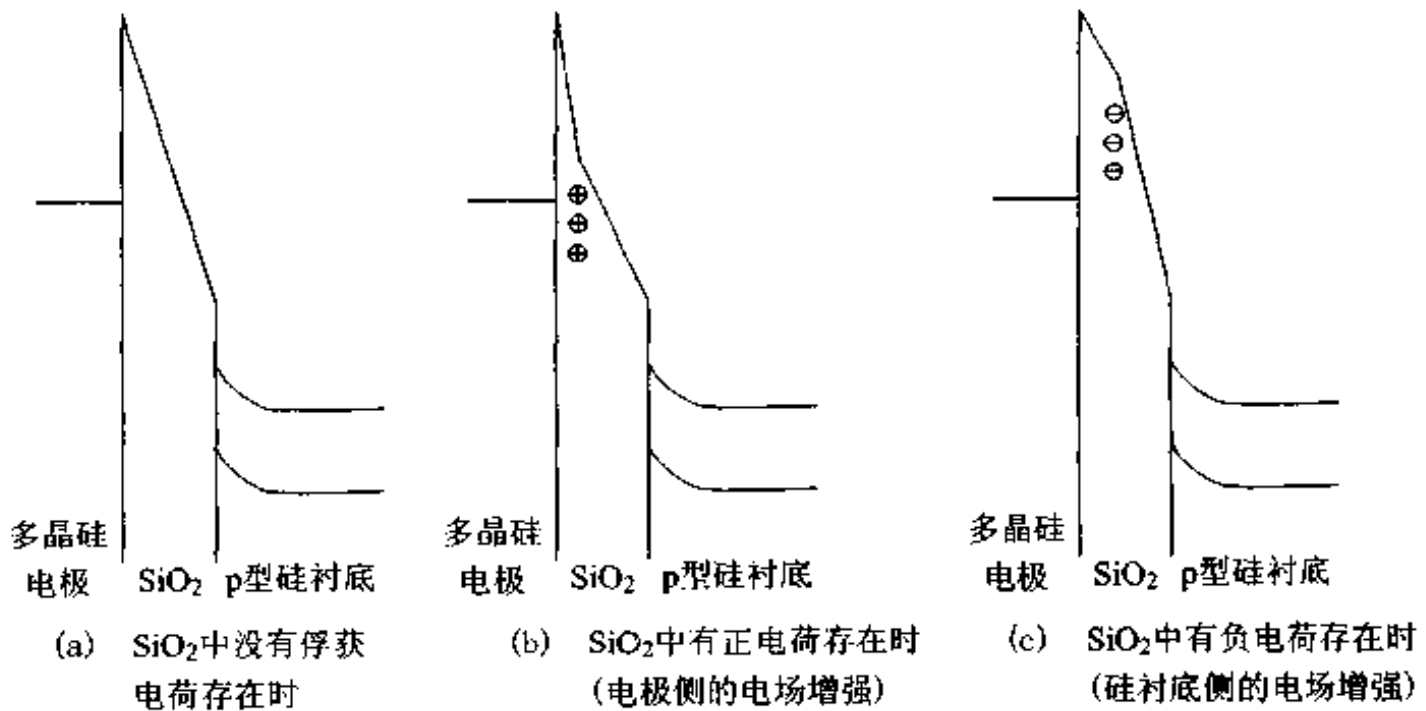


图 7.4 MOS 电容的能带图

7.3 热载流子引起 MOS 晶体管退化的机理

正如《集成电路 A》第 2 章所阐述的那样, MOS 晶体管是按着比例缩小法则小型化的。可是,电源电压不一定和器件的尺寸按比例地降低,大部分的情况下保留原来的电源电压值。因而,随着器件尺寸的微型化, MOS 晶体管内部的电场增大,当沟道长在 1 微米以下时,漏极附近的电场强度高达到 10^5V/cm 以上。晶体管中,由源极奔向漏极的电子或空穴通过这一高电场区域时,由电场获得很大的加速能量,处于比热平衡状态高得多的能量状

态。这些就被称为热载流子(热电子或热空穴)。

这些热载流子的一部分直接注入栅极二氧化硅膜中;一部分引起碰撞电离,产生更多的电子空穴对,这些由碰撞电离产生的电子空穴对中也有一部分注入栅极二氧化硅膜内,使二氧化硅膜产生缺陷,造成器件的性能退化。这种热载流子使器件性能随时间而变化,严重地影响了集成电路的可靠性。

热载流子的注入机制有6种,包括3种在漏极附近的局部区域进行的注入:①沟道热电子 CHE(Channel Hot Electron)注入,②漏极雪崩热载流子 DAHC(Drain Avalanche Hot Carrier)注入,③二次热电子 SGHE(Secondary Generation Hot Electron)注入。以及3种向整个沟道平面的注入:④衬底热电子 SHE(Substrate Hot Electron),⑤F-N隧道注入及⑥直接隧道(DT)注入。

电子的离化率要比空穴的离化率大得多,所以热载流子退化成为 nMOS 晶体管的主要问题。因此下面介绍 nMOS 晶体管热载流子退化现象以及防止这种退化而采用的 LDD 结构 MOS 晶体管。

7.3.1 nMOS 晶体管热载流子退化现象

当栅极电压 V_{GS} 小于漏极电压 V_{DS} 时,热载流子引起的退化最为显著。此时,栅极绝缘膜下的沟道被夹断,漏极附近的电场变得非常强。如图 7.5(a)所示,由源极流出的电子通过这一强电场区域时,成为热电子,引起碰撞电离,产生更多数量的电子-空穴对。这样产生的热载流子称为漏极雪崩热载流子(DAHC)。部分漏极雪崩热载流子注入栅极二氧化硅膜,使栅极二氧化硅膜中产生陷阱和界面能级,使 MOS 晶体管的跨导 g_m 、阈值电压 V_{th} 发生变化。在产生漏极雪崩热载流子的同时,以同样的机理产生衬底电流 I_{sub} 。在 I_{sub} 最大时,由漏极雪崩热载流子引起器件的性能退化最为显著。

沟道热电子(CHE)注入现象如图 7.5(b)所示。在 V_{GS} 近似于 V_{DS} 时,由源极流出的电子被漏极附近的高电场加速,热化了的电子(幸运电子, lucky electron,即极少数能进入栅极氧化硅膜中的电子)注入栅极二氧化硅膜。室温下,由沟道热电子注入产生的器件退化与漏极雪崩热载流子相比要小得多。在 77K 低温下工作的器件中,俘获电子的影响变大,和其他的注入机理相比,最易引起器件的退化。此外,二次热电子(SGHE)的注入是

在 $V_{GS} < V_{DS}$ 条件下由雪崩倍增引起的,这一点和漏极雪崩热载流子相同。二次热电子的注入很少引起器件退化,但是需要注意的是它会扩散到附近的器件中去。此外,衬底热电子(SHE)的注入是由耗尽层内的电场将由衬底注入耗尽层内的电子或者耗尽层内产生的电子加速,注入到二氧化硅膜中去的现象,如图 7.5(c)所示。电路正常工作时,不会引起衬底热电子的注入。但是,当衬底上加有高电压,作为自举电路使用时必须对此加以注意。

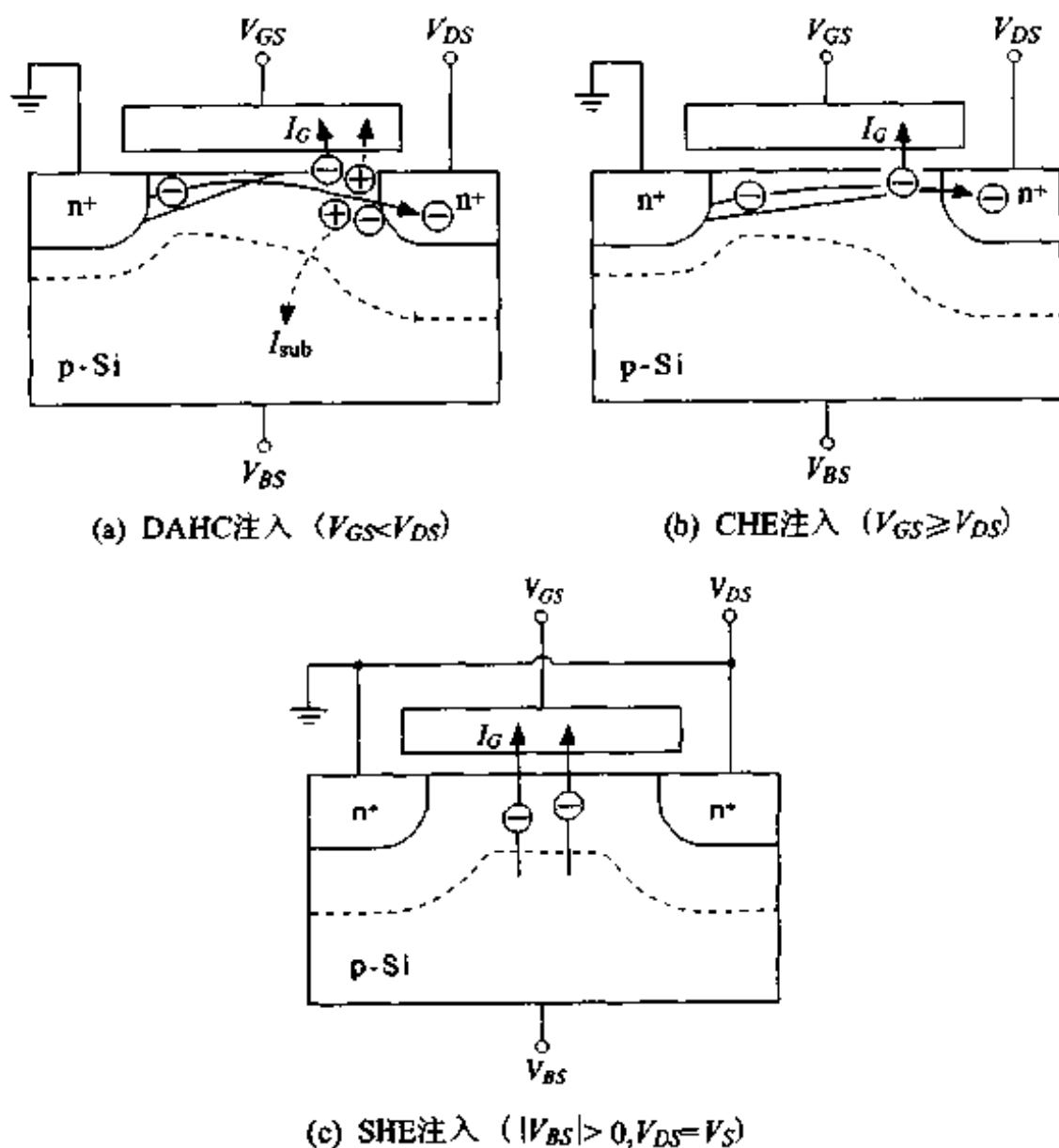


图 7.5 热载流子退化现象

图 7.6 表示由漏极雪崩热载流子(DAHC)注入和沟道热电子(CHE)注入引起的 g_m 退化和 V_{th} 的变化与加载时间的关系^[3],可见, $\log(\Delta g_m/g_m)$ 和

$\log(\Delta V_{th})$ 均和 $\log(t)$ 成线性的变化。从而可用下式表示

$$\frac{\Delta g_m}{g_m} \text{ (或 } \Delta V_{th}) = A \cdot t^n \quad (7.1)$$

式中, A 为退化系数, n 值和 V_{GS} 有着很强的依赖关系, 而几乎和 V_{DS} 无关。

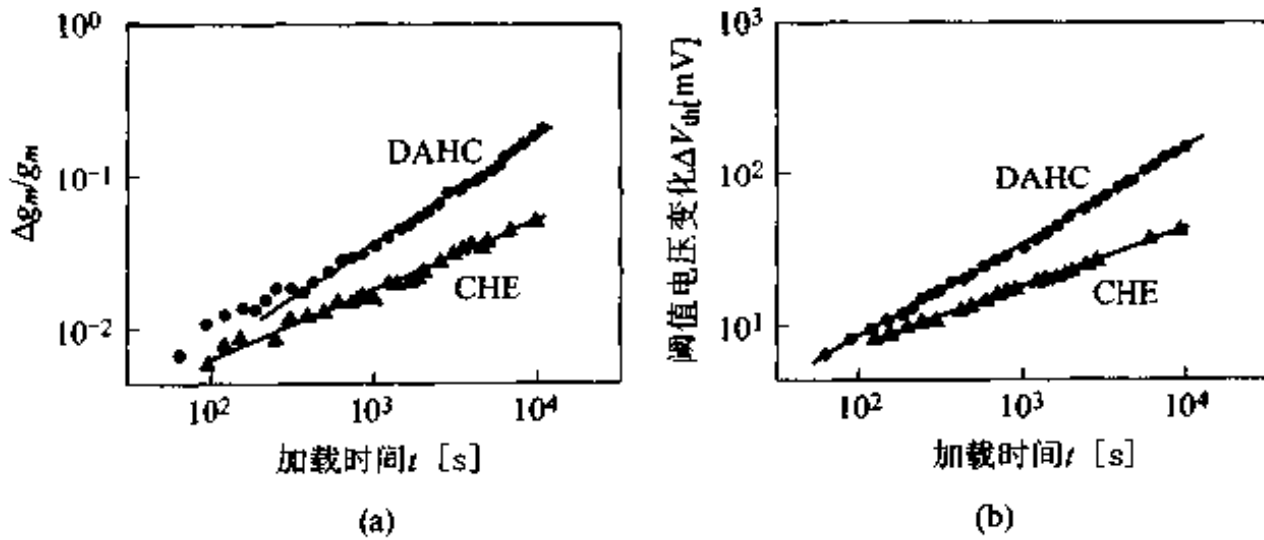


图 7.6 热载流子注入引起 g_m 和 V_{th} 的变化^[3]

(加载条件: DAHC ($V_{DS} = 6.6V, V_{GS} = 3V, V_{GS} = -3V$),

CHE ($V_{DS} = V_{GS} = 6.6V, V_{BS} = -3V$), $t_{ox} = 20nm, L_{eff} = 0.8\mu m$)

漏极雪崩热载流子注入时, n 为 $0.5 \sim 0.6$ 。 A 强烈地依赖于 V_{DS} 和有效沟道长度 L_{eff} 等。可用下式来表示

$$A \propto \exp\left(-\frac{\alpha}{L_{eff}}\right) \cdot \exp\left(-\frac{\beta}{V_{DS}}\right) \quad (7.2)$$

现在, 以 $\Delta g_m/g_m$ 或者 ΔV_{th} 达到一定值 (例如, $\Delta g_m/g_m = 10\%$, $\Delta V_{th} = 10mV$) 时的加载时间 t 定义为器件耐热载流子的寿命 τ_{HC} :

$$\tau_{HC} \propto \exp\left(\frac{b}{V_{DS}}\right) \quad (7.3)$$

式中, $b = \beta/n$ 。从而, 由 $\log \tau_{HC}$ 和 $1/V_{DS}$ 的关系曲线可以推定出在所使用的电源电压下的器件寿命 τ_{HC} 。衬底电流 I_{sub} 可用漏极电压的指数函数来近似地表示:

$$I_{sub}(\max) = \exp\left(-\frac{\gamma}{V_{DS}}\right) \quad (7.4)$$

由式(7.3)和(7.4)可得到寿命 τ_{HC} 和 I_{sub} 之间的关系为

$$\tau_{HC} \propto (I_{sub})^{-\gamma} \quad (7.5)$$

由图 7.7 可知,对采用同样的技术所制造的器件,不管沟道长短和加载电压的大小,这一关系都成立^[4]。该图中 $\gamma \approx 2.9$ 。从而,当寿命是由热载流子退化决定的器件中,衬底电流是推定器件寿命的最重要的指标。

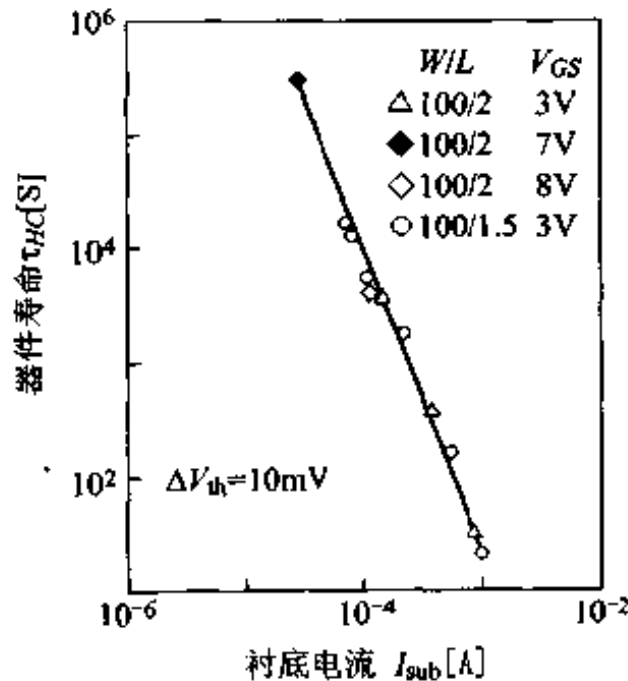


图 7.7 热载流子注入时器件寿命和衬底电流之间的关系^[4]

7.3.2 LDD 结构 MOS 晶体管

兆比特级的超大规模集成电路中,最常用是一种具有防止由热载流子引起退化的 LDD (Light Doped Drain) 结构的 MOS 晶体管^[5]。所谓 LDD 结构,是在高掺杂的 n 型源极、漏极 (n^+) 相邻的区域中形成低掺杂的 n 型层 (n^-),由低掺杂层使漏极附近的电场获得缓和,来抑制热载流子引起的退化。图 7.8 为制造 LDD 结构的工艺流程图。LDD 结构中, n^- 层的最优化杂质浓度是重要的设计参数。通常, n^- 层的杂质浓度为 10^{17}cm^{-3} 左右。但是,在此条件下,一旦引起热载流子的注入,由于 SiO_2 中俘获的负电荷的影响, n^- 层的电阻变高,增大了 g_m 的退化。因而,使热载流子引起的退化为最小的 n^- 层的杂质浓度为 10^{18}cm^{-3} 数量级。

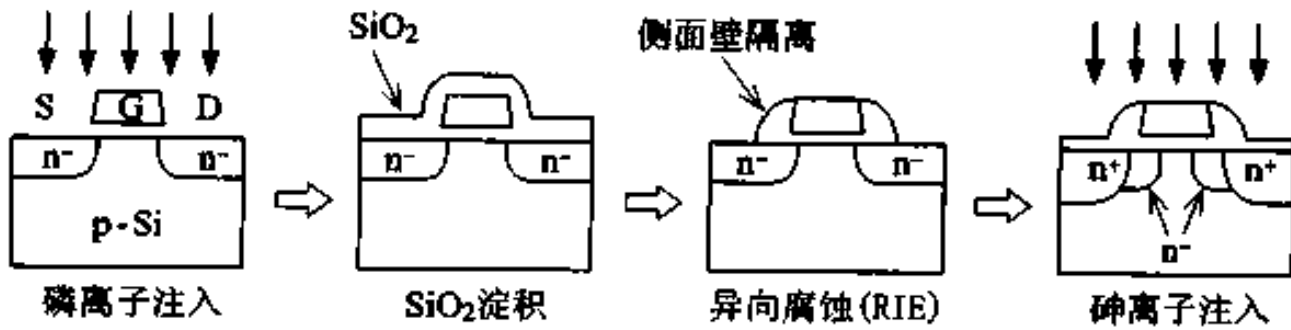


图 7.8 LDD 结构形成的工艺流程

以上,我们阐述了热载流子退化现象以及防止热载流子退化的 LDD 结构。现在, MOS 集成电路的电源电压还没有降低到不至于产生热载流子退化的程度,所以如何设计器件使其能确实不发生热载流子退化仍为一个重要的课题。

7.4 布线退化机理

集成电路中,广泛地使用铝材料作为互连布线材料。这主要是由于铝的电阻率低,价格便宜,可获得高纯度材料的缘故。但是,铝布线也存在许多问题。本节主要介绍这些问题中影响最大的电子迁移以及应力迁移的问题。

7.4.1 电子迁移

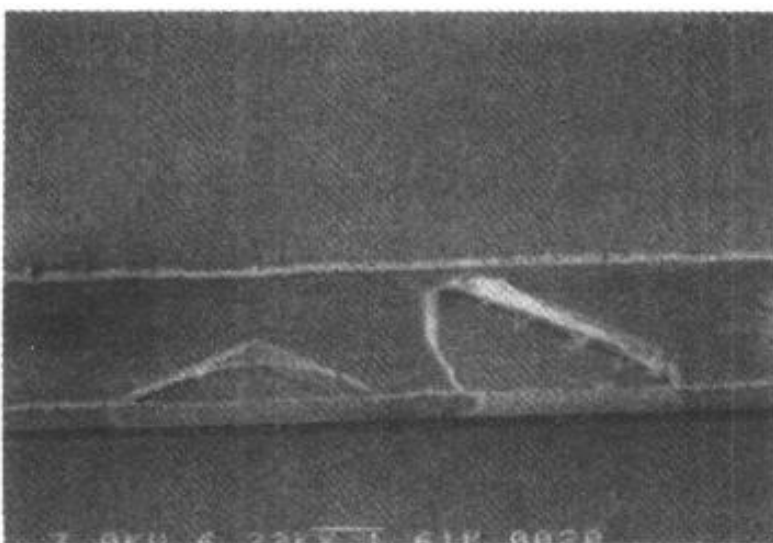


图 7.9 由电子迁移而形成的布线空洞

电子迁移是影响布线可靠性产生的最主要故障原因。电流在布线中流动时,由于电子和铝原子的相互作用,铝原子发生迁移,这一现象称为电子迁移。当铝原子的迁移量变大时,布线中形成空洞直至断线。同时,铝原子迁移堆积形成丘状(hillock)凸起,引起与邻近布线的短路故障。图 7.9 为电子迁移形成的空洞的电

子显微镜照片。在电流密度 $1 \times 10^6 \text{ A/cm}^2$ 、 200°C 环境下,通电几千小时后形成照片中所示的空洞,使集成电路无法工作。随着集成电路的精细化和高度集成化,不可避免地会使流过布线的电流密度更大,所以防止电子迁移故障的发生是一个重要的课题。假设集成电路布线的电流密度为 $10^5 \sim 10^6 \text{ A/cm}^2$,一般家庭用的电线直径为 1.2mm ,只有 10A 的电流通过,即电流密度为 10^3 A/cm^2 。相比之下,集成电路布线中的电流密度是家庭用电线的 $100 \sim 1000$ 倍。

移动中的电子和铝原子相碰撞时,铝原子主要是沿着晶粒边界移动。铝的熔点低,晶粒边界的自扩散系数大,所以易发生电子迁移。由电子迁移引起的铝原子的移动随着电流密度的增加和温度的增高而变得明显,到发生故障时的平均时间 MTTF (Mean Time To Failure) 可用下式表示^[6]

$$\text{MTTF} = A \cdot J^{-n} \cdot \exp\left(\frac{E_a}{kT}\right) \quad (7.6)$$

式中, J 为电流密度, E_a 为激活能, k 为玻尔兹曼常数, T 为绝对温度, A 为布线的固有系数。常数 n 为电流加速系数,一般取 $1 \sim 3$ 。激活能 E_a 约为 $0.5 \sim 0.8\text{eV}$ 。

因电子迁移引起的故障和布线中的晶粒边界的配置和缺陷有关,具有统计性。所以,布线的长和宽影响着由电子迁移所决定的布线失效的寿命。一般说来,布线越长寿命越短,达到一定长度时,寿命趋于某一定值。从而在评价可靠性时,布线的长度定为几毫米长。关于布线的宽度,因为电子迁移的寿命是由晶粒的直径和布线宽度的关系来决定的,所以当布线的宽度比晶粒的直径小时,电子迁移寿命有变长的趋势。相反,布线的宽度比晶粒的直径大时,电子迁移寿命变短。这主要是由于晶粒直径和布线宽度相当或小于布线宽度时,铝原子易于通过晶粒间界迁移的缘故。布线一般采用铝靶材溅射法形成,布线的成膜条件不同寿命的长短也不同。具体地说,铝薄膜的晶向沿着 (111) 方位排列时,寿命长^[7]。

此外,还研究了许多防止电子迁移的方法,并付诸于实施。例如,在铝中加入千分之一至百分之几的铜或硅等杂质可延长布线的寿命。在铝薄膜上沉积耐电子迁移性好的材料也很有效。这是因为,熔点比铝高的材料,例如钛、氮化钛、钨等的原子难以迁移,当它们覆盖在铝膜上时,即使铝中形成空洞也不至于达到断线的程度。

随着集成电路的发展,不断要求延长电子迁移的寿命,实际上人们想出

了许多办法来满足长寿命的要求。最近几年,人们正在研究采用其他金属材料来取代铝达到长寿命的目的。布线用的材料必须是低电阻率的材料,和铝的电阻率 $2.7\mu\Omega \cdot \text{cm}$ 同等或更小的材料并不多。铜、银等贵金属可作为代替铝的材料。但是,他们都具有精细加工困难,以及如何抑制腐蚀和氧化的问题。

7.4.2 应力迁移

上面叙述的电子迁移是通电状态时发生的断线故障。应力迁移是在不通电的情况下,集成电路因高温储存,以及低、高温的温度循环使铝布线中产生空洞、断裂,直至断线的现象。发生应力迁移时,铝原子移动的动力是作用于布线上的拉伸应力。这种拉伸应力主要是铝布线和绝缘膜之间的热膨胀系数不同而引起的热应力。从而,在没有用绝缘膜保护的布线中,就不会出现因应力迁移而出现故障。

此外,与电子迁移不同,应力迁移具有布线越细产生失效的几率越高的特点。为了防止应力迁移,往往在铝中添加铜等杂质或者采用在铝膜表面

威布尔(Weibull)分布

作为可靠性评价的统计处理,常使用威布尔(Weibull)分布函数。按威布尔分布函数分布的失效概率密度函数 $f(t)$ 为:

$$f(t) = \frac{mt^{m-1}}{\eta^m} \exp\left[-\left(\frac{t}{\eta}\right)^m\right], \quad -\infty < t < \infty$$

累积失效分布函数 $F(t)$ 为:

$$F(t) = 1 - \exp\left[-\left(\frac{t}{\eta}\right)^m\right]$$

式中, m 为形状参数, η 为尺度参数。

在评估栅极绝缘膜的经时绝缘击穿时,常用对数正态分布。此外,有时也用失效率 $\lambda(t)$ 或者到发生失效的平均时间 MTTF (Mean Time To Failure, 也称为平均正常工作时间) 来评估可靠性。

失效率 $\lambda(t)$ 以及 MTTF 的定义如下:

$$\lambda(t) = \frac{d \ln R(t)}{dt} = \frac{f(t)}{R(t)} = \frac{1}{1 - F(t)}$$

$$\text{MTTF} = \int_0^{\infty} R(t) dt = \int_0^{\infty} t f(t) dt$$

失效率常用的单位为 FIT ($10^{-9}/\text{h}$)、%/1000h。

上面,我们阐述了布线退化现象的典型事例,对电子迁移和应力迁移作了简单的说明。除此之外,还存在着由水分引起的布线腐蚀、氧化、布线间的连接部接续不良等各种退化现象。因而必须了解所有影响布线退化的机理,以不断提高其可靠性。

练 习 题

- 1 举例说明影响氧化膜耐压特性的因素。
- 2 论述6种热载流子注入机理。详述严重影响器件退化的一种机理。
- 3 说明两种典型的布线退化现象,其退化的动力分别是什么?
- 4 为推测电子迁移的寿命,在进行铝布线加速试验时,在200℃的环境下,外加密度为 $1 \times 10^6 \text{ A/cm}^2$ 的电流,得出平均正常工作时间为230小时。在实际使用时(电流密度 $2 \times 10^5 \text{ A/cm}^2$,50℃)布线的寿命为几年?设该布线的激活能为0.5eV,电流加速系数为2。玻尔兹曼常数为 $1.38 \times 10^{-23} \text{ J/K}$,1eV为 $1.602 \times 10^{-19} \text{ J}$ 。

引用文献

- [1] 山部紀久夫:半導体研究[9],半導体研究会(1985),p.75
- [2] 穗刈泰明:電気化学誌,58(1990),p.102
- [3] E. Takeda and N. Suzuki; IEEE Electron Device Lett., EDL-7(1986),p.561
- [4] C. Hu, S. C. Tam, F-C Hsu, P-K Ko, T-Y Chan and K. W. Terrill; IEEE Trans. Electron Devices, ED-32(1985),p.375
- [5] S. Ogura, P. J. Ysang, W. W. Walker, D. L. Chritchlow and J. F. Shepard; IEEE Trans. Electron Devices, ED-27(1980),p.1359
- [6] J. R. Black; Annual Proc. of 16 th IEEE Int. Reliability Physics Symposium(1978), pp. 233—240
- [7] S. Vaidya and A. K. Sinha; Thin Solid Films,75(1981),pp.253—259

练习题解答

1 _____

1 省略(请参照正文)。

2 省略(请参照正文)。

2 _____

1 省略(请参照正文)。

2 省略(请参照正文)。

3 省略(请参照正文)。

4 省略(请参照正文)。

5 省略(请参照正文)。

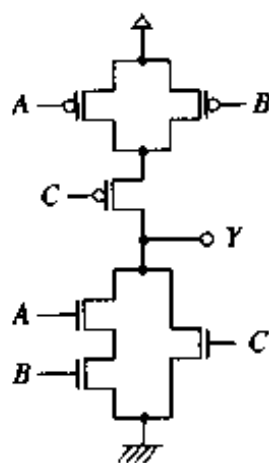
6 提示:参照图 2.14 迷路法。

7 省略(请参照正文)。

3 _____

1

(1)



$$f = A \cdot B + C$$

$$\bar{f} = (\bar{A} + \bar{B}) \cdot \bar{C}$$

图 1

(2)

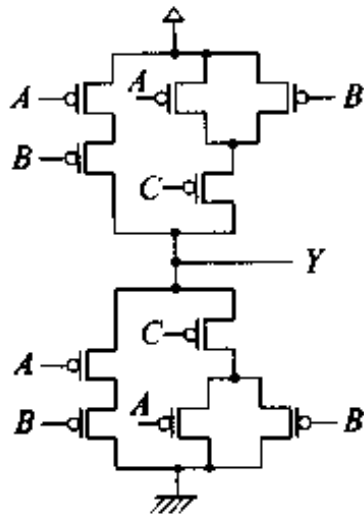


图 2

$$f = AB + (A + B)C$$

$$\bar{f} = \bar{A}\bar{B} + (\bar{A} + \bar{B})\bar{C}$$

(或者 = $(\bar{A} + \bar{B}) \cdot (\bar{A} \cdot \bar{B} + \bar{C})$)

2

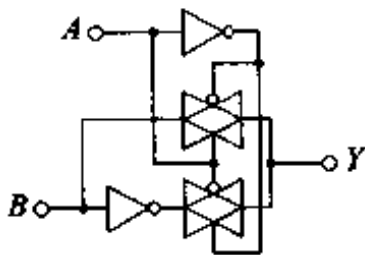


图 3

$$Y = \overline{A \oplus B}$$

$$= AB + \bar{A}\bar{B}$$

$$= \begin{cases} B & (A = "1") \\ \bar{B} & (A = "0") \end{cases}$$

3

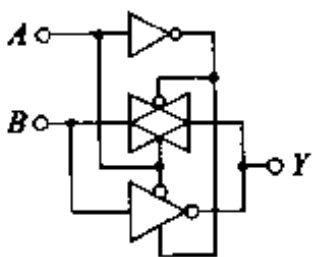
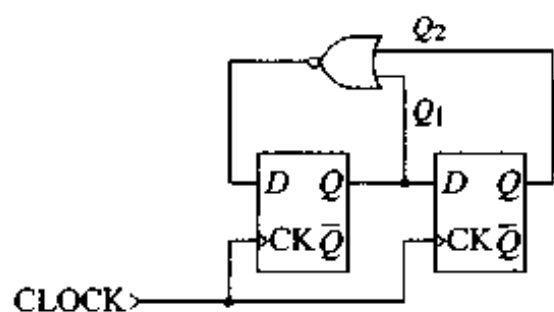


图 4

4

表 1

现在状态	Q_2	Q_1	下一状态	D_2	D_1
S_1	0	0	S_2	0	1
S_2	0	1	S_3	1	0
S_3	1	0	S_1	0	0



$$D_1 = \overline{Q_2 + Q_1}$$

$$D_2 = Q_1$$

图 5

5 设 $TA = TB$. 然后求它们的 EXOR (异或门, 排他的逻辑和) 即可。

第 1 步: RR(寄存器: A) \rightarrow TAW

第 2 步: RR(寄存器: A) \rightarrow TBW, OPR: EXOR(TA, TB)

第 3 步: AR \rightarrow RW(寄存器: A), END

6 这是因为在 RISC(简化指令集计算机)中, 如果采用处理能力强的 CPU, 就可以由软件代替硬件进行处理的缘故。例如, 硬件计数器中有专用的加法器, 每发生一个事件, 计数器就进行计数; 这与用 CPU 来实现事件计数时, 由软件指示 ALU(算术逻辑运算模块)进行 +1 的运算是等效的。若 CPU 的处理能力有余地的话, 就可以由 CPU 来代替部分外围设备的功能。

4

1 在图 4.1 里, 忽略基极电流时的基尔霍夫定理为:

$$I_{REF} \cdot R_{REF} + V_{BE0} = I_1 \cdot R_1 + V_{BE1}$$

$$\therefore V_{BE1} - V_{BE0} = I_{REF} \cdot R_{REF} - I_1 \cdot R_1 \quad (1)$$

此外,

$$V_{BE1} - V_{BE0} = V_T \ln\left(\frac{I_1}{I_S}\right) - V_T \ln\left(\frac{I_{REF}}{I_S}\right) = V_T \ln\left(\frac{I_1}{I_{REF}}\right)$$

式中, I_S 是反向饱和电流, 它是由工艺条件决定的常数。将上式代入式(1), 则

$$V_T \ln\left(\frac{I_1}{I_{REF}}\right) = I_{REF} \cdot R_{REF} - I_1 \cdot R_1$$

$$\frac{I_1}{I_{REF}} = \frac{R_{REF}}{R_1} \left(1 - \frac{1}{I_{REF} \cdot R_1} V_T \ln \frac{I_1}{I_{REF}}\right)$$

在上式中, 因为 $I_{REF} \cdot R_1 \gg V_T$ (V_T 大约为 26mV, 该项是可以忽略的), 所以

$$\frac{I_1}{I_{REF}} \approx \frac{R_{REF}}{R_1}$$

同理,

$$\frac{I_1}{I_{REF}} \approx \frac{R_{REF}}{R_2}$$

2 在图 4.2 中, 忽略基极电流, 则电阻 R_3 两端的电压为

$$V_3 = V_{BE1} - V_{BE2} = V_T \ln \frac{I_1}{I_2}$$

$$V_2 = I_2 R_2 = \frac{V_3}{R_3} R_2 = \frac{R_2}{R_3} V_T \ln \frac{I_1}{I_2}$$

$$\therefore V_{REF} = V_{BE3} + V_2 = V_{BE3} + \frac{R_2}{R_3} \cdot \frac{kT}{q} \cdot \ln \frac{I_1}{I_2}$$

3 在图 6 所示的晶体管等效电路里, 集电极电压 v_c 可由下式表示:

$$v_c = -g_m \cdot v_{be}$$

因此, 在图 4.4 的差动放大器里,

$$v_{OUT+} = -g_m \cdot R_C \frac{v_{id}}{2}$$

$$v_{OUT-} = g_m \cdot R_C \frac{v_{id}}{2}$$

$$\begin{aligned} \therefore v_{OUT} &= v_{OUT+} - v_{OUT-} \\ &= -g_m \cdot R_C \cdot v_{id} \\ \therefore A_d &= -g_m \cdot R_C \end{aligned}$$

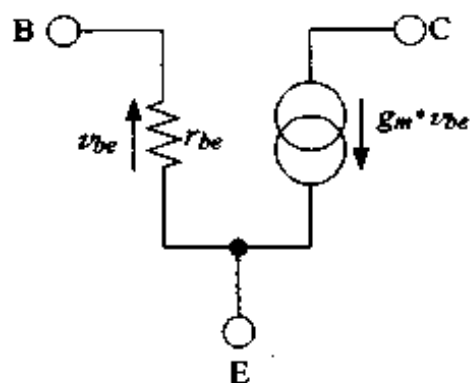


图 6 晶体管等效电路

4 式(4.6)中的负号是表示输出信号与输入信号的相位相反。在此不必考虑信号的相位, 只取其绝对值即可。将必要的常数代入式中, 就可以得到如下结果:

$$\begin{aligned} A_d &= g_m \cdot R_C = \frac{q \cdot I_C}{k \cdot T} R_C \\ &= \frac{(1.6 \times 10^{-19}) \times I_C}{(1.38 \times 10^{-23}) \times (273 + 27)} \times (1 \times 10^3) = 10 \end{aligned}$$

右边的“10”是指差动电压增益为 10 倍, 如果用分贝 (dB) 来表示的话则为“20dB”。由此可知, $I_C = 259\mu\text{A}$ 。所以, 差动放大器所需要的总电流为 $260\mu\text{A}$ 。

5 如果不考虑精度, 只计算必要的分辨率的话, 则

$$\text{最小分辨率} = \frac{\text{输入电压幅值}}{2^{\text{分辨率}}}$$

所以

$$\text{分辨率} = \log_2 \frac{10}{0.05} = 8\text{bit}$$

8bit 的最小分辨率为 $10/2^8 = 0.039\text{V}$ 。如果考虑精度的话, 则:

最小分辨率 = $0.039 + 0.039/2 = 0.0585\text{V}$ 。由此可知, 用 8bit 的 A/D 转换器是不

能保证 0.05V 的精度, 至少需要 9bit 的 A/D 转换器。

6 因为吸收计数器是 7bit 的, 所以分频比 A 可以设定为 $A = 0 \sim 127$ 。根据式(4.15) 就可以得到下列两组设定值。

f_{VCO}	N	A	N	A
800.000MHz	499	64	500	0
800.025MHz	499	65	500	1
800.050MHz	499	66	500	2
800.075MHz	499	67	500	3
800.100MHz	499	68	500	4
800.125MHz	499	69	500	5
800.150MHz	499	70	500	6
800.175MHz	499	71	500	7
800.200MHz	499	72	500	8

5

1 省略(请参照正文)。

2

$$\begin{aligned} \because C_B V_{pr} + C_S (V_{cell} - V_{PL}) &= C_B V_x + C_S (V_x - V_{PL}) \\ \therefore V_x - V_{pr} &= \frac{(V_{cell} - V_{pr}) C_S}{C_B + C_S} \\ &= \frac{(3 - 2.5) 30}{500 + 30} = 0.02 [V] \end{aligned}$$

3 省略

提示: 供给双稳态电路的电流变得很微小。在放置不管的极端情况下, 节点的电荷完全泄漏为零。

4 省略

提示: 首先应考虑的是不管存储单元持有的信息如何, 在非选择时是希望晶体管处于导通状态, 还是希望晶体管处于截止状态? 在电流通路切断型存储单元中, 以控制栅极电位使存储单元处于非选择状态(0 V)时, 要确保存储单元晶体管处于截止状态。

在 NAND 型快闪存储器存储单元中, 以控制栅极电位使存储单元处于非选择状态(例如, 5V)时, 要确保存储单元晶体管处于截止状态。不能由浮游栅极过多地抽取电子是属于哪种情况? 不能过多地将电子注入浮游栅又是属于哪种情况?

6

1 由芯片到大气的热阻可用类似电路的串联法则进行计算：

$$R_t = 5 + 25 + 45 = 75 \text{ [}^\circ\text{C/W]}$$

2 芯片功耗为 0.8 W 时芯片和大气之间的温度差为

$$\Delta t = 0.8 \text{ W} \times 75 \text{ }^\circ\text{C/W} = 60 \text{ }^\circ\text{C}$$

芯片和大气之间的温度差为 60°C 时,为了使芯片的温度不超过 125°C,大气的温度必须在 125°C - 60°C = 65°C 以下。

7

1 省略(请参照正文)。

2 省略(请参照正文)。

3 省略(请参照正文)。

4 根据

$$230 = A \cdot (1 \times 10^6)^{-2} \cdot \exp\left(\frac{0.5 \times 1.602 \times 10^{-19}}{1.38 \times 10^{-23} \times 473}\right)$$

可得

$$A = 1.08 \times 10^9$$

从而

$$\begin{aligned} \text{MTTF} &= 1.08 \times 10^9 \times (2 \times 10^5)^{-2} \cdot \exp\left(\frac{0.5 \times 1.602 \times 10^{-19}}{1.38 \times 10^{-23} \times 323}\right) \\ &= 1.72 \times 10^6 \text{ [h]} = 196 \text{ [年]} \end{aligned}$$

参考文献

■ 2

- 1) 菅野卓雄, 堀口勝治: ULSI設計技術, 電子情報通信学会, コロナ社 (1993)
- 2) 今井正治: ASIC技術の基礎と応用, 電子情報通信学会, コロナ社 (1994)

■ 3

- 1) 飯塚哲哉編: CMOS超LSIの設計, 培風館 (1989)
- 2) N. Weste, K. Eshraghian 著, 富沢孝, 松山泰男監訳: CMOS VLSI設計の原理, 丸善 (1988)
- 3) 西久保靖彦: 基本ASIC用語事典, CQ出版 (1992)

■ 4

- 1) A. B. GREBENE: BIPLOAR AND MOS ANALOG INTEGRATED CIRCUIT DESIGN, A Wiley-Interscience Publication (1984)
- 2) 柳井久義, 永田穰: 集積回路工学 (2), コロナ社 (1985)

■ 6

- 1) H. B. Bakoglu 著, 中澤喜三郎, 中村宏監訳: VLSIシステム設計—回路と実装の基礎, 丸善 (1995)

OHM 电子电气入门丛书

-
- 图解电子电路 [日]福田 务 栗原 丰 向坂荣夫 著 丁国骏 译
大 32 开 21.00 元
-
- 图解电与磁 [日]福田 务 著 赵立竹 译
大 32 开 16.50 元
-
- 图解电气电子测量 [日]熊谷文宏 著 王益全 译
大 32 开 17.50 元
-
- 图解晶体管电路 [日]饭成高男 椎名晴夫 田口英雄 著 蒋铃鹤 译
大 32 开 18.50 元
-
- 图解运算放大器电路 [日]内山明治 村野 靖 著 陈镜超 译
大 32 开 21.00 元
-
- 图解电子电路的计算 [日]栗原 丰 向坂荣夫 福田 务 著 陈 敏 译
大 32 开 16.00 元
-
- 图解数字电路 [日]内山明治 堀江俊明 著 曹广益 译
大 32 开 17.00 元
-
- 图解数字电路的计算 [日]饭成高男 椎名晴夫 田口英雄 著 钱允琪 译
大 32 开 17.50 元
-
- 图解电力技术 [日]福田 务 相原良典 著 提兆旭 译
大 32 开 18.00 元
-
- 图解电力应用 [日]木村博司 粉川昌巳 著 程君实 译
大 32 开 19.00 元
-
- 图解电机电器 [日]饭田成男 泽间照一 著 李福寿 译
大 32 开 18.00 元
-
- 图解通信 [日]伊落 崧 石井坚太郎 大园博嗣 桥本三男 著 何 晨 译
大 32 开 19.00 元
-

OHM 电子电气入门丛书图解电子电路讲座

-
- 晶体管电路 [日]曾和将容 著 邹振民 译
大 32 开 16.50 元
-
- 放大电路 [日]砂泽 学 著 商福昆 译
大 32 开 15.00 元
-

振荡/调制解调电路 [日]小柴典居 植田佳典 著 李平 译
大32开 16.00元

脉冲电路 [日]清水贤资 鸿田五郎 著 彭斌 译
大32开 12.00元

数字电路 [日]清水贤资 曾和将容 著 白玉林 译
大32开 14.00元

放大电路的设计 [日]喜安善市 伏见和郎 主编 小柴典居 著
白玉林 译
大32 18.00元

图解电子电路系列

电路基础 [日]饭高成男 著 张建荣 译
大32开 15.00元

模拟电路 I [日]佐野敏一 高木宣昭 竹内守 著 张建荣 译
大32开 13.00元

模拟电路 II [日]柄本治利 真真田胜久 著 张建荣 译
大32开 14.00元

脉冲电路 [日]菅谷光雄 中村征寿 著 何希才 译
大32开 14.00元

数字电路 [日]伊藤恭史 著 韦琳 潘桂堂 译
大32开 16.00元

图解机电一体化入门系列

机电一体化电子学入门 [日]妹尾允史 著 金寿日 译
大32开 18.00元

信号处理入门 [日]佐藤幸男 著 宋伟刚 译
大32开 16.00元

数字控制入门 [日]高木章二 著 王稼棠 译
大32开 20.00元

CAD/CAM/CAE入门 [日]安田仁彦 著 赵文珍 译
大32开 17.00元

控制用微机入门 [日]末松良一 著 刘本伟 译
大32开 19.00元

接口电路入门 [日]藤原修 著 张家齐 译
大32开 17.00元

传感器入门 [日]雨宫好文 著 洪津赫 译
大32开 16.50元

机械控制入门 [日]末松良一 著 王献平 高航 译
大32开 15.00元

电子机械控制入门 [日]妹尾允史 著 白玉林 商福昆 译
大32开 14.00元

机器人控制入门 [日]大熊繁 著 王益全 译
大32开 16.50元

控制用电机入门 [日]松井信行 著 王稼棠 译
大32开 16.00元

图解音响录音技术丛书

图解录音制作入门 [日]相泽昭八郎 高和元彦 半田健一 著
何希才 张凤梧 贾波 尤克 译
16开 16.00元

图解录音技法入门 [日]若林骏介 著 何希才 唐绳斌 高杨 译
16开 28.00元

图解数字音响技术 [日]中岛平太郎 编著 袁榕林 译
大32开 15.00元

图解CD制激光数字唱片系统 [日]中岛平太郎 小川博司 著 袁榕林 译
大32开 19.00元

图解数字磁带录音机 [日]中岛平太郎 小高健太郎 著 何希才 张凤梧 译
大32开 24.00元

科龙网络技术系列

数字同步传输SDH系统 [日]河西宏之 横一光 辻久雄 著 杨明君 译
大32开 12.00元

光接入网技术 [日]山下一郎 川濑正明 太明纪久 著 杨明君 许秀英 译
大32开 12.00元

图解B-ISDN宽带综合业务数字网 [日]立川敏二 石川宏 著 金文雄 强增福 译
16开 28.00元

科龙图解电脑系列

-
- 图解 Windows 98 [日]小野胜彦 著 彭斌 译
16开 39.00元
-
- 图解 Word 97 [日]户内顺一 著 彭斌 译
16开 29.00元
-
- 图解 Excel 97 [日]山形库之助 著 许丽 译
16开 29.00元
-
- 图解 Excel 97 图表制作 [日]渡边八一 著 许丽 译
16开 29.00元
-

图解建筑装饰设计系列

-
- 图解室内装饰设计方法 [日]小宫容一 著 阮志大 王炜钰 译
16开 21.00元
-
- 图解室内装饰设计基础与技巧 [日]横崎雄之 著 冯乃谦 译
16开 24.00元
-
- 图解室内装饰材料——选择与使用 [日]小宫容一 著 冯乃谦 译
16开 20.00元
-
- 图解室内装饰设计图——读图与绘图 [日]尾上孝一 著 史其信 译
16开 20.00元
-
- 图解设计表示图法入门 [日]定松修三 定松润子 著
陆化普 史其信 陈娟 译
16开 21.00元
-
- 图解店铺的规划与设计 [日]横崎雄之 著 冯乃谦 译
16开 23.00元
-
- 图解室内照明 [日]小泉实 著 耶更岩 李文林 译
16开 32.00元
-
- 图解建筑设备知识 [日]山田信亮 打矢滋二 井上国博 冈田诚之 曾我部繁 著
卢有杰 卢莉云 译
16开 16.00元
-
- 图解隔震结构入门 日本免震构造协会 编 叶列平 译
16开 25.00元
-

生活与科学文库 OHM 图系列

数字革命新时代 [日]桑野幸德 著 杨明君 张凤梧 常敏慧 译
卢乃洪 何希才 校 32开 12.00元

我们的地球——让我们都来关心环境问题 [日]浦野弘平 著 傅二林 译
32开 7.00元

空气、环境与人类 [日]健康住宅促进会 编著 彭斌 译
9.00元

其 它

电力系统规划与运行 [日]田村康男 著 提兆旭 曹长征 译
大32开 24.00元

图解小型空调器——使用安装与维修 [日]OHM社 编 邸更岩 译
大32开 13.00元

图解静电感应器件 [日]西泽润一 监修 村冈公裕 龙田正隆 主编
吴康迪 董震中 吴天云 译
大32开 25.00元

图解食品加工 [日]西山隆造 安乐丰满 著 梁燕 译
大32开 12.00元

图解新产品开发指南 [日]铃木雄男 著 倪心一 张玉佳 译
大32开 12.00元

2000年预定出书

图解电工学入门 [日]OHM社 编 何希才等 译
A5 25.00元

图解电子学入门 [日]OHM社 编 薛培鼎等 译
A5 20.00元

图解日英汉电子/电气/信息词典 [日]新电气编辑部 编 A5 27.00元

电子器件 [日]神保孝志 编著 A5 13.00元

光电子学 [日]梅野正义 编著 A5 13.00元

- | | |
|------------------|---|
| 集成电路(A、B) | [日]荒井英辅 编著 邵春林等 译
A5 24.00元(全二册) |
| 实用混凝土大全 | 冯乃谦 主编
16开 140.00元 |
| 图解大厦设备基础百科 | [日]设备和管理编辑部 编
16开 35.00元 |
| 图解写字楼设备设计指南 | [日]空气调和·卫生工学会 编
16开 20.00元 |
| 图解建筑设计计算 | [日]山田修 著 卢有杰 译
16开 27.00元 |
| 图解洗手间的设计与维护 | [日]坂本菜子 著 乔春生 张培军 译
16开 49.00元 |
| 图解店铺装潢设计图——读图与绘图 | [日]山本洋一 著 杨静等 译
16开 20.00元 |
| 图解住宅建筑图——读图与绘图 | [日]吉松正行 松泽哲次郎 唐泽俊明 近藤优三 著
冯乃谦等 译
16开 21.00元 |
| 图解汽车驾驶——手动档 | 科龙工作室 编
12.00元 |
| 图解汽车驾驶——自动档 | 科龙工作室 编
12.00元 |
| 图解女性安全驾驶技术 | 科龙工作室 编
13.00元 |
| 记忆力减退的自我检测和预防 | [日]筑山节 著 孙晖等 译
15.00元 |
| 利用微生物保健 | [日]井上真由美 著 玄明查 译
11.00元 |
| 脑和神经的奥秘 | [日]小林肇 熊仓鸿之助 黑田洋一郎 畠中宽 著
孙晖等 译
15.00元 |
| 图解生活中的科学小实验 | [日]西山隆造 著 刘广源 译
13.00元 |

吃出健康

[日]西山隆造 三宅纪子 鹤水昭夫 著
13.00 元

舒适的室内环境设计

[日]小原俊平 古泽隆彦 菅真一郎 安藤 启 藤田茂明 著
彭 斌 译
11.00 元

图解住宅装饰的步骤

[日]山本佐代子 著
10.00 元

网络革命开创 21 世纪的新市场

[日]杉野 升 伊藤利明 编著 李 奕 译
15.00 元

本书著作权和专有出版权受到《中华人民共和国著作权法》的保护。凡对本书的一部分或全部进行转载、或用复印机进行复制或是在其它场合引用、以及录入电子设备等行为,均属侵害著作权,构成违法。

本书如需复制、引用、转载、改编时,必须得到版权所有者的许可。

如有任何疑问请与以下部门联系。联系时请尽量使用信函或传真形式。

科学出版社总编室 电话:010-64010643 传真:010-64019810

邮政编码:100717 地址:北京市东黄城根北街16号

北京东方科龙电脑图文制作有限公司 电话:010-82087401 传真:010-62072304

邮政编码:100029 地址:北京市朝阳区华严北里11号楼2层

[G e n e r a l I n f o r m a t i o n]

书名 = 21世纪大学新型参考教材系列 集成电路B

作者 = B E X P

页数 = 141

下载位置 = <http://202.118.180.121/ebook/sjy01/diskef/ef73/03/!00001.pdg>