

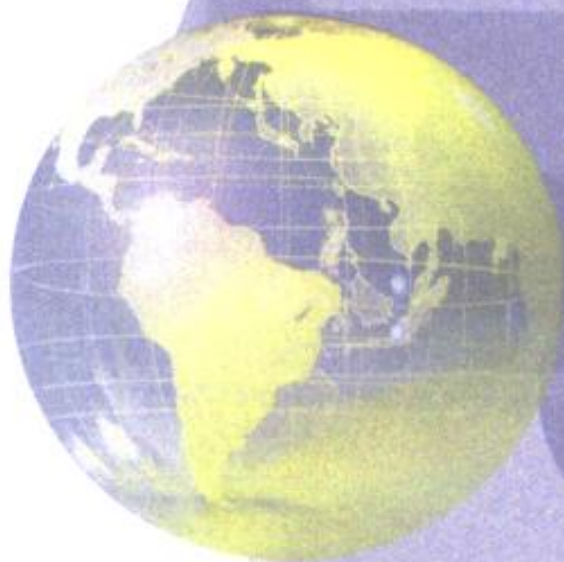


21 世纪大学新型参考教材系列

集成电路 A

[日] 荒井英辅 编著

Inter
University



科学出版社

OHM 社

73.755
496

21 世纪大学新型参考教材系列

集成电路 A

〔日〕荒井英辅 编著
邵春林 蔡凤鸣 译
王树堂 校



科学出版社 OHM 社
2000. 北京

2101018

2011018

图字:01-2000-1219 号

Original Japanese edition

Intaa Yunibaashiti Shuusekikairo A

Edited by Eisuke Arai

Written by Eisuke Arai, Makoto Ishida, Shao Chun Lin, Jun Oosawa, Masatoshi Migitaka, Shouji Kawahito, Satoshi Tazawa and Kazuo Aoyama

Copyright © 1998 by Eisuke Arai

Published by Ohmsha, Ltd.

This Chinese language edition is co-published by Ohmsha, Ltd. and Science Press.

Copyright © 2000

All rights reserved.

本书中文版版权为科学出版社和 OHM 社所共有

27-15/02

インターユニバーシティ

集積回路 A

荒井英輔 オーム社 1998 第 1 版第 1 刷

图书在版编目(CIP)数据

集成电路 A/(日)荒井英輔编著;邵春林,蔡凤鸣译. - 北京:科学出版社,2000.7

21 世纪大学新型参考教材系列

ISBN 7-03-003604-2

I. 集… II. ①荒… ②邵… ③蔡… III. 集成电路 - 高等学校 - 教材 IV. TN4

中国版本图书馆 CIP 数据核字(2000)第 60680 号

科学出版社 OHM 社 出版

北京东黄城根北街 16 号 邮政编码:100717

北京东方科龙电脑图文制作有限公司 制作

中国科学院印刷厂 印刷

科学出版社发行 各地新华书店经销

2000 年 7 月第 一 版 开本: A5

2000 年 7 月第一次印刷 印张: 5

印数: 1—5 000 字数: 144 000

定 价: 24.00 元(全二册)

(如有印装质量问题,我社负责调换〈院厂〉)

译者序

电子技术的高度发展为计算机和通信技术的发展打下了坚实基础,电视、电话、传真、计算机等的普及,特别是全球因特网的联网,使信息的传递有了飞速的发展,人类开始进入多媒体的信息时代。电子技术的高度发展给人民的的生活和社会经济活动带来了巨大的影响。在世纪之交,特别是在21世纪中人类需要解决的许多问题都期待着电子技术的发展。因而,加速培养更多的掌握先进电子技术的人才是非常重要的,这是电子技术领域的教育工作者、科学研究工作者和技术人员的历史使命。

为此,我们将国外一些优秀教材翻译成中文,介绍给广大的读者。最近,由日本高等学校校际教材编辑委员会委员长家田正之先生任主编,组织编著了一套电子工程教科书(欧姆社出版)。这一套教科书主要包括五个方面的内容:(1)电子工程基础,(2)电力工程,(3)电子器件,(4)信息通信,(5)计测控制。这一套教科书主要由日本中部地区高等学校的知名教授主编,由教学科研第一线的教授专家们执笔编写。其中已经出版了梅野正义编著的《电子器件》、荒井英辅编著的《集成电路A》和《集成电路B》、神保孝志编著的《光电子学》等4册书。这些书具有内容新颖、重点突出、简要明了的特点。书中各章的开始有该章的内容概要,章末设有练习题,书后附有练习题解答,以方便读者深入理解本书的内容。书中还穿插有“篇外话”作为正文中相关内容的补充说明,书后列出了参考文献,可供读者参考。

我们准备陆续将上述日文版图书翻译成中文,供电子专业的大学生或硕士研究生作为教材或教学参考书。也可供将要从事或者正在从事电子专业,特别是半导体专业的科研、生产、教学的年轻的朋友们阅读。

在翻译这些书的过程中,我们获得了能和原书编著者共同讨论书中内容这样一个良好的环境,使我们加深了对原书的理解,尽可能正确地将原书翻译成中文,并及时更正原书中个别误漏之处,在较短的时间内完成这些书的翻译、校对工作。在此我们对原书的各位编者、执笔者的支持和帮助表示

衷心的感谢。

同时,我们还要感谢日本欧姆社常务董事、出版局局长森 正树先生以及有关人员在翻译本书时给予的支持和帮助。感谢中国科学出版社对出版这些高科技书籍给予的热情支持和帮助,感谢有关人员在出版本书时付出的辛勤劳动。

《集成电路 A》翻译稿脱稿后,中国科学院半导体研究所王树堂教授全面、仔细地审阅了全稿、种明副教授也审阅了部分章节,提出了很多宝贵的意见。在此,表示衷心的感谢。

本书第一、二、三、四、六章由邵春林翻译,第五章由蔡凤鸣翻译。尽管译者作了多次的校正,但错误在所难免,希望读者批评指正。

邵春林

前 言

自集成电路发明到现在已近 40 年,而存储器、微处理器等大规模集成电路(LSI: Large Scale Integrated circuit)的应用也已有 30 年的历史。在这一期间,集成电路不断地得到发展,形成了新的集成电路产业,对社会的发展作出了重大的贡献。

在集成电路的发展过程中,曾多次越过了“不可能再发展了吧?”的欲停滞不前的危笃阶段。正是由于新技术的开发成功,才使集成电路技术不断地发展,直到今天。例如,对超精细加工的主要技术——光刻技术而言,由于光的衍射现象,从分辨率的角度来说要获得 $2\mu\text{m}$ 以下的图形是否可能?又如,当发现 α 射线会引起软击穿(alpha - particle - induced soft error)时,动态存储器(DRAM)再大规模化是不是困难?再如,在要求门的规模急速扩大时,由于设计力量不足,产生了设计是否会成为“关卡”等疑问。针对这些问题,由于缩小投影曝光装置、三维结构器件以及逻辑合成等计算机辅助设计(CAD)技术的开发,集中了各方智慧使问题迎刃而解。由这些事例可知,只要明确了问题所在,一定能找到解决问题的方法。从而,我坚信只要年轻的科技工作者们不懈地努力,今后集成电路一定会得到更大的发展。

本书献给承担开发最新集成电路技术的年轻读者。具体地说,就是大学三、四年级本科生、硕士研究生,以及在企业中从事和集成电路技术有关的研究开发工作的科技工作者。当读者们读完这本书后,一定会对集成电路有个全面的理解。集成电路的技术范围很广,即使简单明了地概括其主要技术都要很多篇幅。本书分为 A、B 两册,本册主要介绍集成电路的工艺、器件以及基本集成电路的制造技术,作为下册的《集成电路 B》则主要叙述集成电路的设计方法、组装技术以及对可靠性的评估方法。

本书在每一章的开始部分均介绍该章的内容概要及其在整个集成电路中所占的位置。章中还穿插有“篇外话”作为正文中相关内容的补充说明。章末设有练习题,以方便读者深入理解本书的内容。

由于篇幅有限,书中省略了许多公式的来源及证明,但是书后列出了参考文献,供读者参考。如果本书能对半导体集成电路专业的年轻学生和从事半导体集成电路的科技工作者有一定的参考价值,我将感到非常荣幸。

在将此书介绍给中国读者的时候,如果能对中国的半导体集成电路事业的发展作出一点贡献,我和本书的各位作者将感到非常高兴。

最后,衷心地期待着世界上从事半导体集成电路的教学、科研的教授们和从事科研、生产的科技工作者们为集成电路的发展作出更大的贡献。

荒井英辅

目 录

1 集成电路的学习方法

1.1 集成电路的发明	2
1.2 集成电路发展的动力	4
1.3 集成电路的未来	6
1.4 本书的构成	7
练 习 题	10
引用文献	10

2 集成电路中的半导体器件

2.1 pn 结	12
2.2 双极型晶体管	18
2.3 MOS 晶体管	25
2.4 集成电路中的无源元件	36
练 习 题	38
引用文献	39

3 集成电路的基础工艺

3.1 采用硅单晶制造集成电路的理由	42
3.2 氧化、扩散及离子注入技术	43
3.3 形成精细图形的光刻技术	54
3.4 腐蚀技术	58
3.5 薄膜淀积技术	61
练 习 题	64
引用文献	65

4 集成电路的制造工艺

4.1 集成电路的基本结构	68
4.2 双极型集成电路的制造	72
4.3 MOS 集成电路的制造	79
4.4 多层布线	85
练 习 题	89

5 数字集成电路的基本电路

5.1 数字集成电路的基本电路	92
5.2 CMOS 集成电路的基本电路	100
5.3 集成电路掩模的设计	109
练 习 题	113
引用文献	113

6 工艺、器件及电路的模拟技术

6.1 假想工厂	116
6.2 制造工艺的模拟	116
6.3 器件电特性的模拟	123
6.4 基本电路特性的模拟	127
6.5 模拟结果和实际的差异	133
练 习 题	133
引用文献	134

练习题解答	135
-------------	-----

参考文献	141
------------	-----

篇外话

集成电路专利和日本的半导体工业	8
固体器件的发明	38
同步辐射(SOR)X 线光刻技术	59
工艺的低温化	89
逻辑门电路的噪声容限	93
像素模式(pixel model)	121

集成电路的学习方法

发明晶体管后经过了大约 10 年,即 1959 年发明了集成电路。集成电路发明 10 年以后的 1970 年,1K 比特(bit)存储器问世。接着于 1971 年微处理器(microprocesser)商品化,宣告集成电路已进入大规模集成电路的时代。自那时候起,集成电路的集成度一直以每 3 年 4 倍这样惊人的速度发展到今天。本章将阐述集成电路的历史、集成电路工业化的动力以及集成电路的未来。最后简单地介绍一下本书章节的构成。

1.1 集成电路的发明

1946年,世界上第一台电子计算机诞生于美国的宾夕法尼亚(Pennsylvania)大学。这台被命名为ENIAC的电子计算机由18 000个电子管、70 000个电阻器、10 000个电容器以及6000个继电器构成。ROM容量为16Kbit, RAM容量为1Kbit, 时钟频率为100kHz。这台电子计算机全长30m, 宽1m, 高3m, 总重量为30吨, 功耗为174kW(图1.1)。现在可以随

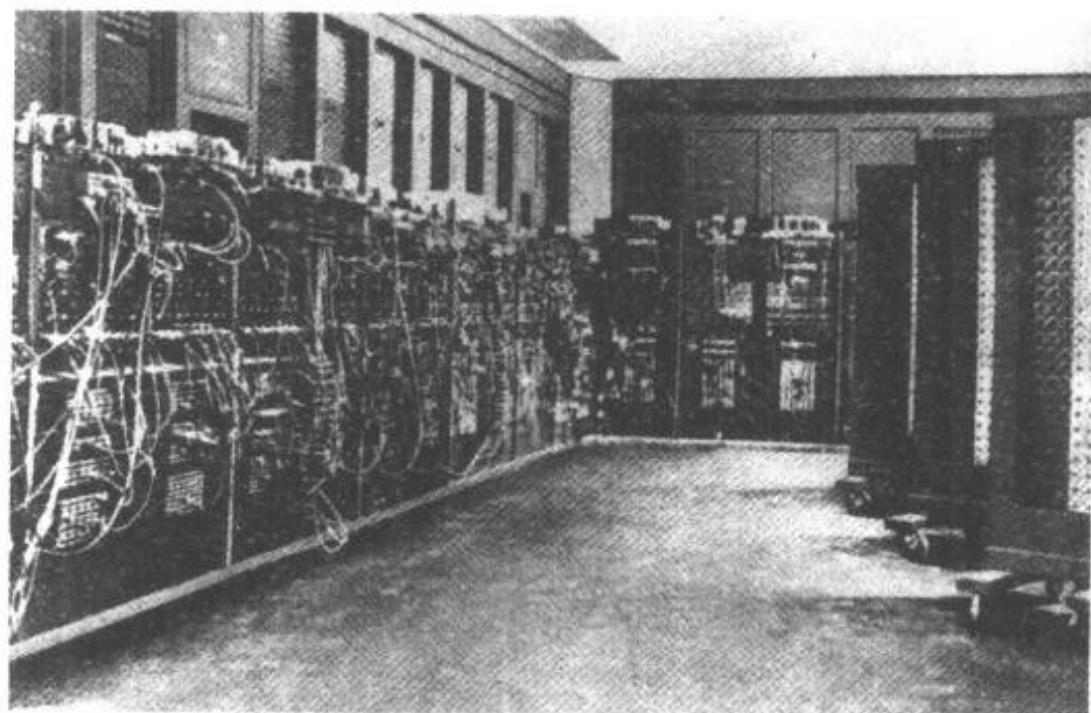


图 1.1 世界上第一台电子计算机 ENIAC
(美国宾夕法尼亚大学, 1946 年)

身携带的计算机,其尺寸、重量和功耗均为第一台电子计算机的100万分之一以下,而且速度提高了近1000倍。不仅如此,现在的计算机的可靠性要比电子管式计算机高得多。在电子管式电子计算机中,为了降低电子管的失效率,往往让电子管在比额定电压低得多的条件下工作。即使如此,对于一个由18 000个电子管所组成的计算机而言,平均正常工作时间也只能达到2.5小时。电子管是由被加热的处于真空中的阴极灯丝放出电子而工作的,高温下的阴极材料钨的蒸发引起灯丝断线而使电子管无法工作。因而

电子管的寿命是有限的,这是它最大的缺点。

1948 年发明的点接触型晶体管以及 1949 年发明的结型晶体管和电子管不同,是靠半导体晶体中的电子和空穴的流动来工作的,其寿命是无限的。采用结型晶体管制成的电子计算机于 1955 年商品化。电子计算机的性能和功能,随着使用的晶体管等元器件数目的增多而获得提高,所以电子计算机中采用的元器件数年年增加。这样一来,尽管单体晶体管、电阻器、电容器等寿命很长,但是将这些元器件组装在印制电路板上时,是通过焊接来进行电的连接的,所以焊接部分的劣化成为左右计算机寿命的主要因素。

1959 年 2 月,美国的德州仪器(TI)公司的 Kilby 在锗(Ge)衬底上形成台面双极型晶体管和电阻,再用超声波焊接将这些元器件用金属导线连接起来形成小型电子电路,并申请了专利(图 1.2,1964 年获得美国专利)^[1]。严格地说这是一种混合集成电路,而不是一种布线和元器件同时形成的单片集成电路。1959 年 7 月,美国仙童(Fairchild)公司的 Noyce 申请了这样一个专利(图 1.3,1961 年获得美国专利)^[2]:利用二氧化硅膜制成平面晶体管,并用淀积在二氧化硅膜上的、和二氧化硅膜密接在一起的导电膜作为

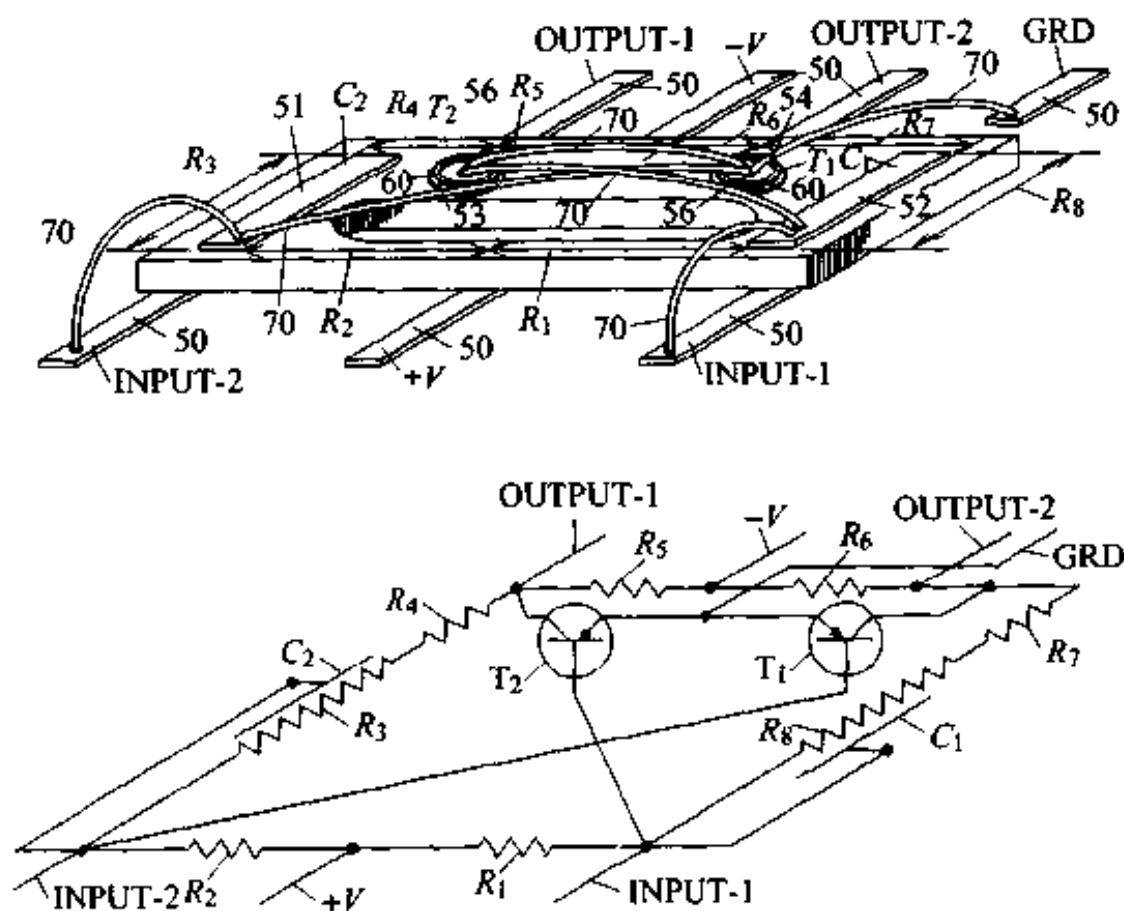


图 1.2 Kilby 的专利(美国专利号 3138743)

元器件间的电的连接(布线)。这是单片集成电路的雏形,是与现在的硅集成电路直接有关的发明。由此,将平面技术、照相腐蚀和布线技术组合起来,获得大量生产集成电路的可能性。

集成电路的发明大大地促进了电子设备的小型化和低功耗化。与采用单体电子管和晶体管相比,采用集成电路还可大大地降低电子设备的故障率,使更庞大的电子电路系统的制造成为可能。作为关键部件的集成电路最初被用于军事,现在已经广泛地应用在工业及民用产品中。

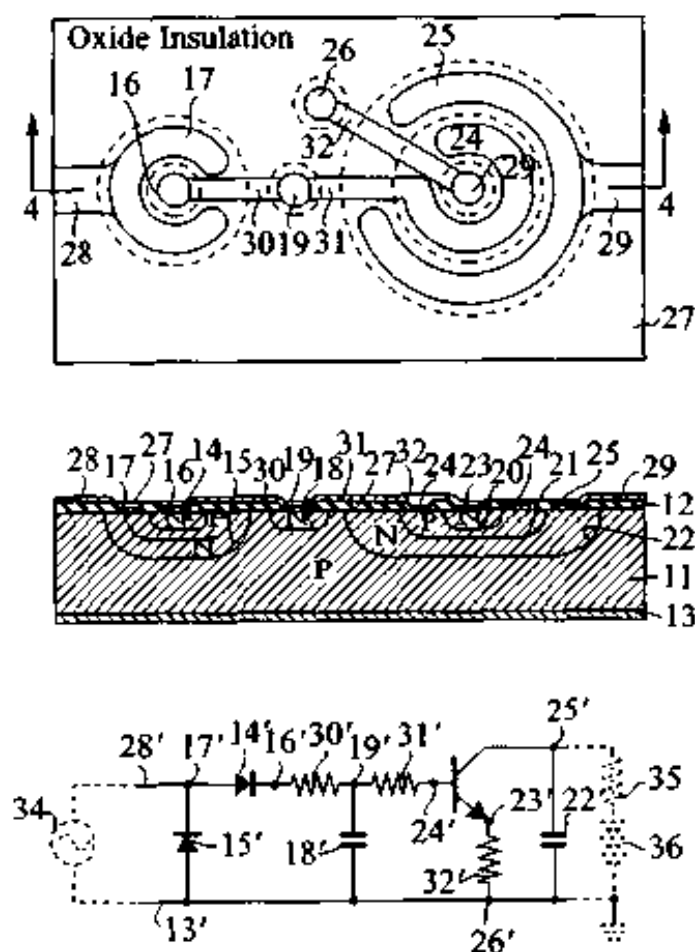


图 1.3 Noyce 的专利(美国专利号 2981877)

1.2 集成电路发展的动力

电子器件中不论是电子管还是晶体管,一般都具有这样的特点:随着它们结构尺寸的缩小,将会使工作速度增加,使功耗降低,其结果是使速度与

功耗的乘积(开关能量)变小。对于 MOS(metal oxide semiconductor, 金属-氧化物-半导体)晶体管来说, 微小型化和性能间的关系遵循“比例缩小法则”(参见第 2 章)。当尺寸和电源电压缩小为原来的 $1/K$ 时, 速度将为原来的 K 倍, 消耗的功率将为原来的 $1/K^2$, 开关能量减小到原来的 $1/K^3$ 倍。例如, 尺寸缩小为原来的 $1/2$ (即 $K=2$), 速度为原来的 2 倍, 消耗的功率为原来的 $1/4$, 速度与功耗的乘积则为原来的 $1/8$ 倍。如果将集成电路中晶体管的尺寸缩小的话, 集成电路的性能将按上述法则获得改善。同时, 由于尺寸的减小, 有可能容纳更多的元器件, 从而提高集成度, 扩大功能。再从可靠性来考虑, 随着集成规模的增大, 使印制电路板上的焊点数减少, 从而使每个元器件的故障率降低。

集成电路的制造方法有以下特点: 在厚度为几百微米的硅单晶衬底片上, 可同时制作数十个乃至数百个边长为数 mm 到 2cm 的正方形集成电路。然后, 将硅单晶片分割成单个集成电路(称为集成电路芯片), 再将其密封入集成电路外壳中。由上可知, 生产集成电路与生产汽车那样的产品不同, 集成电路可同时制造多个产品, 而汽车只能一个一个地生产。这时, 硅单晶片上同时制成的芯片不一定全是合格品, 合格芯片数与总芯片数的比称为合格率。直到现在, 集成电路的合格率一直随着生产量的增加而增加, 因而使生产成本不断地下降。根据经验估计, 累计生产量每增加 10 倍, 成本则下降约 30%, 我们将这一关系称为学习曲线。

综上所述, 集成电路的元器件尺寸越是微小型化, 则集成电路的: (1) 性能不断改善; (2) 规模不断增大, 功能不断增加; (3) 故障率下降; (4) 生产量越大, 合格率越高, 制造成本越低, 即使生产初期价格贵些, 但是最终可能便宜等等。这些特长是集成电路技术发展的动力, 近 20 多年来, 存储器集成电路的集成度是以每隔 3 年 4 倍的速度不断地发展过来的。

集成电路的英文名为 Integrated Circuit, 略称 IC。一个芯片内元器件的数目在 1000 个以上称为大规模集成电路(LSI)。若狭义地进行分类, 可分成小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI)及超超大规模集成电路(ULSI)等, 如表 1.1 所示。因为集成电路集成度的发展很快, 这种分类不一定十分确切。按这种分类, 一个芯片上的元器件数为 10^3 到 10^5 个时的集成电路称为 LSI。典型的产品有 1Kbit 的 DRAM 和 4bit 的微处理器。集成度更高的 10^5 到 10^7 的集成电路称为 VLSI, 典型的产品有 64Kbit 的 DRAM。现在最先进的集成电

路 64Mbit 的 DRAM 含有的元器件数大约为 1 亿 (10^8) 个/芯片。这与人脑的神经细胞的数目 120 亿 (1.2×10^{10}) 个相比,在体密度上已达到同等的水平。

表 1.1 集成电路的分类

名 称	器件数/芯片
SSI (small scale IC: 小规模集成电路)	少于 100
MSI (medium scale IC: 中规模集成电路)	100 ~ 1000
LSI (large scale IC: 大规模集成电路)	1000 ~ 10 万
VLSI (very large scale IC: 超大规模集成电路)	10 万 ~ 1000 万
ULSI (ultra large scale IC: 超超大规模集成电路)	1000 万以上

1.3 集成电路的未来

集成电路中的元器件尺寸到底能微小型化到什么程度? 限制微小型化的因素到底是什么? 这些问题, 无论是从技术的角度还是从经济的角度来说, 都有研究的价值。这里, 我们还是以 MOS 集成电路为例加以讨论。尺寸和电源电压按“比例缩小法则”不断减小的话, 信号也变小, 最终会被淹没在噪声之中。从技术的角度来说, 限制微小型化的因素有: (1) 热噪声以及 α 射线等放射线产生的瞬时误动作; (2) 半导体单晶中杂质的统计波动和加工偏差而引起的晶体管阈值电压的波动; (3) 二氧化硅膜和 pn 结的隧道电流、击穿电场等材料特性决定的膜厚和浓度限制; (4) 将在《集成电路 B》第 7 章阐述的材料、器件的磨损故障引起的寿命问题等。对第 (1)、(2)、(3) 项限制因素来说, 微小型化的尺寸和电源电压间的关系如图 1.4 所示。直到现在为止, 研制出的确能正常工作的单体 MOS 晶体管的最小尺寸为数十纳米, 将如此微小尺寸的晶体管大量地集成制成集成电路时, 必须解决上述的噪声和参数的波动等问题。

此外, 近年来经济上的限制因素也成为大的问题。随着尺寸的微小型

化和大规模集成化,技术开发和工厂建设的投资很大,达到一个公司难以承担的地步。为此,对于技术上可以制造的微小型化和大规模化的集成电路来说,为了避免产生因经济原因而不能投入生产这个问题,人们正在为削减制造工序的数目,实现设备的标准化进行着种种努力。

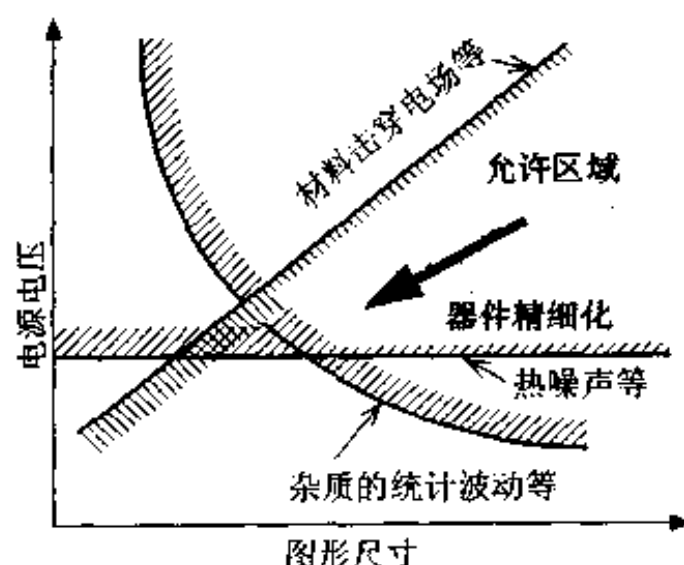


图 1.4 限制器件精细化的因素

1.4 本书的构成

集成电路涉及的技术范围广,难以在一本书中加以概括,所以分成《集成电路 A》、《集成电路 B》两册。读完这两本书,能从集成电路的基础器件、工艺到设计、封装及可靠性有一个全面的理解(图 1.5)。《集成电路 A》的第 2 章到第 6 章阐述集成电路中的器件、制造工艺、基础集成电路以及与此关连的计算机模拟技术(Technology - CAD),这些都是制造集成电路最最基础的技术。《集成电路 B》的第 1 章说明设计与制造的关系。第 2 章到第 5 章阐述利用计算机进行由电路到布图(layout)的设计技术(Engineering - CAD)和各种集成电路的具体设计方法。最后介绍与设计有着密切关系的封装技术(第 6 章)和集成电路的可靠性(第 7 章)。

在上述的多种技术中,尽管集成电路制造工艺和设计,封装和设计,可靠性和制造工艺以及设计等等之间有着密切的关系,但多数情况下是分别

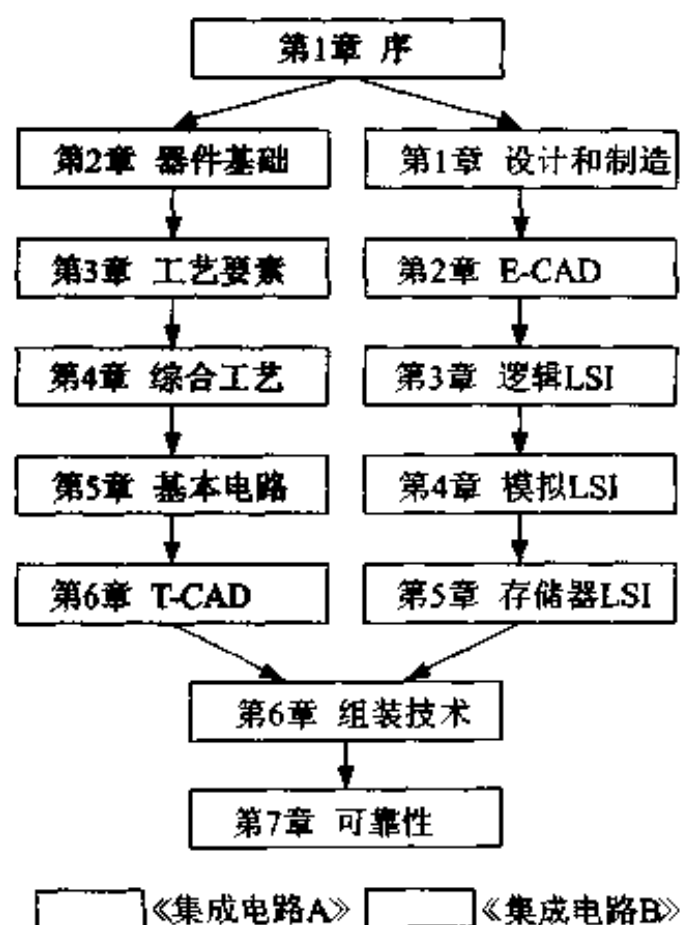


图 1.5 本书内容介绍

集成电路专利和日本的半导体工业

德州仪器(TI)公司 Kilby 的专利和仙童公司 Noyce 的专利被公认为集成电路的基本专利。在 20 世纪 60 年代,得不到这些专利实施权的日本企业就不能生产集成电路。1963 年,日本电气公司付出相当于生产总额的 4.5 % 的费用获得了仙童公司的专利实施权。后来,其他的日本企业又从日本电气公司取得再实施权。但是,德州仪器公司当初没有给予日本企业实施 Kilby 专利的实施权,使日本和美国之间发生了很大的摩擦。德州仪器公司与日本通产省长达 4 年的交涉,于 1968 年达成以下协议:德州仪器公司获得 3.5 % 的专利使用费将 Kilby 专利转让给日本企业,换得日本政府承认一直得不到承认的在日本设立半导体子公司这一条件。这正是一个基本专利具有影响另一个国家的政策这样强大的威力的最典型的事例。

自 20 世纪 80 年代后期起,美国政府推行重视专利权、著作权等知识产权的政策,美国企业也把知识产权作为支配市场的武器,比以往任何时候都强调重视知识产权。与此对比,到现在为止,日本政府和日本企业在申请专利时,仍把着眼点放在有利于降低由欧美引进技术时涉及到的专利使用费上,仅把申请专利看作是一种防卫手段。但是,在亚洲各国的工业急剧发展的今天,日本也应该重视基本专利的获得,有必要将原来的被动姿态来一个 180° 的大转弯。不仅日本政府和企业应该这样做,大学的教育和科研单位也应该重视基本专利的获得。

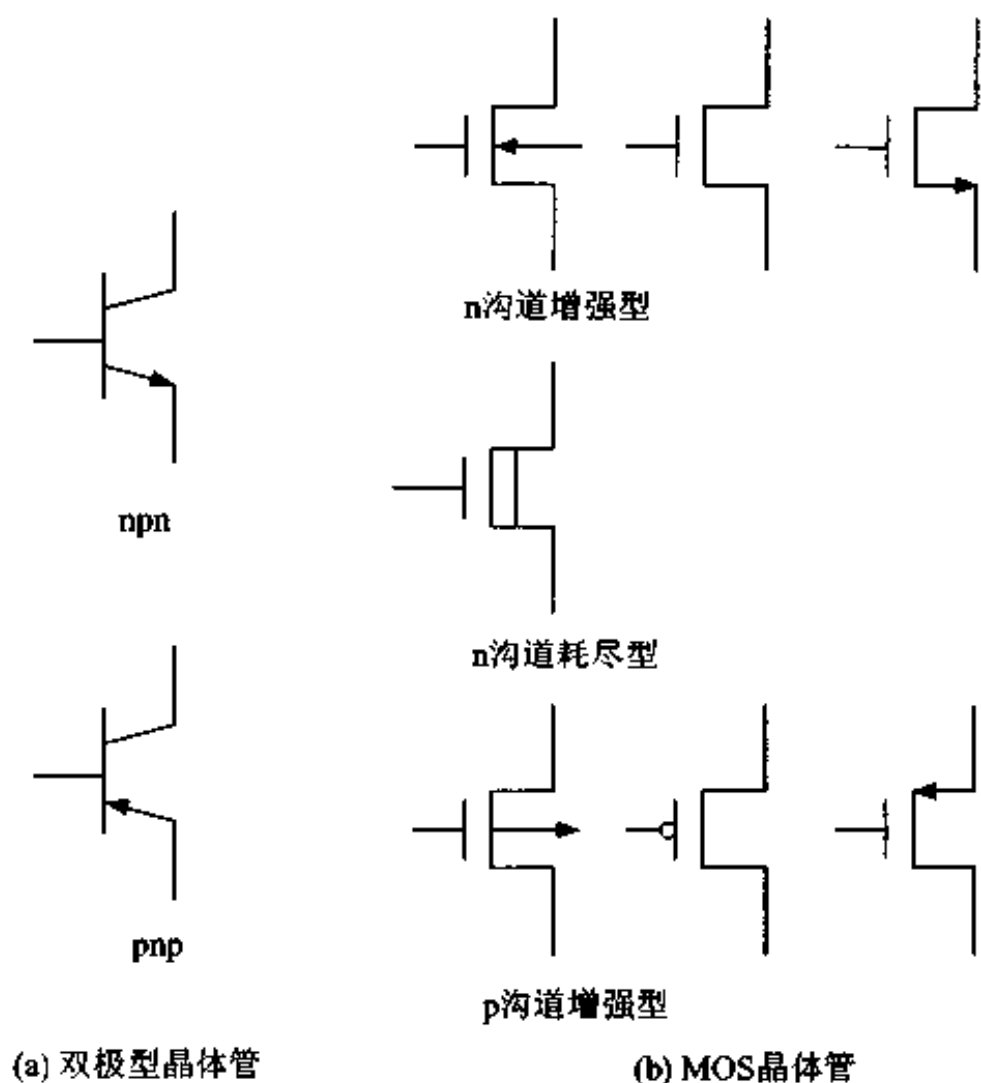


图 1.6 晶体管的电路符号

加以叙述的。为设计性能优良的集成电路,为开发出新的制造技术,重要的是在于融汇贯通各个领域的技术。

最后,图 1.6 示出晶体管的电路符号。双极型晶体管只用一种符号表示,而 MOS 晶体管可由多种符号表示,需加注意不要弄错。特别是本书中经常提到的 CMOS (complementary MOS) 的 n 沟道和 p 沟道的记号,一般的在衬底上附加箭头($\leftarrow$ 或 $\rightarrow$)来表示,也有只在 p 沟道的栅极上加上圆的符号($\bigcirc$)来表示的。此外,在含有晶体管的电路中,晶体管与电源相连接以及接地的符号为:与电源的正极相连接的端子用向上的三角形(Δ),而接地的端子用向下的三角形(∇ 或 $\blacktriangledown$)来表示。

练习题

- 1 分别叙述集成电路的基本专利,即 Kilby 和 Noyce 专利的特点。
- 2 叙述集成电路微型化和大规模化的动力是什么?
- 3 限制半导体器件微型化的因素是什么?

引用文献

- [1] J. S. Kilby: 美国专利 3138743 “Miniaturized Electronic Circuits” (1959. 2. 申请, 1964. 6. 批准)
- [2] R. N. Noyce: 美国专利 2981877 “Semiconductor Device - and - Lead Stucture” (1959. 7. 申请, 1961. 4. 批准)

2

集成电路中的 半导体器件

集成电路中使用的有源器件可分为两大类:双极型晶体管和 MOS 晶体管。本章阐述 pn 结、双极型晶体管、MOS 晶体管以及无源元件(电阻器、电容器)的基本特性。这些是理解集成电路原理所必须的基础知识。

2.1 pn 结

pn 结是半导体器件的最基本的结构要素。将 pn 结适当组合可制成晶体管、可控硅管和集成电路(IC)。pn 结的最重要的特性是具有整流作用,即电流只能沿着某一方向流动。

2.1.1 pn 结的整流作用及耗尽层

硅 pn 结的结构如图 2.1(a)所示。它是在集成电路制造过程中形成的(由于是单晶体管,下面为集电极)。将其理想化成一维模式图,如图 2.1(b)所示。在硅 pn 结的 p 型区域加上 0.5V 的正向电压时就有电流流动(正向偏置),而加上负电压时就不会像加上正向偏压那样有电流流动(反

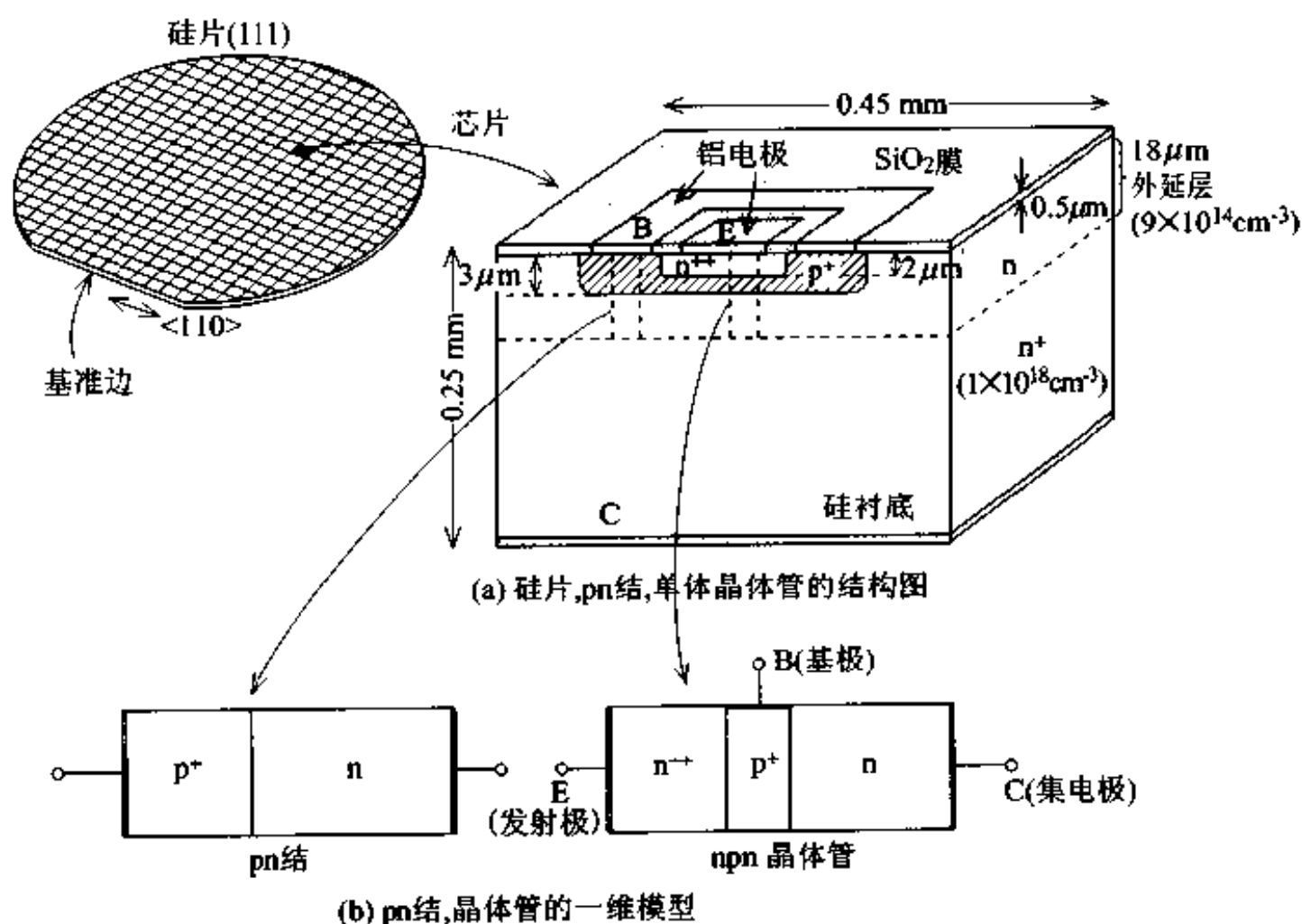


图 2.1 硅 pn 结的结构图(+表示浓度高, - 表示浓度低)

向偏置),如图 2.2 所示。但是,当 p 型区域加上足够高的负电压时(图中为 -8V),将有大电流流动。在集成电路中,pn 结不仅为二极管、晶体管等有源器件使用,当其加上反向偏压时,也可作为元器件之间的电绝缘(元器件间的隔离墙)。

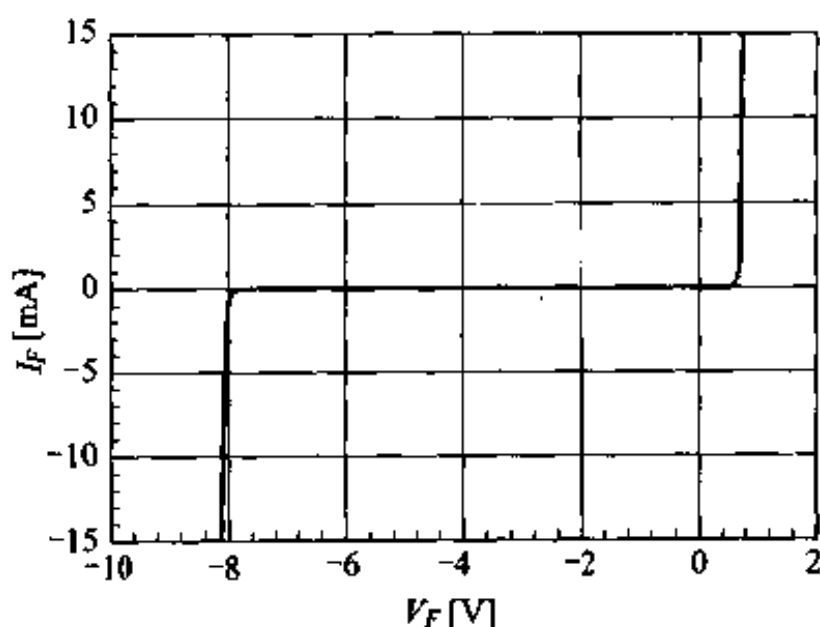


图 2.2 pn 结伏安特性(图 2.1 所示的发射极-基极间的 pn 结)

图 2.3(a)表示成结前的 n 型和 p 型半导体的能带图。图 2.3(b)为成结后在热平衡状态下的能带图。在热平衡状态下,n 区的多数载流子——电子和 p 区的多数载流子——空穴分别向 p 区和 n 区扩散,形成扩散电流 A 。载流子扩散的结果,使 pn 结界面两侧产生了无载流子存在的区域,称为耗尽层。电离了的施主及受主在耗尽层区内形成正负空间电荷。由此正负空间电荷形成电场,从而形成与扩散电流 A 的方向相反的漂移电流 B 。当这两股电流 A 和 B 处于动态平衡时,将无电流流动。这时,耗尽层内的空间电荷产生了接触电势差(也称为扩散电势差) Φ_B 。热平衡条件下 $np = n_i^2$, 所以 Φ_B 为

$$\Phi_B = \frac{kT}{q} \ln\left(\frac{p_{po}}{p_{no}}\right) = \frac{kT}{q} \ln\left(\frac{n_{no}}{n_{po}}\right) = \frac{kT}{q} \ln \frac{N_D N_A}{n_i^2} \quad (2.1)$$

式中, p_{po} 、 p_{no} 分别为 p 区和 n 区的平衡空穴浓度; n_{no} 、 n_{po} 分别为 n 区和 p 区的平衡电子浓度; N_D 、 N_A 分别为 n 型和 p 型半导体的杂质浓度; k 为玻尔兹曼常数, T 为绝对温度, q 为电子的电荷量。其中, $p_{po} = N_A$, $n_{no} = N_D$ 。硅 pn

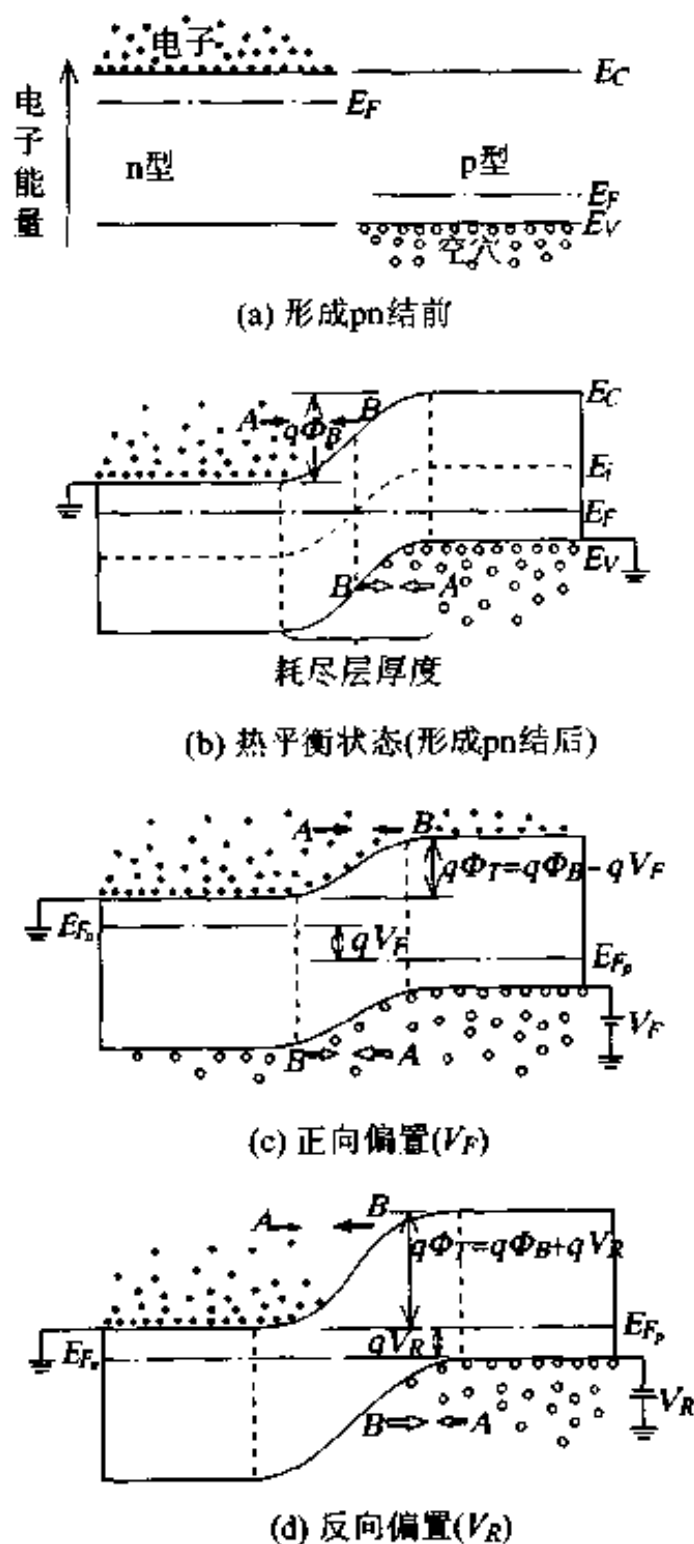


图 2.3 半导体 pn 结能带图

结中, Φ_B 约为 $0.6 \sim 0.9\text{V}$ 。

在 pn 结上加上正向偏压, 即 p 区加上正电压 V_F , p、n 之间的电势差 Φ_T ($\Phi_T = \Phi_B - V_F$) 降低, 热平衡状态被破坏, 由多数载流子形成的扩散电流远大于漂移电流, 如图 2.3(c) 所示。正向偏压越大, 该电势差越小, 其结果是使电流指数式地增加。

与上述相反, 当 p 区上加上负电压 V_R 时, 电势差 Φ_T 变大 ($\Phi_T = \Phi_B +$

V_R), 多数载流子难以扩散, 几乎无电流流动, 如图 2.3(d) 所示。这就是 pn 结的整流效应。

假设半导体的介电常数为 ϵ_s , 电子的电荷为 q , 则耗尽层的厚度 W 如下式所示

$$W = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{N_D + N_A}{N_D N_A} \right) \Phi_T} \quad (2.2)$$

由杂质扩散法形成的浅扩散结, 或由合金法形成的 pn 结中, 因某一侧半导体中的杂质浓度比另一侧高得多 (单边突变结), 例如, $N_A \ll N_D$ 时, W 仅受低浓度侧 N_A 的影响, 所以 W 可简化成

$$W = \sqrt{\frac{2\epsilon_s \Phi_T}{q N_A}} \quad (2.3)$$

另外, 在深扩散结中, 可以看成是线性缓变结, W 可用杂质浓度梯度 $\alpha = dN/dx$ 来表示

$$W = \left[\frac{12\epsilon_s \Phi_T}{q\alpha} \right]^{1/3} \quad (2.4)$$

2.1.2 pn 结的电容量及击穿电压

由 pn 结耗尽层形成的偶极层在反向偏置的情况下, 存在着结电容 (也称为耗尽层电容), 其单位面积的电容量 (简称结电容) C 为

$$C = \frac{\epsilon_s}{W} \quad (2.5)$$

单边突变结 ($N_A \ll N_D$ 时) 中, 将式 (2.3) 代入上式中, 则反向偏置时的结电容为

$$C = \sqrt{\frac{q\epsilon_s N_A}{2(V_R + \Phi_B)}} \quad (2.6)$$

将上式稍加整理, 可画出 $1/C^2$ 与 V_R 的关系图, 由该直线的斜率可得到杂质浓度 N_A , 由该直线与 $1/C^2$ 轴的交点可得到扩散电势差 Φ_B 。

pn 结处于反向偏置状态时, 几乎无电流流动。但当反向偏压大于某一值时, 将有大电流流动。这一现象称为结的击穿。根据杂质浓度的不同, 击穿机理分为二类。其一, pn 结 p 区和 n 区的杂质浓度均高于 10^{18} cm^{-3} , pn 结上产生强电场 (10^6 V/cm 以上) 时, 价带中的电子因隧道效应向导带迁

移。将此称为齐纳击穿(或隧道击穿)。其二, pn 结低浓度侧的杂质浓度小于 10^{18}cm^{-3} 时, pn 结在高反向偏压时产生电子雪崩倍增现象(雪崩击穿)。电子雪崩倍增实质上是电子和空穴由强电场获得足够的动能, 与硅晶格发生碰撞, 使硅原子之间的价键切断, 产生新的电子和空穴, 从而使电流雪崩式地增加。单边突变结 ($N_A \ll N_D$ 时), 击穿电压 BV 为

$$BV = \frac{\epsilon_s E_{\text{crit}}^2}{2qN_A} \quad (2.7)$$

式中, E_{crit} 是产生击穿现象的临界电场, 当耗尽层的最大电场 E_{max} 达到该值时就产生击穿现象。硅材料击穿的临界电场约为 $3 \times 10^5 \text{V/cm}$ 。

击穿电压是由 pn 结的杂质浓度决定的。杂质浓度大时, 耗尽层厚度薄, 较小的反向偏压可引起雪崩击穿。一般说来, 晶体管的集电极-基极间的耐压高, 而发射极-基极间的耐压低, 就是由于其杂质浓度不同的关系。

2.1.3 pn 结的电流-电压特性

1. 反向偏置

反向偏置下的 pn 结几乎无电流流动, 但经精密测量会发现微小电流流动。这一微小电流是由耗尽层中产生的电流 I_{gen} 和耗尽层外的扩散电流 $I_{\text{diff}}(R)$ 两部分组成。电流 I_{gen} 与 n_i 、 W 即 $\sqrt{V_R}$ 成正比例。电流 I_{diff} 与 n_i^2 成正比例, 而与电压 V_R 的大小无关。

$$I_{\text{gen}} = \frac{1}{2} q \frac{n_i}{\tau_i} W A_J \quad (2.8)$$

$$I_{\text{diff}}(R) = I_{\text{diffn}} + I_{\text{diffp}} \quad (2.8')$$

式中, 电子的扩散电流为

$$I_{\text{diffn}} = q D_n \frac{n_{p0}}{L_n} A_J = q D_n \frac{n_i^2}{N_A L_n} A_J \quad (2.9)$$

空穴的扩散电流为

$$I_{\text{diffp}} = q D_p \frac{p_{n0}}{L_p} A_J = q D_p \frac{n_i^2}{N_D L_p} A_J \quad (2.10)$$

式中, $A_J [\text{cm}^2]$ 、 $\tau_i [\text{s}]$ 、 $D_n [\text{cm}^2/\text{s}]$ 分别为 pn 结的面积、反向偏压时耗尽层内载流子的有效寿命、p 区中电子的扩散系数, $L_n = \sqrt{D_n \tau_n}$ 称为电子的扩散长度, τ_n 为 p 区中电子的寿命。杂质浓度为 10^{17}cm^{-3} 时, 设 $\tau_n = 2 \times 10^{-6} \text{s}$,

$D_n = 20 \text{ cm}^2/\text{s}$ 时, 则扩散长度 $L_n = 63 \mu\text{m}^{(1)}$ 。 D_p 和 L_p 分别为 p 区中空穴的扩散系数和扩散长度。

2. 正向偏置

在正向偏置情况下, 电流由两部分的和所组成, 一为由某一区域注入到另一区域的少数载流子形成的扩散电流 $I_{\text{diff}}(F)$, 二为耗尽层中由载流子的复合形成的复合电流 I_{rec} 。

电子的扩散电流为

$$I_{\text{diffn}} = \frac{qD_n n_{p0}}{L_n} (e^{\frac{qV_F}{kT}} - 1) A_J = qD_n \frac{n_i^2}{N_A L_n} (e^{\frac{qV_F}{kT}} - 1) A_J \quad (2.11)$$

空穴的扩散电流为

$$I_{\text{diffp}} = \frac{qD_p p_{n0}}{L_p} (e^{\frac{qV_F}{kT}} - 1) A_J = qD_p \frac{n_i^2}{N_A L_p} (e^{\frac{qV_F}{kT}} - 1) A_J \quad (2.12)$$

$$I_{\text{diff}}(F) = I_{\text{diffn}} + I_{\text{diffp}} = I_s (e^{\frac{qV_F}{kT}} - 1) A_J \quad (2.13)$$

式中

$$I_s = \frac{qD_p p_{n0}}{L_p} + \frac{qD_n n_{p0}}{L_n} \quad (2.14)$$

复合电流为

$$I_{\text{rec}} \approx \frac{1}{2} q \frac{n_i}{\tau_o} W e^{\frac{qV_F}{2kT}} A_J \quad (2.15)$$

I_s 为反向偏压时的扩散电流成分 $I_{\text{diff}}(R)$ (式(2.8'))。从而, 扩散电流成分和 qV_F/kT 有关, 复合电流和 $qV_F/2kT$ 有关。

电流中到底是扩散电流为主还是复合电流为主, 要根据所加偏压以及工作温度等条件来决定, 如图 2.4 所示。一般说来, 正向电流-电压特性可由下式表示

$$I_F \propto e^{\frac{qV_F}{mkT}} \quad (2.16)$$

式中, m 的值在 1 ~ 2 之间, $m = 1$ 时仅有扩散电流, $m = 2$ 时仅有复合电流。 $1 < m < 2$ 表示同时存在着扩散电流和复合电流。 m 值的大小可由 I_F 和 V_F 的单对数坐标图的斜率求出。

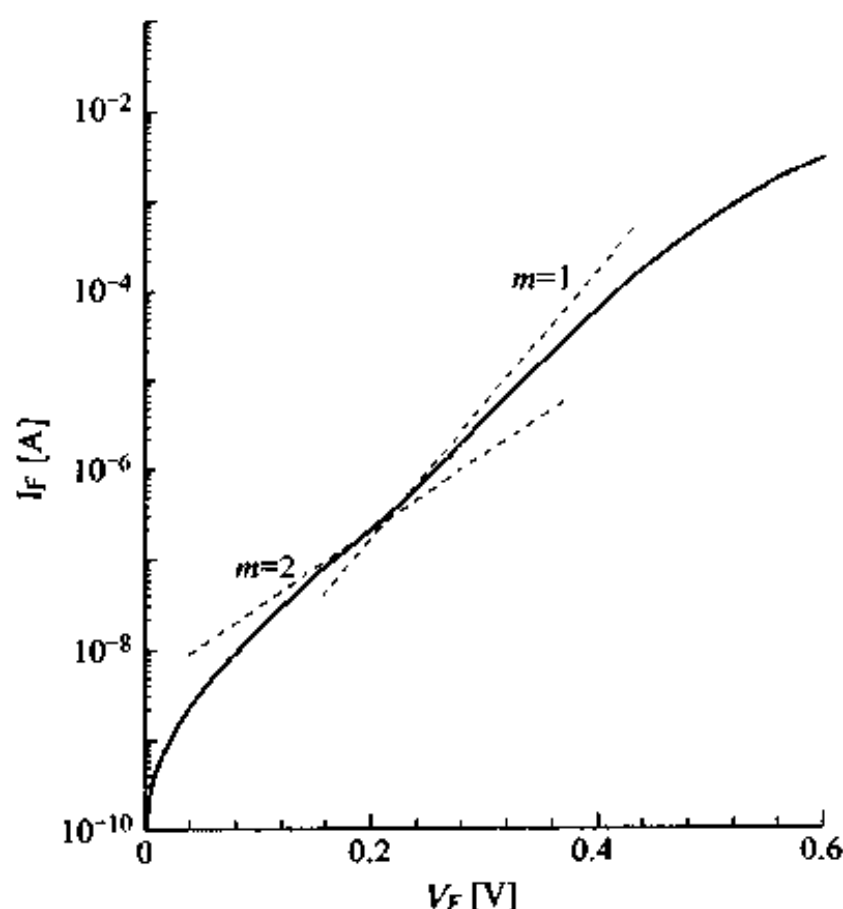


图 2.4 正向伏安特性

2.2 双极型晶体管

双极型晶体管以电子和空穴为载流子 (bipoly, 双极性), 而且由载流子中的少数载流子决定器件的性能。双极型晶体管是以控制电流来达到放大、开关特性的电流控制器件。与此不同, MOS 晶体管使用电子或者空穴 (unipoly, 单极性) 作为载流子, 是一种多数载流子器件。MOS 晶体管是一种电压控制器件。

2.2.1 双极型晶体管的结构和杂质浓度分布

图 2.5 为集成电路中使用的 npn 晶体管的平面图和剖面图, 图 2.6 为杂质浓度纵向分布图。外延层是一层杂质种类和浓度与衬底不同的半导体结晶薄层。集成电路内各器件依靠处于反向偏置的 pn 结相互隔离。包括集电极在内的各个电极均形成在上表面。埋层 (n') 是在外延之前扩散形

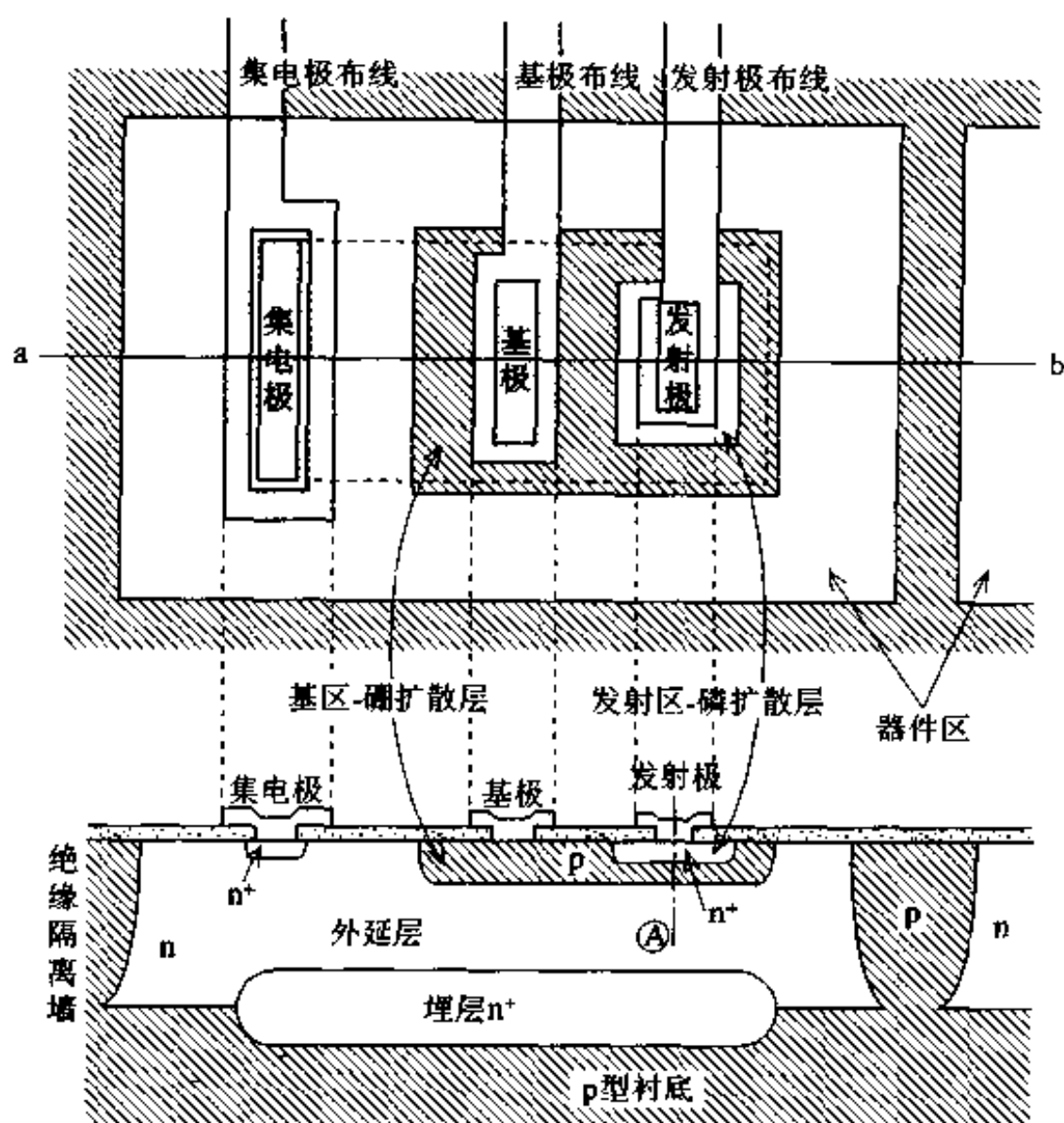


图 2.5 npn 晶体管结构图(平面图, a-b 剖面)

成的,是为了降低集电极的电流通路的电阻(集电极电阻)而设置的。

2.2.2 双极型晶体管的工作原理

在双极型晶体管中,发射载流子(n型区电子)的一侧称为发射极 E (emitter),载流子到达的一侧称为基极 B (base)。此时,基极为 p 型,注入的电子为少数载流子。将收集电子的区域称为集电极 C (collector)。E-B 结处于正向偏置状态,数量很多的电子被注入到基极区域。而 B-C 结加有反向偏压,有利于集电极收集经基极区域(简称基区)扩散到基区-集电区界面的电子。

发射极电流 I_E 中,除上述电子移动形成的电流成分外,还有一股由基区注入到发射区的空穴电流成分。基极电流 I_B 是由空穴(因为是 p 型区

域)形成的电流,包括空穴在基区与电子复合形成的电流成分、空穴在发射区-基区间的耗尽层区域中与电子复合形成的电流成分、以及注入到发射区的空穴形成的电流成分。集电极电流 I_c 是发射极电流中注入到基区,并到达集电极的这一部分电子形成的电流。未到达集电极的电子在基区与空穴复合形成基极电流的一部分。发射极电流、基极电流和集电极电流满足下式关系

$$I_E = I_B + I_C \quad (2.17)$$

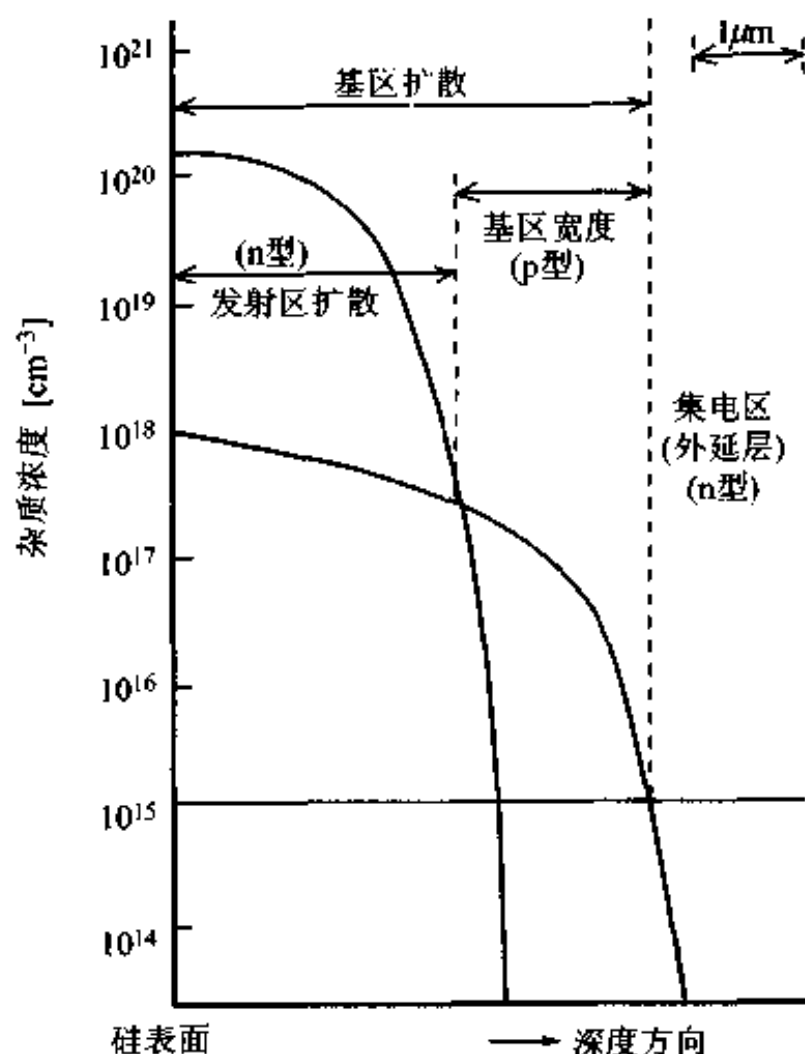


图 2.6 npn 晶体管杂质浓度的纵向分布(图 2.5①剖面)

为提高晶体管的放大系数,必需以较小的基极电流来控制较大的集电极电流。为此,下述各点是非常重要的。

(1) 如何提高电子电流成分(基区扩散电流 $I_{diff.B}$)在整个发射极电流中的比例,将此称为发射极注入效率 γ 。当发射区的掺杂浓度远比基区的掺杂浓度高时,可使 γ 接近于 1。

$$\gamma = \frac{\text{基区扩散电流}}{\text{发射极总电流}} \quad (2.18)$$

(2) 使注入到基区的电子的复合率降低, 提高电子到达集电极的比例。可用传输因子 α_T 来表示。

$$\alpha_T = \frac{\text{到达集电极的电子电流}}{\text{注入基区的电子电流}} \quad (2.19)$$

减小基区的厚度, 使电子的复合率减小, 可使 α_T 接近于 1。如果 γ 和 α_T 十分接近于 1 时, 微弱的基极电流(空穴)就可使作为发射极电流主要成分的大量的电子注入基区, 并到达集电区形成集电极电流, 从而达到电流放大的目的。也可用式子来表达。

基极接地时的电流放大系数 α 为

$$\alpha = h_{FB} = \frac{I_C}{I_E} = \gamma \alpha_T \quad (2.20)$$

发射极接地时的电流放大系数 β 为

$$\beta = h_{FE} = \frac{I_C}{I_B} = \frac{\gamma \alpha_T}{1 - \gamma \alpha_T} \quad (2.21)$$

$\gamma \alpha_T$ 越是接近于 1, β 就越大。上式稍加整理可得

$$I_C = \gamma I_E \cdot \alpha_T = I_{\text{diff} \cdot B} \cdot \alpha_T \quad (2.22)$$

假设 $\alpha_T \approx 1$, 则 I_C 主要由基区扩散电流 $I_{\text{diff} \cdot B}$ 所决定。如果基区厚度 W_B 和电子的扩散长 L_n 相比足够小时, 下式成立。

$$\begin{aligned} I_{\text{diff} \cdot B} &= q \left[D_B \frac{dn_p(x)}{dx} \right]_{x=0} A_J \\ &= -q D_B \frac{n_p(0)}{W_B} A_J \\ &= -q D_B \frac{n_i^2}{N_B W_B} e^{\frac{qV_{EB}}{kT}} \cdot A_J \end{aligned} \quad (2.23)$$

式中

$$n_p(0) = n_{p0} e^{\frac{qV_{EB}}{kT}} = \frac{n_i^2}{N_B} e^{\frac{qV_{EB}}{kT}} \quad (2.24)$$

上式中 D_B 、 N_B 、 W_B 、 A_J 分别为基区中电子的扩散系数 [cm^2/s]、基区中的杂质浓度 [cm^{-3}]、基区厚度 [cm]、结面积 [cm^2]。 n_{p0} 和 $n_p(x)$ 分别为平衡状

态时基区中的电子浓度和注入到基区中的少数载流子(电子)的浓度。

图 2.7 表示 $W_B \ll L_n$ 时基区中的少数载流子的浓度。 $x \approx W_B$ 处,电子全被集电极所收集,少数载流子的浓度为零。正如式(2.23)所示的那样, $n_p(x)$ 可用直线近似表示, $I_{diff.B}$ 则由 $n_p(x)$ 的斜率来决定。减小基区的杂质浓度 N_B ,减薄基区的厚度 W_B ,可使 $I_{diff.B}$ (即 I_C)增大。

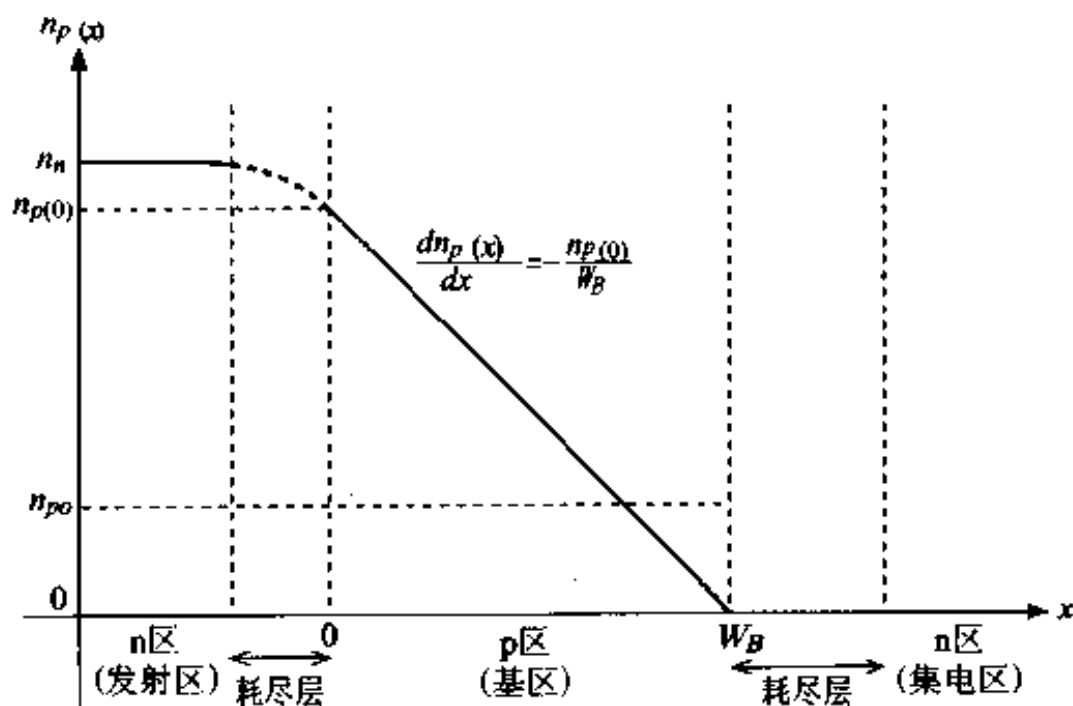


图 2.7 基区中的少数载流子浓度

2.2.3 双极型晶体管的特性

1. 电流-电压特性

双极型晶体管的电流-电压特性如图 2.8 所示。图(a)表示基极接地时的 I_C - V_{CB} 特性。由图可知, I_E 和 I_C 基本上相等, 且和 V_{CB} 的大小无关。图(b)表示发射极接地时, I_C 要比 I_B 大 2 个数量级以上。此处, $I_C/I_B = \beta$ 。在 I_C - V_{CE} 特性中, V_{CE} 小于 0.5 V 时, I_C 急剧地减小。在该区域中, E-B、B-C 两个结都处于正向偏置, 称该区域为饱和区。而把 I_C 基本保持一定值(与 V_{CE} 的大小无关)的区域称为线性区。需要注意的是这一称呼与 MOS 晶体管特性的称呼正好相反。图(c)表示 β 和 I_C 的关系。随着 I_C 的增加 β 逐渐增加, 随后为一定值, 最后略有下降。 β 随 I_C 变化的理由将在下面说明。作

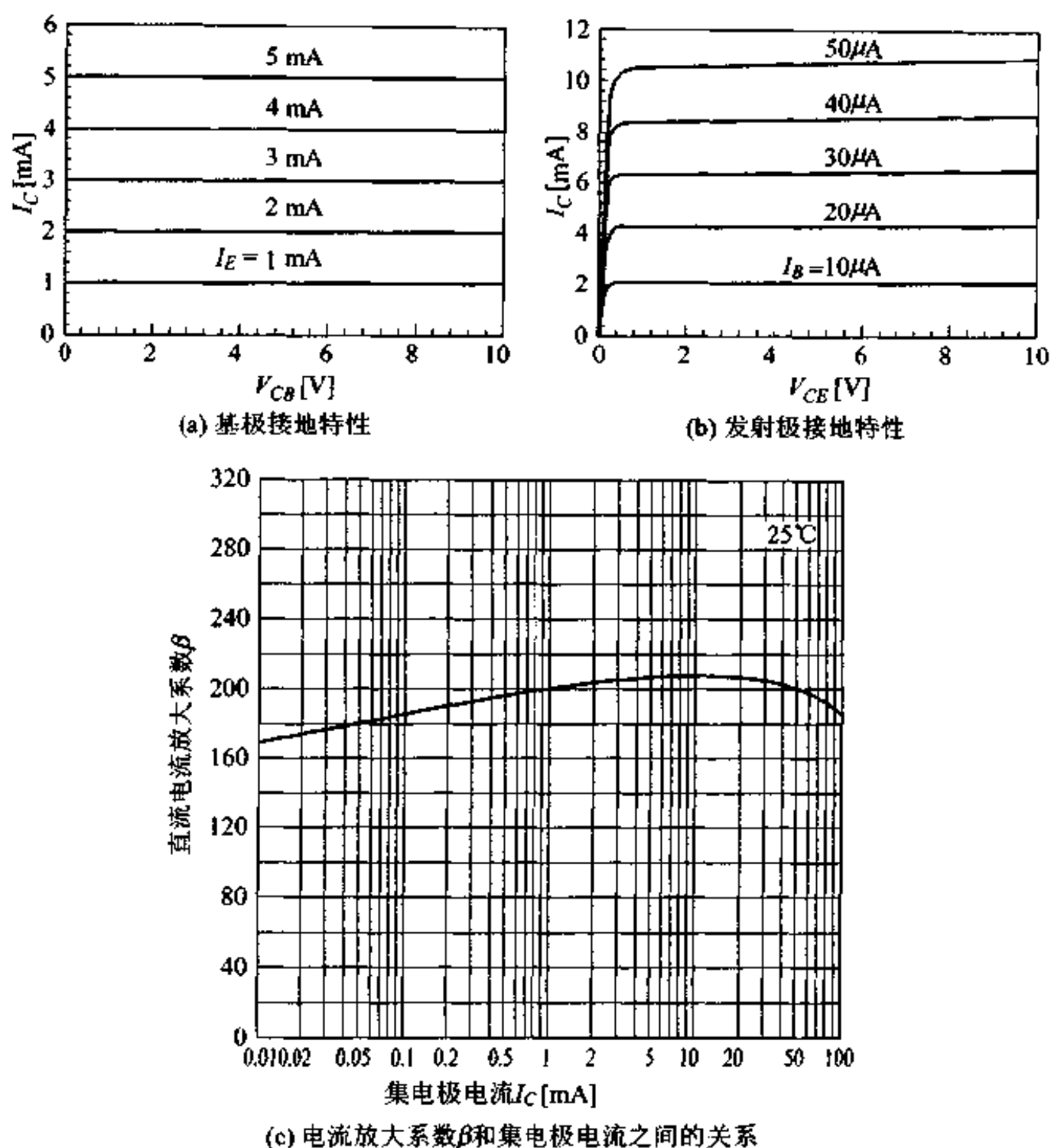


图 2.8 双极型晶体管伏安特性

为用户来说,希望 β 不随 I_C 变化而保持一定值。

2. 晶体管的工作速度

决定晶体管工作频率上限的因子是注入基区中的少数载流子再分布所需的时间。正如前项所叙述过的那样, I_C 即 I_{diff-B} 是由基区中的少数载流子分布的斜率决定的。为使 ΔI_C 随着 ΔV_{EB} 的增加而增大,有必要增加注入的

少数载流子的数量,加大 $dn_p(x)/dx$ (参照图 2.7)。根据这种思路,上限工作频率 f 取决于少数载流子贯穿基区所需时间的倒数,即

$$f \approx \frac{2D_B}{W_B^2} \quad (2.25)$$

3. 厄雷效应 (Early effect)

在 I_C - V_{CE} 特性的线性区域中,随着 V_{CE} 的增加, I_C 并不保持一定值而是略有增加。这主要是由于随着 V_{CE} 的增加, V_{CB} 增大,集电极-基极间的耗尽层厚度也增大,其结果导致基区的厚度变薄而引起的 (如图 2.9 所示)。这正好相当于增大了基区中少数载流子分布的斜率,促使 I_C 增加。这一现象称为厄雷效应^[2]。这正是 h_{FE} 随着 I_C 增加而变大的原因。为减小厄雷效应,必须减小集电极区域的杂质浓度,外延层正是为此目的而导入的。

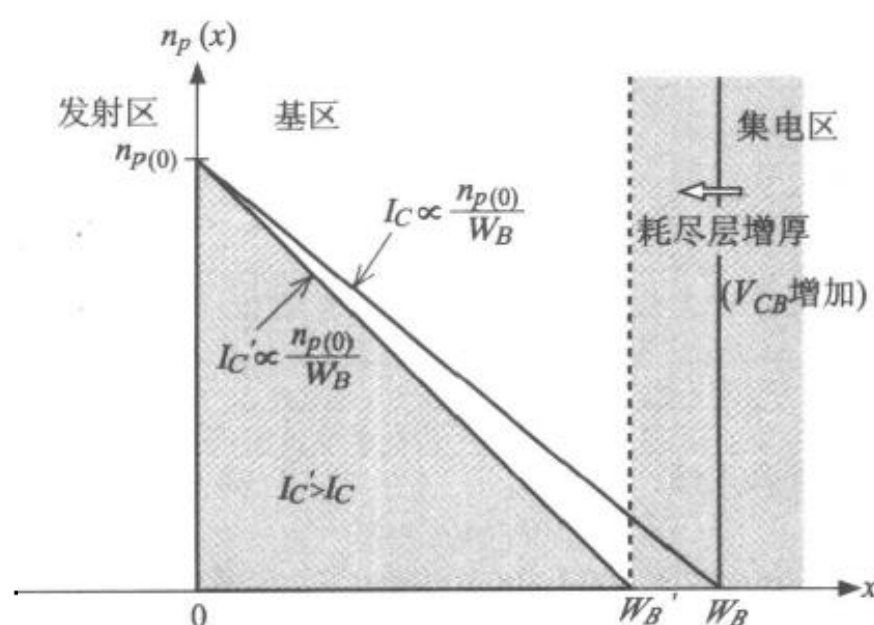


图 2.9 厄雷 (Early) 效应

4. 大电流效应

注入基区中的载流子的数目超过基区中的杂质浓度 (N_B) 时,根据基区内电荷中性条件, $n_p = p_p > N_B$,如同增大了基区的杂质浓度 (电导率调制)。其结果是使发射极的注入效率降低,电流放大系数减小。因而,在 I_C 大的区域 (图 2.8(c) 中, 10mA 以上), h_{FE} 减小。

5. 基极电阻

由于基区存在电阻分量,使 E-B 结的中央部分和接近基极电极的基区部分之间产生电位差。从而, V_{EB} 随发射极 - 基极间的地点不同而异,在端部正向偏压变大,电流集中。为防止产生这一不良现象,有必要优化发射极的尺寸,或进一步缩短发射极-基极间的距离,改良基极电极的结构。

2.3 MOS 晶体管

MOS 晶体管也称为 MOS 场效应晶体管 (MOSFET: MOS field-effect transistor), 是构成集成电路的主要器件。MOS 晶体管的工作原理是在 1930 年代提出的, 要比双极型晶体管早得多, 但是由于氧化膜的质量问题, 实际问世却比双极型晶体管要迟^[3-5]。在双极型晶体管中, 其电流是通过硅片的内部结而流动的, 而 MOS 晶体管中, 其电流流过硅片与二氧化硅膜的界面。同时, 电压控制是通过二氧化硅膜实现的, 所以不希望二氧化硅膜中存在钠离子等移动电荷。自从硅片表面可形成高质量的热二氧化硅膜层以后, MOS 晶体管才达到实用化的阶段。为了理解 MOS 晶体管的工作原理, 必须掌握理想 MOS 二极管的能带结构、载流子沟道的形成机理、沟道形成时的电压(阈值电压)以及 C-V(电容-电压)特性。

2.3.1 理想 MOS 的结构

首先, 让我们来考察理想的 MOS 二极管(图 2.10)。在热平衡状态下, 费米能级为一定值。硅的 E_c 、 E_v 也为一定值。这种状态称为平带状态(flat band)。在 MOS 二极管的栅极上加上由负到正的电压时, 就可得到图 2.11 所示的积累(accumulation)、耗尽(depletion)和反型(inversion)这三种偏置状态。积累状态是硅中多数载流子(空穴)堆积在硅和二氧化硅膜界面的状态, 耗尽状态是界面附近不存在载流子的状态, 反型状态是少数载流子(电子)堆积在界面, 使 p 型半导体表面 n 型化了的的状态。这一反型层成为有效沟道状态时称其为强反型(strong inversion), 此时, 反型层内的载流子浓度 n_s 和硅体内的杂质浓度 N_A 相等, 即 $n_s = N_A$ 。

$$\phi_s(\text{inv}) = 2\phi_B \quad (2.26)$$

如图 2.11 所示, ϕ_s 为硅表面势的变化量, ϕ_B 为 E_i 和 E_F 间的电势差。在硅材料中, 电荷总量 Q_s 为反型层电荷 Q_n 和耗尽层内电荷 Q_B 两者之和, 与电极电荷 Q_G 在数量上是相等的, 如下式所示

$$|Q_G| = |Q_s| = |Q_n| + |Q_B| \quad (2.27)$$

$$Q_B = -qN_A x_{dmax} \quad (2.28)$$

$$x_{dmax} = \sqrt{\frac{2\epsilon_s \phi_s (\text{inv})}{qN_A}} \quad (2.29)$$

上式中, x_{dmax} 是硅内形成的耗尽层的厚度, 与单边突变 pn 结情况相同。强反型以后, 即使再加大正向偏压, 耗尽层的厚度不再变化而为一定值。这是由于反型层内感应出电子 (来自价带) 的缘故, 相当于式 (2.27) 中的 Q_n 值的增加。形成强反型状态时的栅极电压称为阈值电压 V_{TC} 。

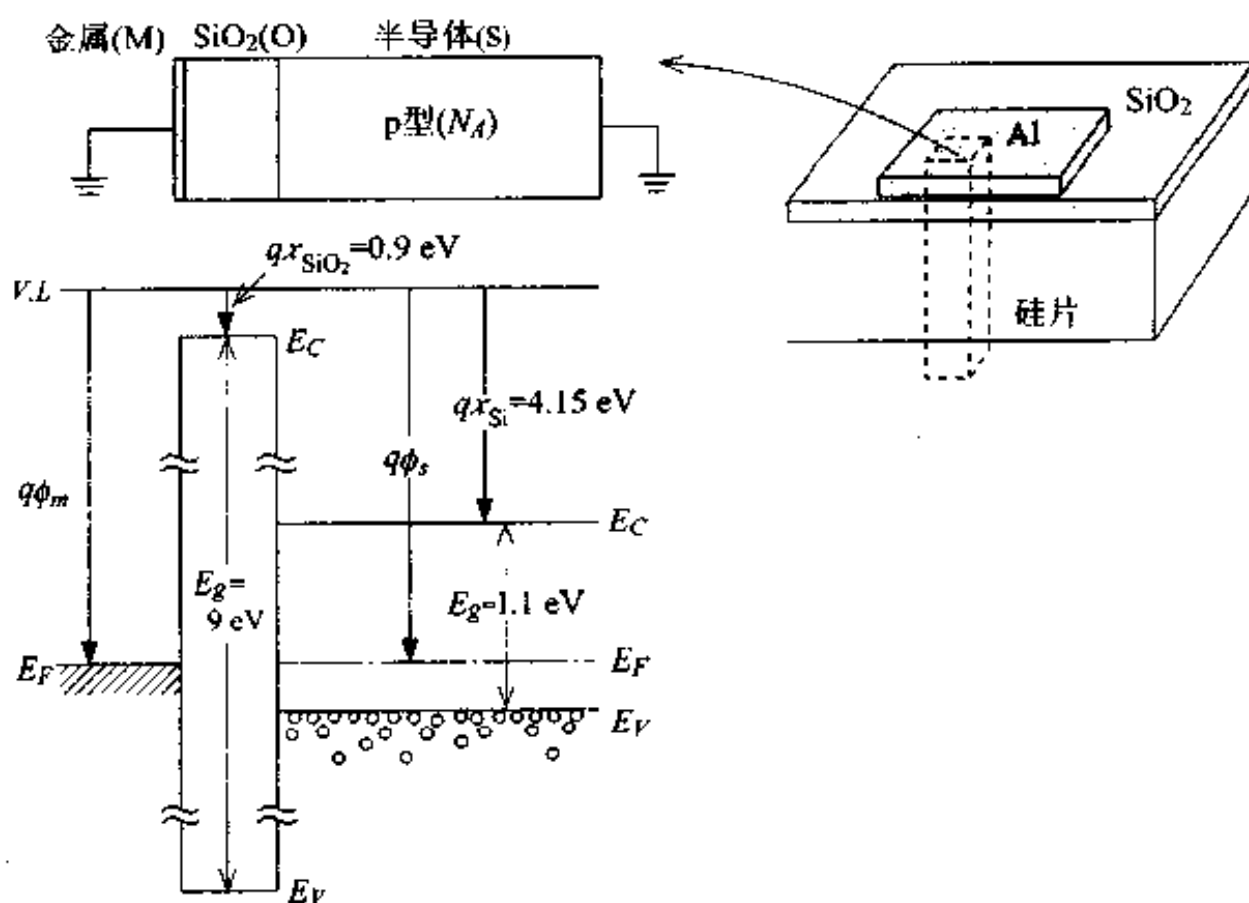
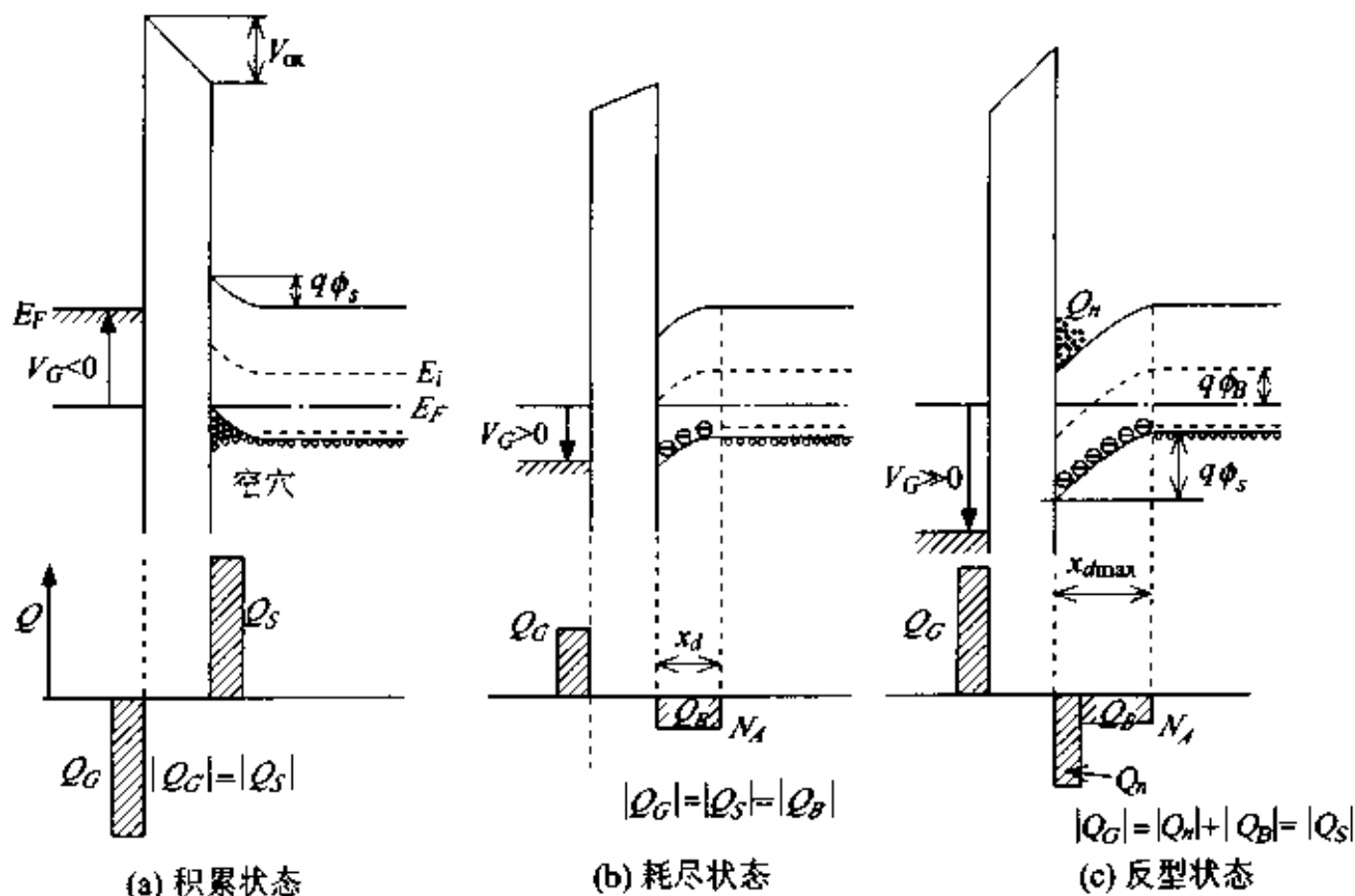


图 2.10 理想 MOS 的结构和能带图

图 2.11 不同栅极电压 V_G 时的 MOS 结构和电荷分布

2.3.2 MOS 二极管的电容-电压特性

如图 2.12 所示,栅极电压 V_G 是加在二氧化硅膜上的电压 V_{ox} 和硅上的电压 ϕ_s 之和。

$$V_G = V_{ox} + \phi_s \quad (2.30)$$

式中,加在二氧化硅膜上的电压 V_{ox} 为

$$V_{ox} = \frac{Q_G}{C_{ox}} = -\frac{Q_S}{C_{ox}} \quad (2.31)$$

其中

$$C_{ox} = \frac{\epsilon_{ox}}{d_{ox}} \quad (2.32)$$

式中 d_{ox} 为二氧化硅膜的厚度, ϵ_{ox} 为二氧化硅膜的介电常数, C_{ox} 为单位面积的二氧化硅膜的电容。

MOS 二极管的电容由 C_{ox} 和硅一侧的单位面积电容 C_s 串联而构成的,如图 2.12(a) 的等效电路所示。

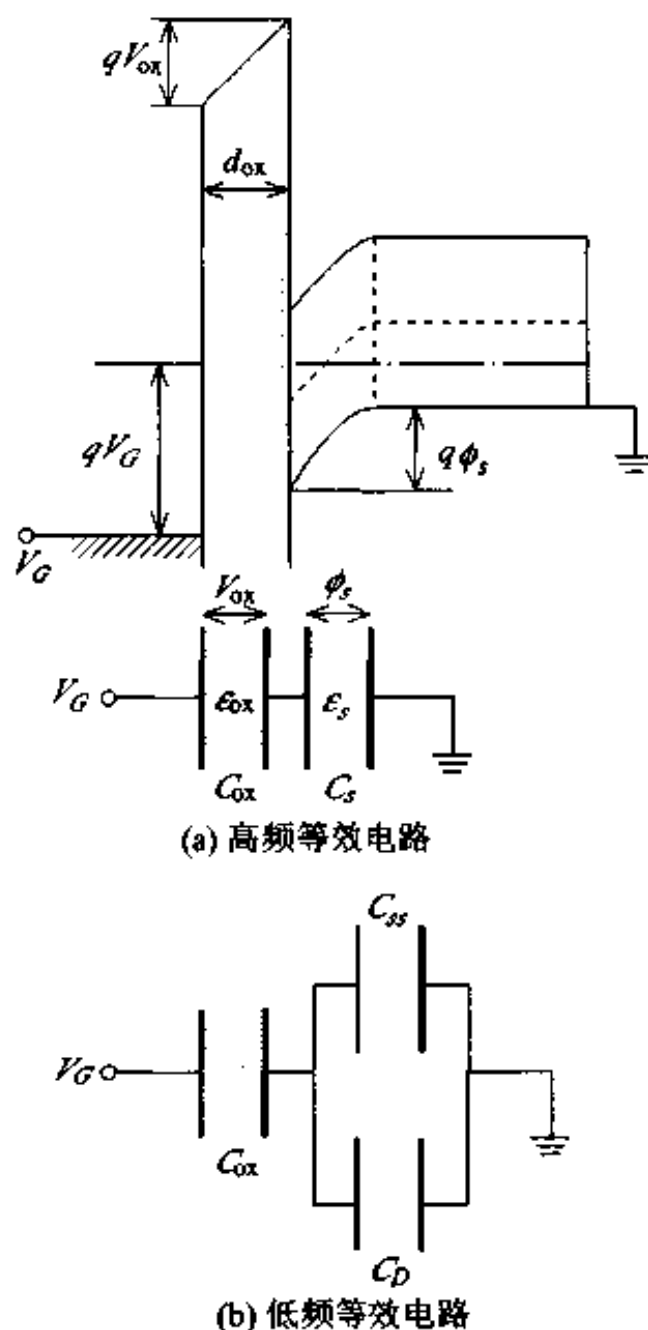


图 2.12 MOS 二极管电容等效电路

$$C \equiv \frac{dQ_c}{dV_G} = - \frac{dQ_s}{dV_G} = - \frac{dQ_s}{-\frac{dQ_s}{C_{ox}} + d\phi_s} = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_s}} \quad (2.33)$$

C_{ox} 不随偏压状态变化而为一定值,但是 C_s 随偏压的大小而变化。在积累状态时,由于多数载流子的存在, $C_s \gg C_{ox}$, 所以 $C = C_{ox}$ 。在耗尽状态和反型状态,耗尽层电容 $C_D = C_s$, 根据式(2.33)可求出电容 C 。

在高频情况下(1kHz 以上),设耗尽层的厚度为 x_d ,则耗尽层的电容为

$$C_D = \frac{\epsilon_s}{x_d} = \sqrt{\frac{q\epsilon_s N_A}{2\phi_s}} \quad (2.34)$$

在低频情况下(100Hz 以下),硅一侧的反型层内生成的电荷 Q_n 作为电容 C_{js} 对二极管的电容有影响。这是由于来自价带的载流子的产生-复合速度能跟随低频电压变化的缘故。此时的等效电路如图 2.12(b) 所示。

综上所述, MOS 二极管的电容-电压特性,在高频时如图 2.13(a) 所示。在形成强反型后再加大偏压时,由于耗尽层厚度 x_{dmax} 为一定值,所以电容也为一定值。在低频情况下,如图(b)所示,在强反型点附近电容又将增大,这是由于反型层的电容 C_{js} 增大之缘故。当加上脉冲偏压时,往往出现在强反型附近引起电容减小的特殊状态,即深耗尽(deep depletion)状态。在耗尽层厚度增加到比 x_{dmax} 大时,在脉冲偏压条件下,反型层电荷的发生不能跟随偏压的变化,只好靠耗尽层厚度的增加来保持电荷的平衡($|Q_c| = |Q_s|$)。另外,当产生-复合速度慢时,通过一般的测试有时也能观察得到这一现象。

形成强反型状态时的电压定义为阈值电压 V_T ,如下式所示

$$\begin{aligned} V_T &= V_{ox} + \phi_s(\text{inv}) \\ &= \frac{|Q_s|}{C_{ox}} + 2\phi_B = \frac{qN_A x_{dmax}}{C_{ox}} + 2\phi_B \end{aligned} \quad (2.35)$$

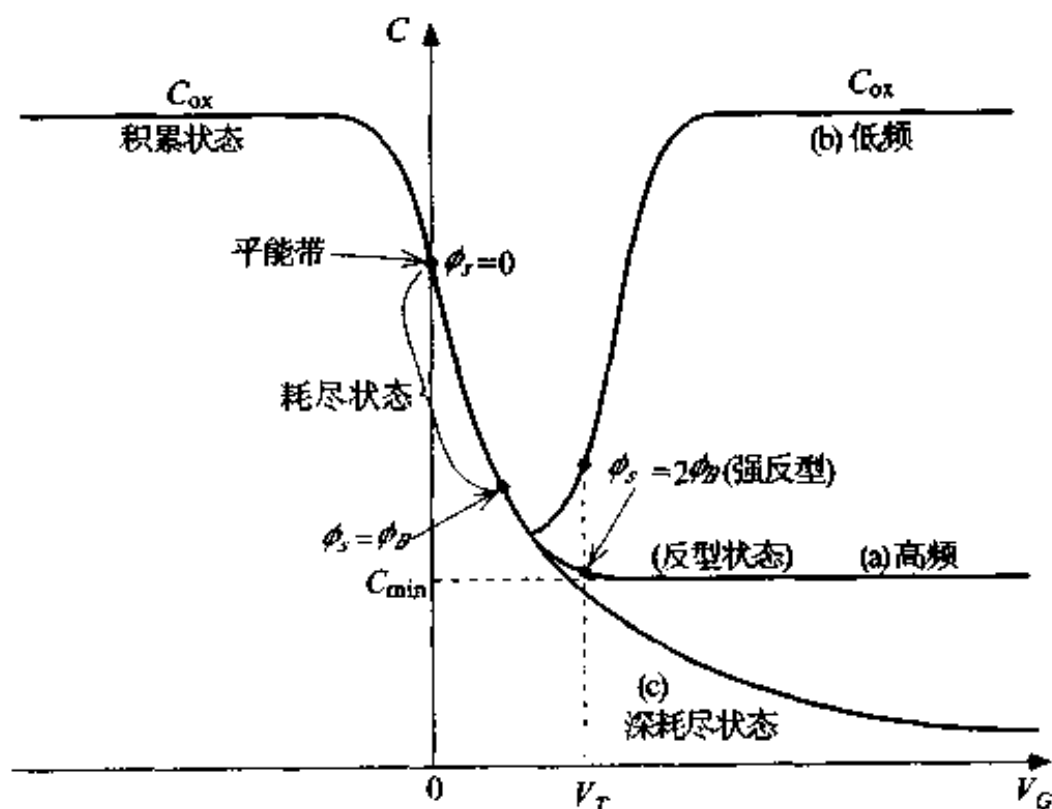


图 2.13 电容-电压特性

所以

$$V_T = \frac{\sqrt{2\epsilon_s q N_A (2\phi_B)}}{C_{ox}} + 2\phi_B \quad (2.36)$$

这是理想 MOS 情况下的表达式。实际上,必须考虑非理想状态(栅极金属与硅的功函数差 $q\phi_{ms} = q\phi_m - q\phi_{sem}$ 、硅与二氧化硅膜界面上存在的界面能级 Q_{ss} 、二氧化硅膜中存在的固定电荷 Q_f 等),进行修正。以上的因素用平带移动(flat band shift) V_{FB} 来表示

$$V_{FB} = \phi_{ms} - \frac{Q_{ss} + Q_f}{C_{ox}} \quad (2.37)$$

则实际的阈值电压如下式所示

$$V_T = V_{FB} + 2\phi_B + \frac{\sqrt{2\epsilon_s q N_A (2\phi_B)}}{C_{ox}} \quad (2.38)$$

2.3.3 MOS 晶体管的种类及工作原理

MOS 二极管加上源极和漏极,就成为三端器件——MOS 晶体管(MOS FET),如图 2.14 所示。一般说来,以源极为基准(接地),在栅极以及漏极之间加上电压。MOS 晶体管可分成四大类:n 沟道(载流子为电子),p 沟道(载流子为空穴),增强型(enhancement type)和耗尽型(depletion type),如图 2.15 所示。增强型 MOSFET 是指在栅极上加有比阈值电压(绝对值)大

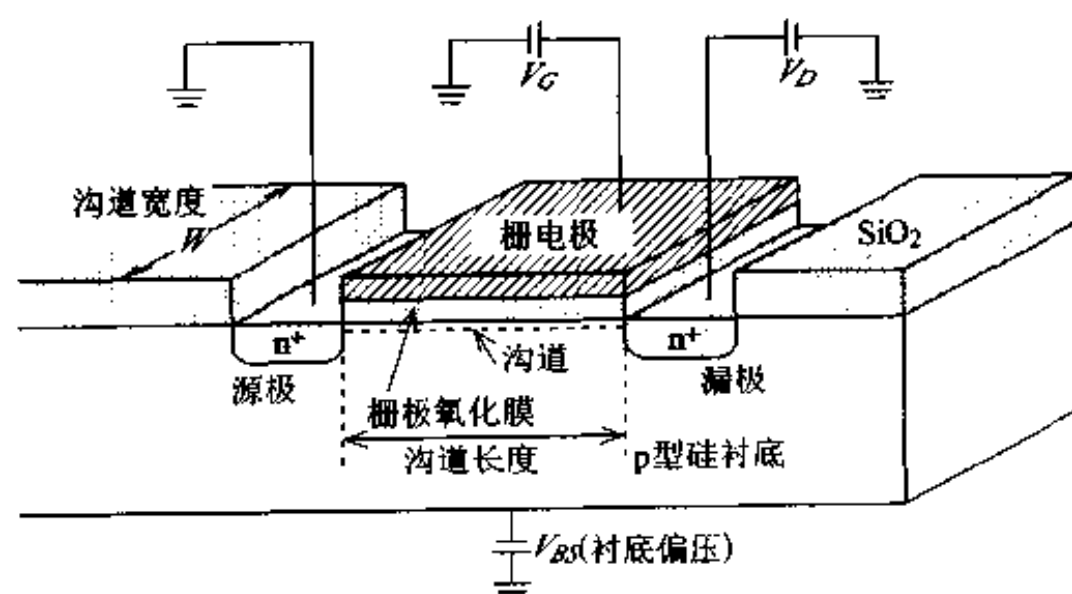


图 2.14 MOS 晶体管(n 沟道增强型)

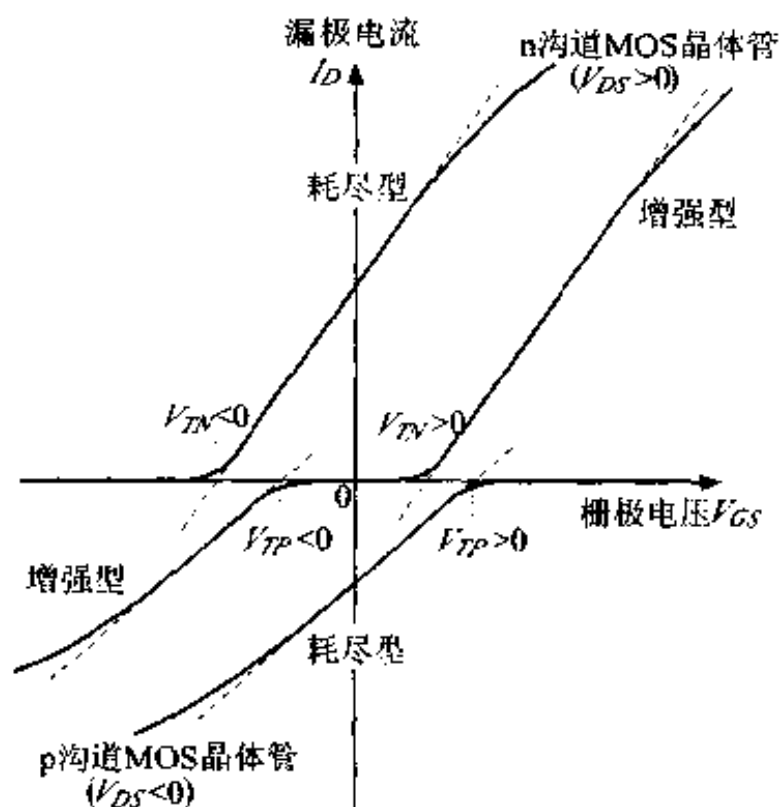


图 2.15 各种 MOS 晶体管

的栅极电压(绝对值)时,才能在栅极的下面形成导电沟道,是一种“常断”的 MOS。耗尽型 MOSFET,栅极电压为 0V 时也有着导电沟道,是一种“常通”的 MOS,n 沟道时阈值电压是一个负值。

下面,让我们来考察图 2.16 所示的 n 沟道增强型 MOS 的工作原理。当栅极上加有比阈值电压大的正栅极电压时,形成沟道。这一沟道是一个具有电阻的导电层,所以漏极电压向正方向增加时,漏极电流将成比例地增加。我们称这一区域为线性区域。但是,如果继续增大漏极电压, V_G-V_D 间的电压减小,当减小到比阈值电压还要小的时候,漏极附近沟道消失(称为夹断),成为耗尽层。此时的漏极电压为 $V_{D(sat)}$ 。当漏极上加上比 $V_{D(sat)}$ 大的电压时,这个夹断点将向源极侧移动。那一点的电压仍然保持在 $V_{D(sat)}$ 。则漏极电流几乎不增加而为一定值。该区域称为饱和区域。载流子在沟道中流动,在夹断点处注入耗尽层,由强电场收集到漏极。这一现象与双极型晶体管的基极-集电极间的耗尽层的机能相同。

为用公式来描述电流-电压特性,我们将作以下假设:如图 2.16(a)所示,将沟道区域看成是一个电阻体,源极-漏极方向的电场强度 E_x 比栅极-衬底间的电场强度 E_y 小(缓变型沟道近似,gradual channel approximation),

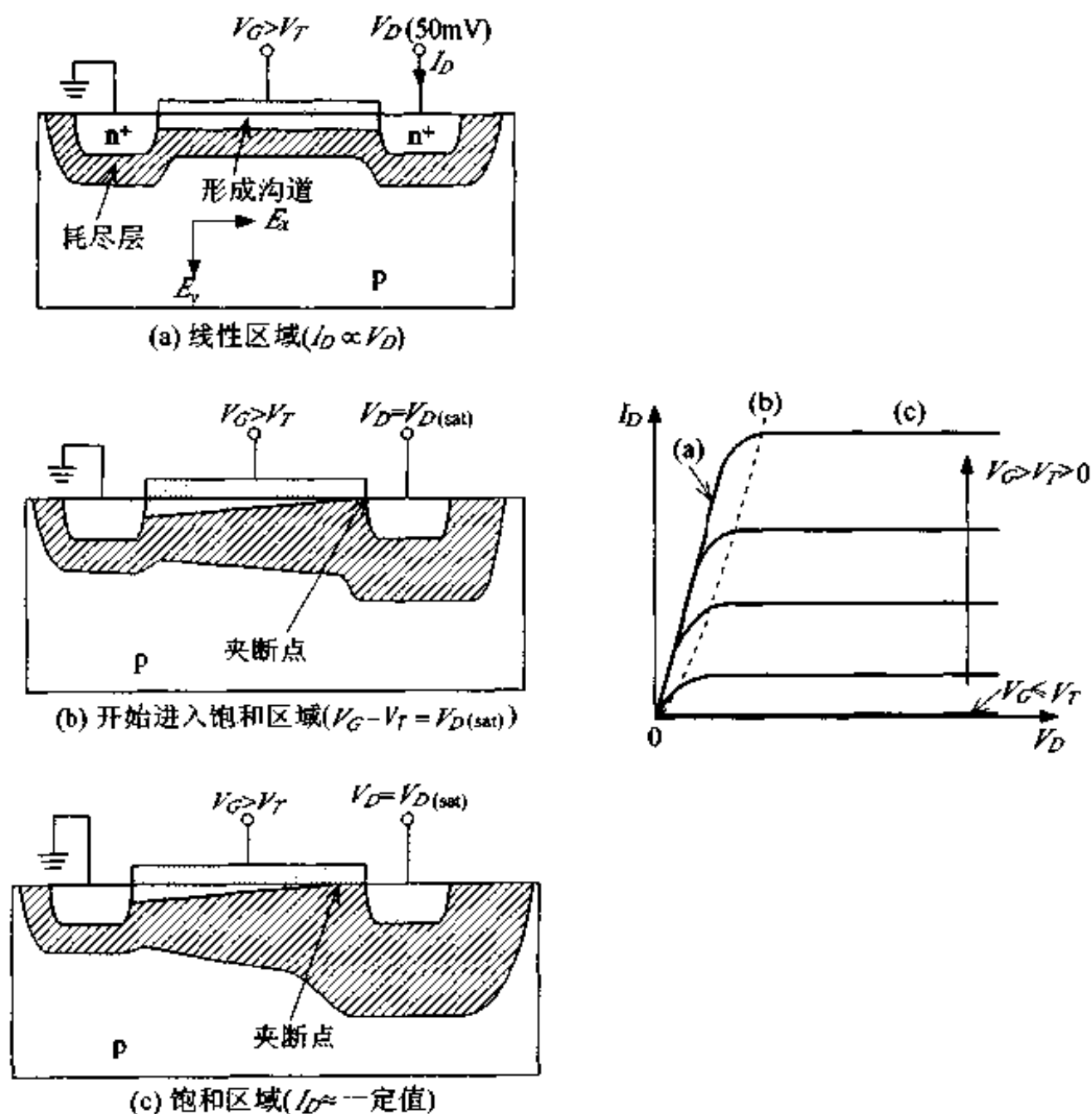


图 2.16 MOS 晶体管工作原理

同时, 电流也只是由 E_x 所产生的漂移电流。则沟道方向的电流-电压间的关系将如下式所示

$$dV = I_D dR = - \frac{I_D dx}{W \mu_n Q_n(x)} \quad (2.39)$$

$V_D \ll 2\phi_B$ 时(线性区域), 将上式积分, 则 I_D 如下式所示

$$I_D = \frac{W}{L} \mu_n C_{ox} \left[V_G - V_{FB} - 2\phi_B - \frac{\sqrt{2\epsilon_s q N_A (2\phi_B)}}{C_{ox}} - \frac{V_D}{2} \right] V_D$$

$$\approx \frac{W}{L} \mu_n C_{ox} (V_G - V_T) V_D \quad (2.40)$$

$$= \beta_n (V_G - V_T) V_D \quad (2.40')$$

式中, $\beta = \mu_n C_{ox} (W/L)$, 称为增益系数。由上式可看出, I_D 是与 V_D 成比例地增加的。图 2.17 表示 $W/L=2$ 的 n 沟道增强型 MOS 晶体管的 I_D - V_D 、 I_D - V_G 特性的实测值。由图可知, 该晶体管的阈值电压 $V_T = 1V$ 。

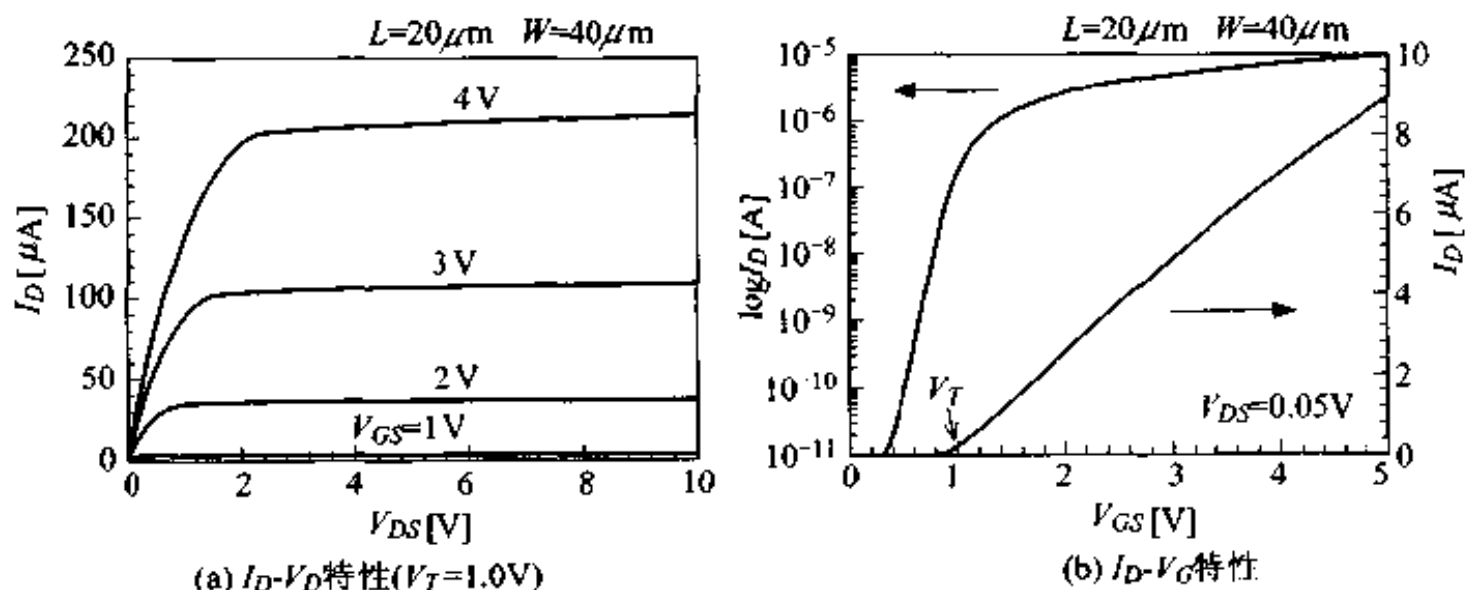


图 2.17 n 沟道增强型 MOS 晶体管的特性

式(2.40')只在线性区域里有效。将 $V_D = V_{D(sat)} = V_G - V_T$ 代入式(2.40), 可得到饱和区域的漏极电流的近似表达式。

$$\begin{aligned} I_D &= \frac{W}{2L} \mu_n C_{ox} (V_G - V_T)^2 \\ &= \frac{1}{2} \beta_n (V_G - V_T)^2 \end{aligned} \quad (2.41)$$

由式(2.40)可以求出表示 MOSFET 器件的重要特性参数——沟道电导 g 和跨导 g_m 。

$$g = \left. \frac{\partial I_D}{\partial V_D} \right|_{V_G = \text{常数}} = \frac{W}{L} \mu_n C_{ox} (V_G - V_T) \quad (2.42)$$

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D = \text{常数}} = \frac{W}{L} \mu_n C_{ox} V_D \quad (2.43)$$

在饱和区域中, 可用 $V_{D(sat)}$ 代替 V_D 。

2.3.4 其他重要说明

1. 衬底的偏压效应

衬底相对于源电极加上偏压 V_{BS} (图 2.14), 将引起阈值电压的变动, 这是由于耗尽层的厚度增大而产生的。偏压 V_{BS} 为反向偏压时, V_T 为

$$V_T = V_{TB} + 2\phi_n + \frac{\sqrt{2\epsilon_s q N_A (2\phi_B + V_{BS})}}{C_{ox}} \quad (2.44)$$

阈值电压的绝对值向增大的方向移动。

2. 亚阈值区域(subthreshold region)

即使在阈值电压 V_T 以下的弱反型区域, I_D 也指数式地随 V_{GS} 增大, 如图 2.17(b) 所示。为此, 利用其作为逻辑电路的开关, 该区域的上升率显得非常重要。评价这一特性的参数称为亚阈值摆动(subthreshold swing)或 S 因子, 在数值上正好相当于为使漏极电流 I_D 变化一个数量级所需的栅极电压增量 ΔV_G 。

$$S = \frac{dV_G}{d(\log_{10} I_D)} \quad [\text{mV/decade}] \quad (2.45)$$

S 值随器件结构参数(例如: 栅极二氧化硅膜的厚度、衬底的杂质浓度、衬底偏压等)、温度的不同而异, 室温下的理论最小值为 60 mV/decade。

3. 短沟道效应

除沟道长度以外的其他结构参数保持一定值, 当逐渐缩短沟道长度达到某一值时, 阈值电压开始下降。这一现象称为短沟道效应。这和上述的理想 MOS 晶体管不同, 随着器件的微小型化, 源和漏的耗尽层厚度和沟道长度相近时, 电场的分布从只考虑纵向(一维)到纵横两个方向都需考虑, 即必须考虑电场的二维分布。这意味着不能采用缓变型沟道近似。这种短沟道效应引起阈值电压的下降、S 因子增大以及源漏结穿透(punch through)等问题。

4. MOS 器件的比例缩小法则

为了提高 MOS 器件的集成度, 达到高性能, 在按比例地缩小 MOS 晶体

表 2.1 MOS 晶体管的比例缩小法则

(a) 器件参数

参 数		缩小比例
沟道长度	L [μm]	$1/K$
沟道宽度	W [μm]	$1/K$
栅极氧化膜厚度	d_{ox} [μm]	$1/K$
结深	x_j [μm]	$1/K$
耗尽层厚度	x_d [μm]	$1/K$
衬底杂质浓度	N_A [cm^{-3}]	K
器件面积	A [cm^2]	$1/K^2$
单位面积栅极电容量	$C_{\text{ox}} = \frac{\epsilon}{d_{\text{ox}}}$ [F/cm^2]	K

(b) 电路参数

参 数		缩小比例
电压	V	$1/K$
电流	I	$1/K$
布线电容量	$C = \frac{\epsilon}{d} A$	$1/K$
布线电阻	$R_L = \rho l / wt$	K
延迟时间	VC/I	$1/K$
消耗功率	VI	$1/K^2$
开关能量(速度与功耗的乘积)	CV^2	$1/K^3$
电场	E	1

注:表中参数请参照图 2.18。

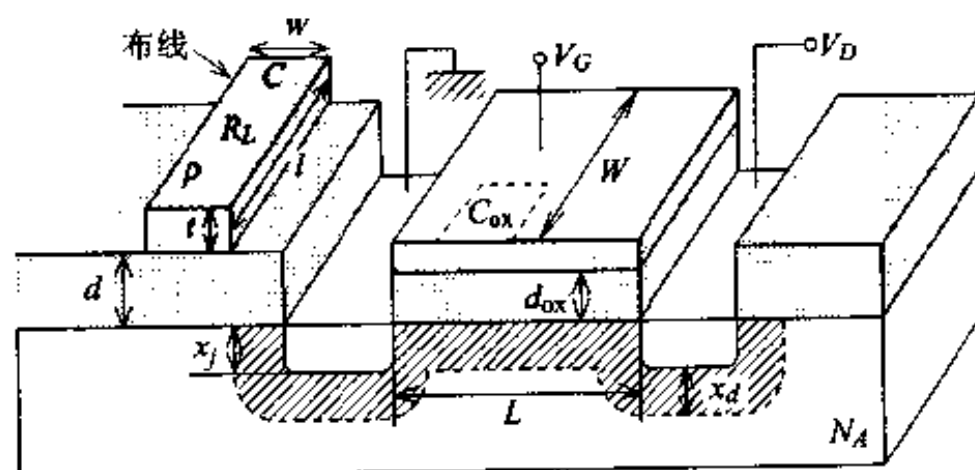


图 2.18 精细 MOS 晶体管

管的纵横两个方向尺寸的同时,也让电源电压、杂质浓度等按比例地变化。这一法则称为比例缩小法则(Scaling law)^[6]。正如表 2.1 所示,器件的物理尺寸缩小为 $1/K$,此时杂质浓度为 K 倍,电源电压为 $1/K$ 。从而漏极电流为 $1/K$,延迟时间为 $1/K$,消耗的功率为 $1/K^2$,开关能量(速度与功耗的乘积)成为 $1/K^3$,器件高性能化。集成电路正是按照这样的规律,不断地微型化。

2.4 集成电路中的无源元件

一般电子电路中使用的无源元件有电感 L 、电容 C 及电阻 R ,集成电路中使用的无源元件只有 C 和 R 两种,这是由于集成电路是在硅片上以平面工艺制作而成的缘故。与其他的可在硅表面制成的平面元件不同,电感制造困难。此外,电阻和电容可在制造晶体管、二极管的同时形成,与单独的元件价格不相上下。因为集成电路中的电阻和电容占据较大的表面积,所以价格较高。为此,往往以晶体管、二极管来代替负载电阻。

根据结构和工艺的不同,电阻有基极扩散电阻、发射极扩散电阻和外延层电阻等。图 2.19 示出基极扩散电阻、夹层电阻以及外延层电阻的结构。基极、发射极扩散电阻是和基区、发射区扩散工艺同时制成的。例如,基极扩散电阻就是利用 p 型区域。该 p 型区域是在形成基区的同时,向 n 型外延层扩散硼而形成的。电阻区域是利用反向偏置的 pn 结将其与周围区域电绝缘(隔离)起来的。电阻可由下式求得

$$R = \frac{L}{W} R_f \quad [\Omega] \quad (2.46)$$

式中, R_f 称为方块电阻,为任意正方形的电阻层的两端间的电阻, $R_f = \rho/d$ (ρ 为电阻率, d 为电阻层的厚度)。其单位为 $[\Omega/\square]$ 。当 R_f 为一定值时,电阻值取决于电阻层的长与宽的比值 L/W 。

可以利用 MOS 的电容或者利用 pn 结的电容作为电容元件。与电阻同样,要获得大的电容量需要大片的基板面积,因而尽量采用小电容元件构成电路。最近的 DRAM 中,为了减小电容元件占据的面积,采用了三维结构和高介电常数的绝缘材料构成电容元件。

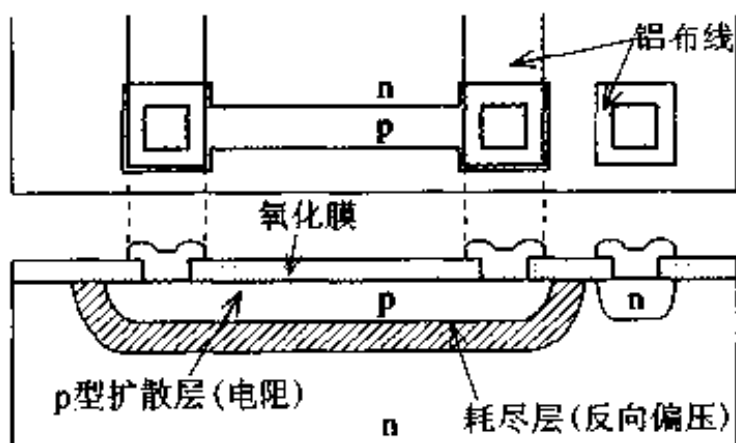
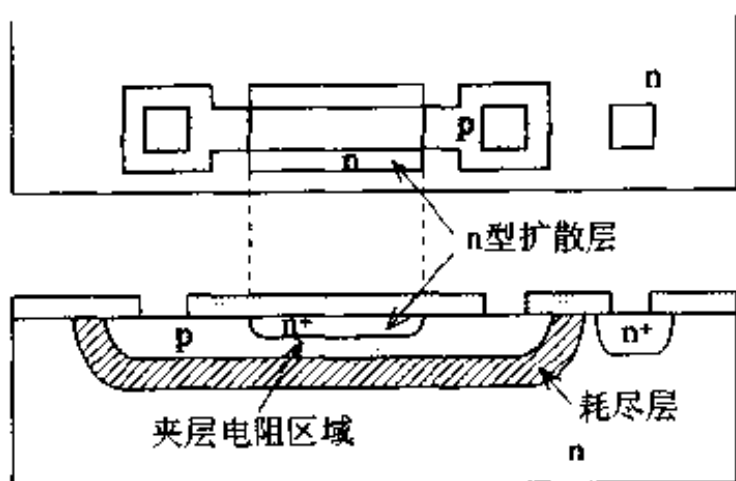
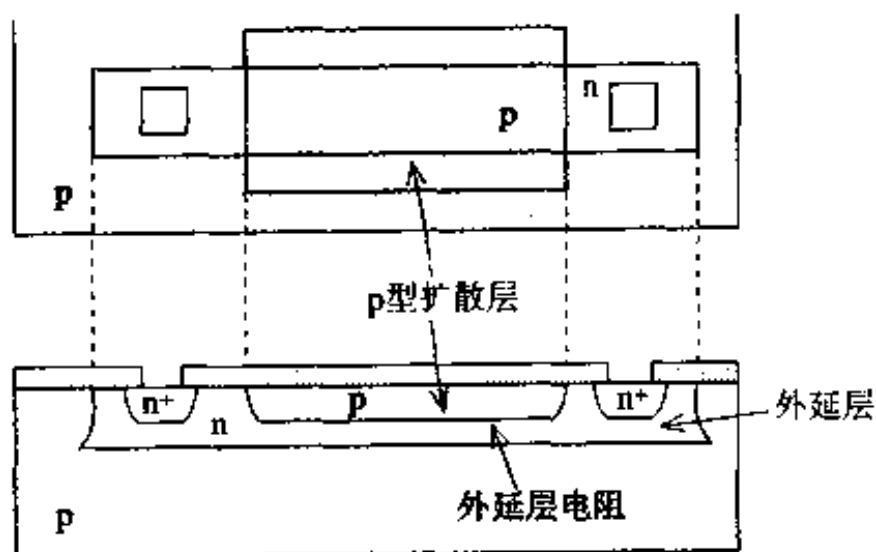
(a) 基极扩散电阻($R_F=100\sim200\Omega/\square$)(b) 夹层电阻($R_F=2\sim10k\Omega/\square$)(c) 外延层电阻($R_F=4\sim10k\Omega/\square$)

图 2.19 集成电路中的电阻

固体器件的发明

直到 20 世纪中期,为了取代电子学中作为有源器件工作的真空管,美国的 Lilionfeld 和英国的 Heil 在 20 世纪 30 年代提出了表面控制型场效应晶体管 (FET),即现在的 MOSFET。这种器件是电压控制器件,当然可代替同样是电压控制型的真空管。Bell 研究所一直积极地研究,但是到 20 世纪 40 年代没有能实现。

但是,世界上的大发明往往超过人们的预料而产生偶然的产物。最初实用化的固体器件却是,1947 年 Bell 研究所多少带有些偶然性地发明的电流控制型双极型晶体管(点接触型晶体管)。1948 年 Shockley 发明了结型晶体管,使固体物理和工程学向前迈进了一大步,成为现代集成电路的重要基础。与双极型晶体管的工作原理不同的结型 FET,是 1952 年由 Shockley 首先发表的。嗣后,直到 1960 年才由 Kahng 和 Atalla 两人发表了采用热氧化硅膜制成的 MOS 晶体管,即现在使用的 MOS 结构。由此,诞生了集成电路中又一个重要的器件。

1950 年以后的 10 年间,对半导体锗(Ge)进行了很多的研究。后来由于硅的热氧化膜的出现使平面技术获得成功,20 世纪 60 年代硅成了器件和集成电路的主要材料,直到今天。虽然自晶体管发明到今天才只有半个世纪,以集成电路为基础的电子工业却获得了惊人的发展。

练 习 题

试利用下列物理常数解题

电子的电荷 $q: 1.6 \times 10^{-19} \text{C}$

硅的介电常数 $\epsilon_s: 11.9 \times 8.854 \times 10^{-14} \text{F/cm}$

二氧化硅的介电常数 ϵ_{ox} :

$$3.9 \times 8.854 \times 10^{-14} \text{F/cm}$$

真空介电常数 $\epsilon_0: 8.854 \times 10^{-14} \text{F/cm}$

硅的本征载流子浓度 $n_i: 1.45 \times 10^{10} \text{cm}^{-3} (300\text{K})$

硅的禁带宽度 $E_g: 1.12 \text{eV} (300\text{K})$

硅的电子亲和势 $\chi_s: 4.15 \text{eV}$

300K 时的等效电压值 $kT/q: 0.0259 \text{V} (300\text{K})$

铝的功函数 $\phi_{Al}: 4.1 \text{eV}$

表 2.2

杂质浓度 $N [\text{cm}^{-3}]$	扩散系数 $[\text{cm}^2/\text{s}]$		寿命 $\tau [\text{s}]$
	D_n	D_p	
10^{15}	30		1×10^{-5}
10^{16}	25	10	3×10^{-6}
10^{17}	20	8	2×10^{-6}
10^{18}	10	5	1×10^{-6}

- 4 有一由浅扩散形成的 pn 结。杂质浓度分别为 $N_D = 1 \times 10^{20} \text{cm}^{-3}$, $N_A = 2.1 \times 10^{15} \text{cm}^{-3}$ 。求结的扩散电势 ϕ_b 和耗尽层的厚度(热平衡态)是多少?

- 2 假设上述二极管的结面积为 $0.4\text{mm} \times 0.4\text{mm}$, 其结电容为多少?
- 3 上述二极管中设 $\tau_p = \tau_n$, 当在零偏压时主要电流的成分是什么? 电流的大小是多少?
- 4 说明双极型晶体管电流放大作用的原理。
- 5 为获得大的 h_{FE} , 在双极型晶体管的结构上应采取什么措施?
- 6 假设 $\alpha_T = 1$, $W_B = 2\mu\text{m}$, 基区杂质浓度 $N_B = 10^{17}\text{cm}^{-3}$, $A_J = 0.4\text{mm} \times 0.4\text{mm}$, 求 $V_{EB} = 0.6\text{V}$ 时, npn 晶体管的 I_C 为多大?
- 7 n 型硅衬底的浓度为 $1 \times 10^{16}\text{cm}^{-3}$, 用铝和多晶硅(n 型)作栅电极时的功函数差 ϕ_m 分别为多大?
- 8 以 n⁺ 多晶硅为栅电极时, p 型硅($1 \times 10^{16}\text{cm}^{-3}$)衬底上的 MOSFET 的阈值电压 V_T 为多大? 设 $d_{ox} = 0.12\mu\text{m}$, $Q_{ox} = 2 \times 10^{10}\text{cm}^{-2} \cdot \text{eV}^{-1}$, $Q_f = 7 \times 10^{10}\text{cm}^{-2}$ 。
- 9 欲将 n 沟道增强型 MOS 的 V_T 向正方向增加时, 需变更什么参数?
- 10 由图 2.17(b) 求 $V_G = 5\text{V}$ 时的有效迁移率 μ_{eff} 以及场效应迁移率 μ_{FE} 。提示: 由 V_T 为起点的直线的斜率可以求出 μ_{eff} , 由 $I_D - V_G$ 曲线的切线的斜率可求出 μ_{FE} , (参照图 2.20)。
- 11 试用比例缩小法证明 I_D 为 $1/K$ 倍时, 信号的传递速度为 K 倍。

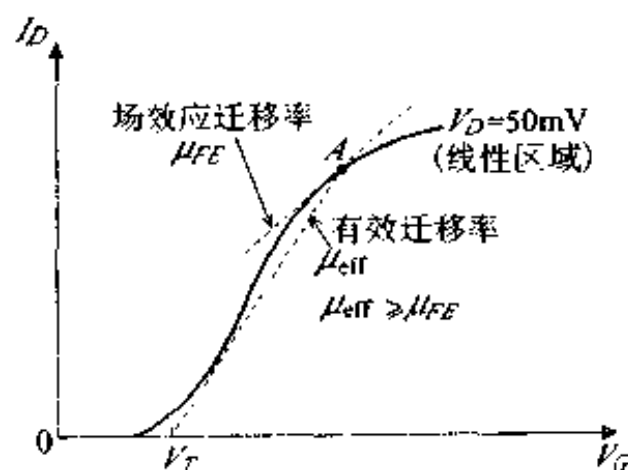


图 2.20 V_T , μ_{eff} , μ_{FE} 的求法

引用文献

- [1] W. W. Gaertner; Transistors, D. Van Nostrand Co. Inc. (1960), p. 53
- [2] J. M. Early; Proc. IRE, 40 (1952), p. 1401

- [3] J. Lilienfeld; 美国专利 17 451 759 (1930 批准)
- [4] O. Heil; 英国专利 439 457 (1935 批准)
- [5] D. Kahng and M. M. Atalla; Silicon-Silicon Dioxide Field Induced Surface Devices, IRE Solid-State Device Research Conference, Carnegie Inst. of Tech., Pittsburgh (1960)
- [6] R. H. Dennard, et al.; IEEE J. of Solid-State Circuits, SC-9,5 (1974), p. 256

集成电路的基础工艺

集成电路是经过很多道工序制成的。其中最基础的工艺有:形成二氧化硅膜的热氧化工艺,将杂质掺入硅中的杂质扩散和离子注入工艺,将电路图形复制到硅片表面的制版和刻蚀工艺以及各种薄膜的淀积工艺。本章主要介绍这些基础工艺。

3.1 采用硅单晶制造集成电路的理由

半导体材料有很多种,然而既不用最早研究的半导体材料锗(Ge),也不用化合物半导体材料砷化镓(GaAs),却只利用硅单晶作为集成电路的材料,这是为什么呢?不仅是现在,只要半导体集成电路还存在,将来也将仍是以硅(Si)材料为中心,而不会有所改变。其主要理由如下:(1)集成电路的基础工艺技术是平面技术,首先将硅表面氧化,然后根据各元器件图形用腐蚀法在二氧化硅膜上开设窗口,通过该窗口掺入杂质。多次实施这种平面工艺,在硅片表面形成各种平面的元器件(如图3.1所示)。这种技术之所以能实施的关键在于:能比较容易地获得适应这些工艺的优质的二氧化硅膜。(2)晶体管(特别是MOS晶体管)的特性很大程度上受硅和二氧化硅界面的缺陷、二氧化硅膜中移动电荷的影响。 $\text{Si}(100)/\text{SiO}_2$ 界面只有十万分之一的原子键形成缺陷,用人工的方法获得比此更优质的界面是很困难的。(3)硅单晶和二氧化硅是由地球上存在的数量占第1、2位的氧和硅所构成的。是一种储量多、安全、稳定和使用方便的工业材料。现在,硅片的直径正由8英寸(20cm)向12英寸(30cm)发展。可以说,地球上再不存在其他的比硅更理想的可用于集成电路的半导体材料。

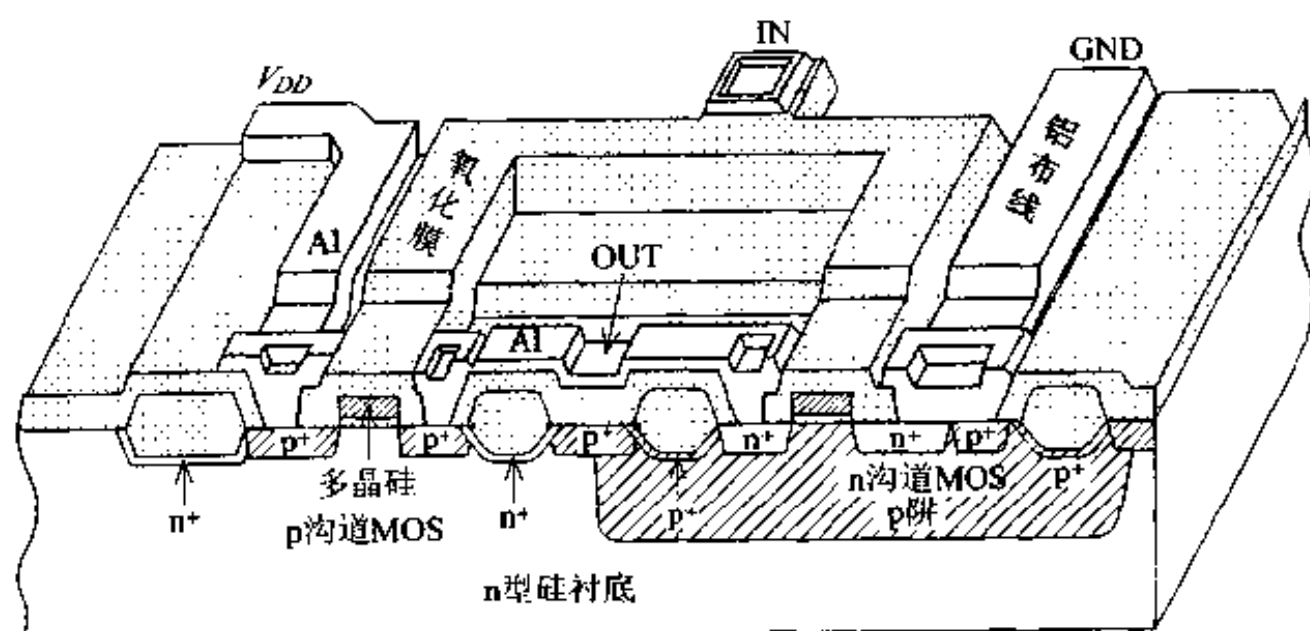


图3.1 CMOS倒相器

3.2 氧化、扩散及离子注入技术

本节叙述集成电路制造技术中最重要的氧化技术和掺杂技术。

3.2.1 氧化技术

作为集成电路的一个例子,图 3.2 表示由 MOS 晶体管和电容构成的动态存储器(DRAM)的原理断面图。其中,有作为电绝缘用的隔离氧化膜(field oxide,也称二氧化硅隔离墙),MOS 晶体管的栅极氧化膜(gate oxide),形成存储电容的氧化膜。下面我们将叙述这些起重要作用的氧化膜的形成及必须具备的特性。

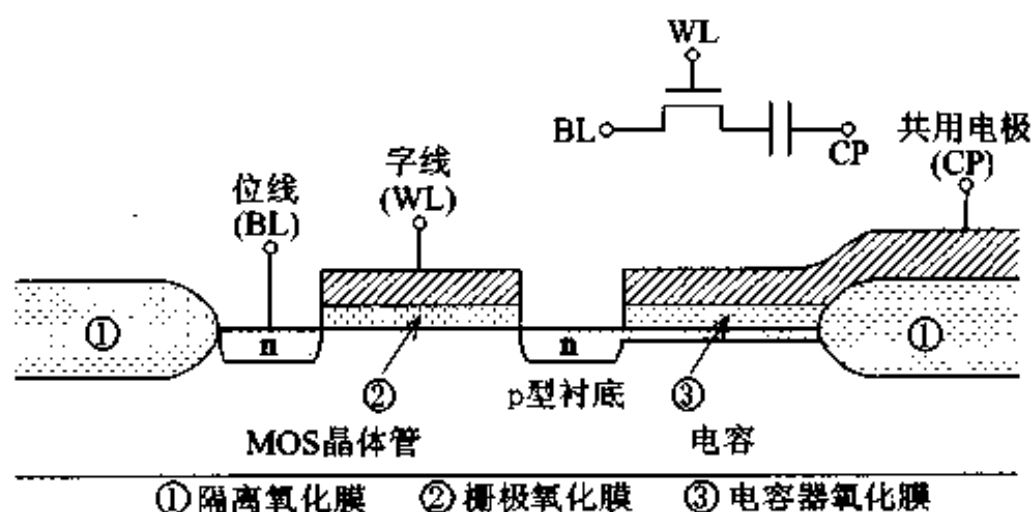
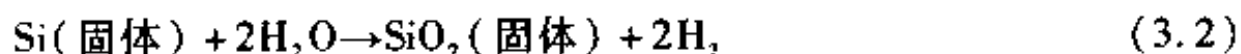


图 3.2 动态存储器 (DRAM) 中的热氧化膜

热二氧化硅膜是由硅和氧高温反应而形成的。其形成方法分成由 O_2 参与反应的干法氧化和由水蒸气参与反应的湿法氧化两种方法。



干法氧化通常用来形成栅极二氧化硅膜这种既薄(数纳米~数十纳米),又要求界面能级密度和固定电荷密度低的二氧化硅薄膜。干法氧化时,氧化膜的成膜速度比湿法慢。因而湿法氧化通常用来形成作为器件隔

离用的比较厚的隔离二氧化硅膜。这两种氧化法的氧化膜厚度和氧化时间的关系如图 3.3 所示。当二氧化硅比较薄的时候,膜厚与时间成正比。膜层变厚后,膜厚与时间的平方根成正比,因而要得到厚的氧化膜层时,需花较长的氧化时间。这是因为二氧化硅膜的形成速度取决于经扩散穿过二氧

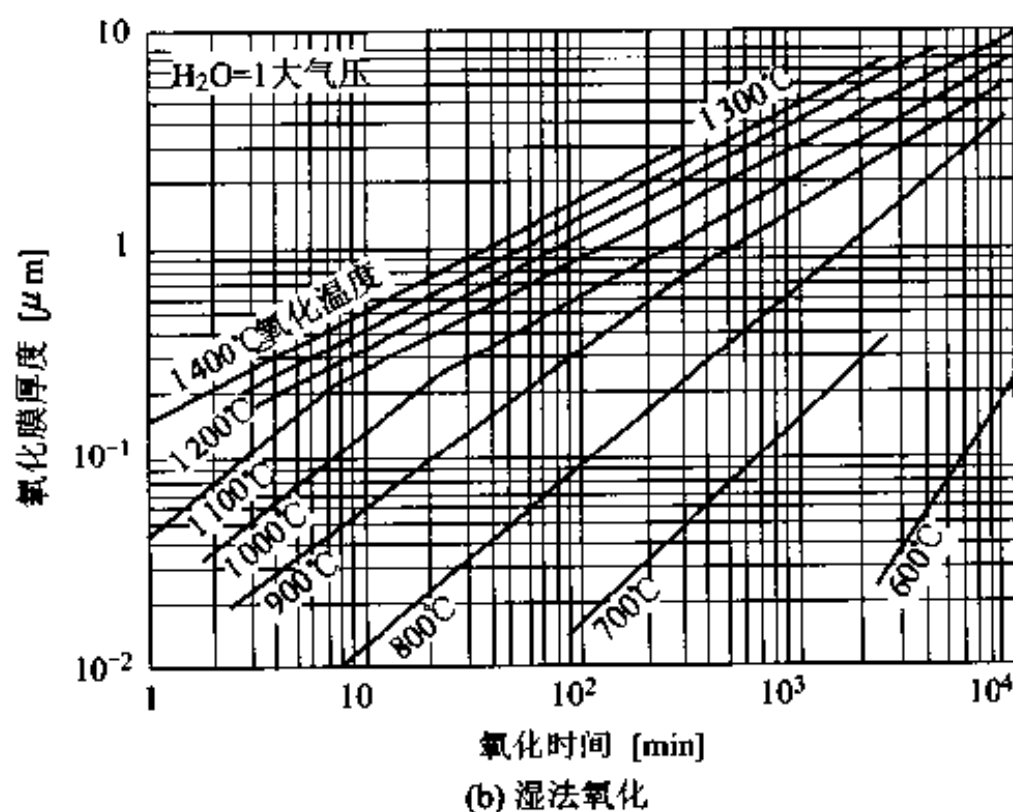
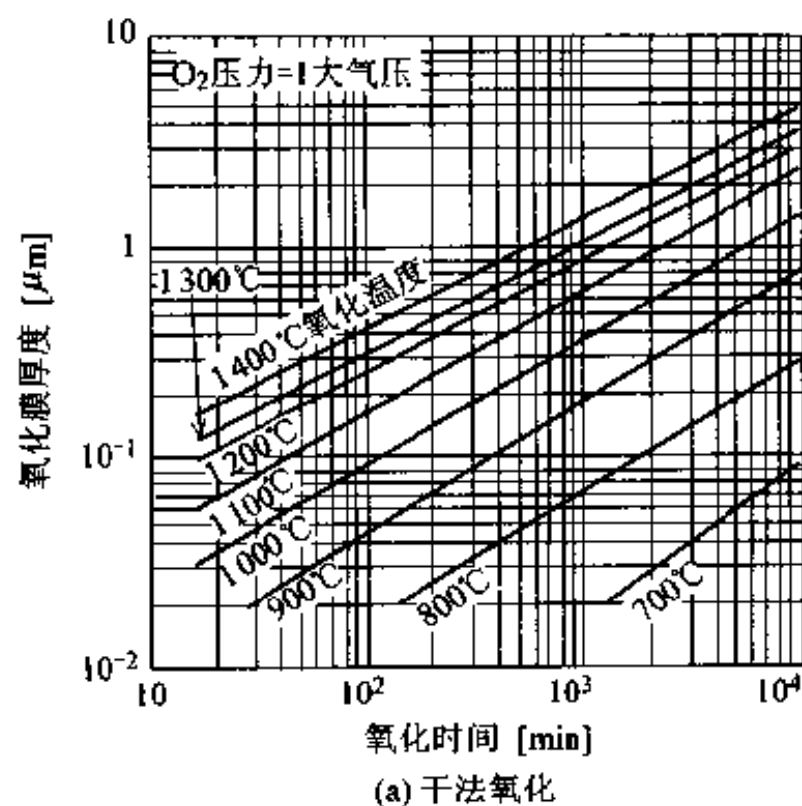


图 3.3 氧化膜厚度和氧化时间的关系^[1,2]

化硅膜达到硅表面的 O_2 及 OH 等氧化剂的数量多少。湿法氧化时,二氧化硅膜形成快的原因在于 OH 基在二氧化硅膜中的扩散系数比 O_2 在二氧化硅膜中的扩散系数大。

经过上述的氧化反应, Si 表面向深层方向移动, 移动的距离为二氧化硅膜厚度的 0.44 倍, 如图 3.4 所示。因而, 如果二氧化硅膜层厚度存在差异时, 经氧化后再去除所有的二氧化硅膜, Si 表面会存在台阶。

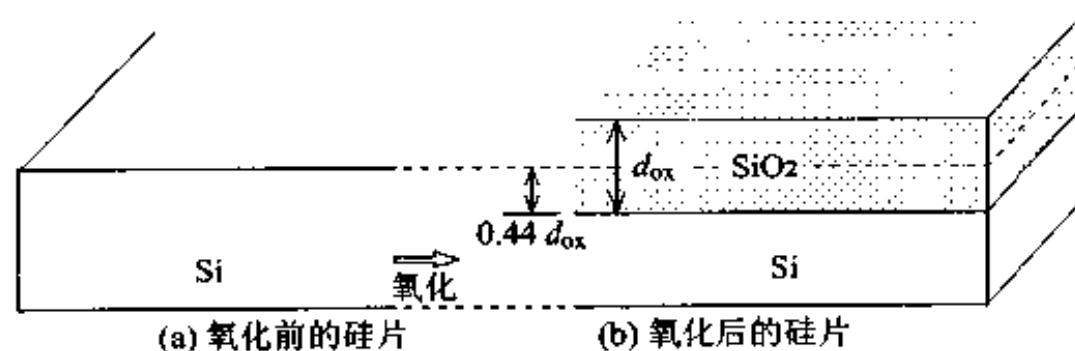


图 3.4 $Si-SiO_2$ 界面随着热氧化而移动

二氧化硅膜层是透明的, 由于光干涉作用, 会看到与膜厚相对应的干涉色, 如表 3.1 所示。这种干涉色的周期约 $200nm$, 如果预先能知道是几次干涉时, 就能正确地估计膜的厚度。对于其他的透明薄膜来说, 如果知道了它的折射率, 则可利用该表中的公式计算出膜的厚度。二氧化硅膜很薄时, 看不到干涉色, 但可利用 Si 的疏水性和二氧化硅膜的亲水性这一特性, 来判断二氧化硅膜的存在与否。也可用干涉膜厚计或椭圆仪等, 正确地测出膜厚。

二氧化硅和硅界面的界面能级密度和固定电荷密度可由 MOS 二极管的电容-电压特性求得。(100)面 Si 的界面能级密度最低, 约在 $10^{10} \sim 10^{11}/cm^2 \cdot eV$ 数量级(表 3.2)。这是 MOS 集成电路采用(100)衬底的理由。(100)面时, 氧化膜中固定电荷较多, 固定电荷密度的大小成为左右阈值电压大小的主要因素。图 3.5 中表示出氧化膜中固定电荷密度和氧化温度间的关系。

实际上, 通常采用电炉进行氧化, 随着衬底尺寸的增加, 氧化炉由横式炉向纵式炉变迁。

表 3.1 样片表面颜色和氧化膜厚度的关系^[3]

$$\frac{d_{\text{SiO}_2}}{d_{\text{ox}}} = \frac{n_{\text{ox}}}{n_{\text{SiO}_2}} \left(\frac{n_{\text{Si}_3\text{N}_4}}{n_{\text{SiO}_2}} = 1.33 \right)$$

颜 色	SiO ₂ 膜厚度[μm]			
	1 次	2 次	3 次	4 次
灰色	0.01			
黄褐色	0.03			
茶色	0.05			
蓝色	0.08			
紫色	0.10	0.28	0.46	0.65
蓝色	0.15	0.30	0.49	0.68
绿色	0.18	0.33	0.52	0.72
黄色	0.21	0.37	0.56	0.75
橙色	0.22	0.40	0.60	
红色	0.25	0.44	0.62	

表 3.2 氧化方法、晶面取向和界面能级密度 Q_{ss} 的关系^[4]

氧化方法	氧化温度[℃]	晶面取向	$Q_{ss}[\text{cm}^{-2} \cdot \text{eV}^{-1}]$
干法氧化	1 200	(111)	1.7×10^{11}
		(110)	0.6
		(100)	0.2
干法氧化	920	(111)	4.7
		(110)	2.1
		(100)	1.7
湿法氧化(95℃, H ₂ O)	1 200	(111)	4.0
		(110)	1.7
		(100)	1.2
湿法氧化(95℃, H ₂ O)	920	(111)	5.6
		(110)	3.6
		(100)	3.4

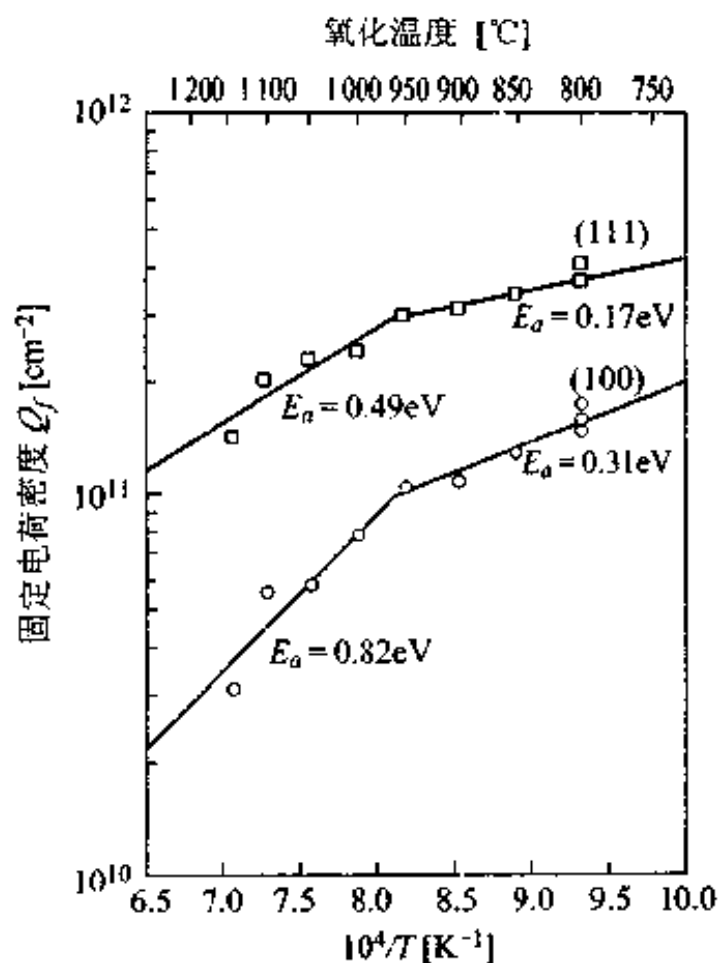
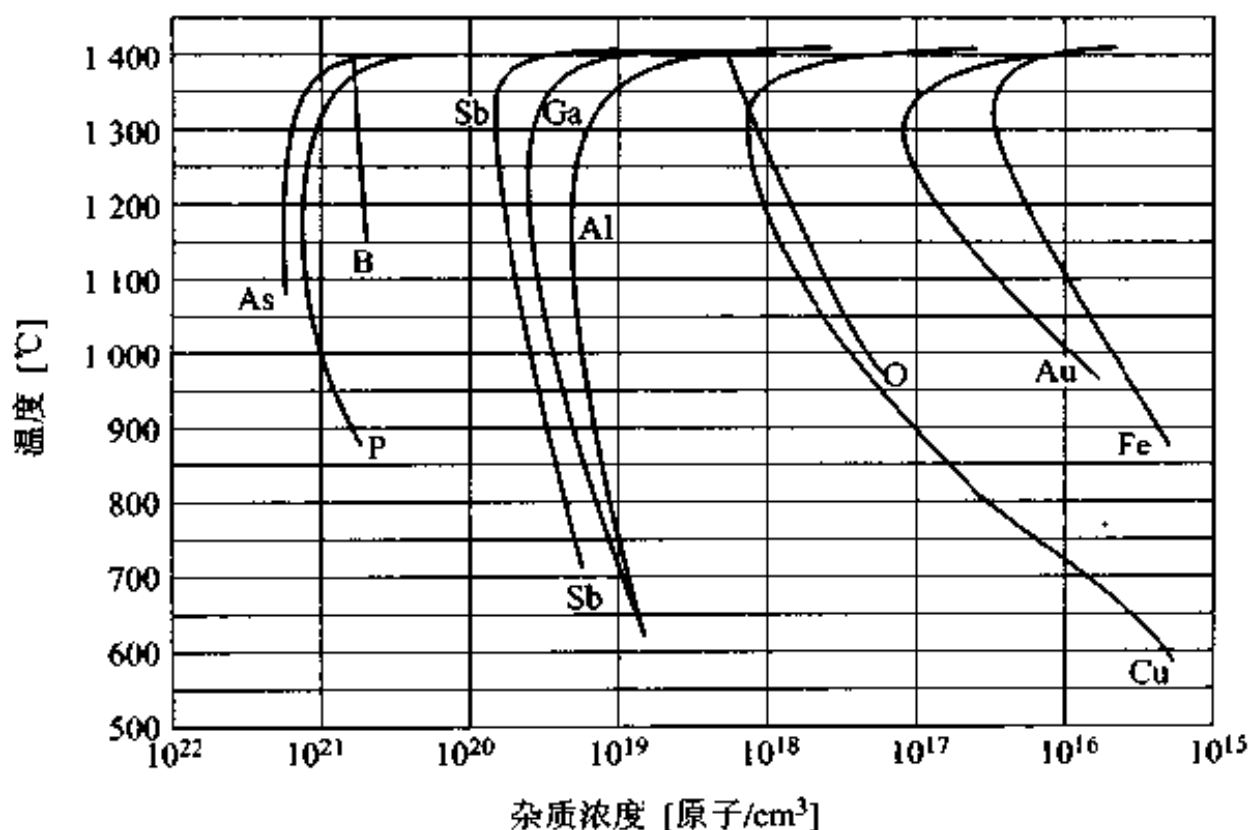


图 3.5 氧化膜的固定电荷密度 Q_f [cm^{-2}] 和氧化温度的关系^[5]

3.2.2 扩散技术

向半导体中掺杂的方法有扩散法和离子注入法。扩散法是将掺杂气体导入放有硅片的高温炉中,将杂质扩散到硅片内的一种方法。这种掺杂法的特点是适应于同时进行对多枚硅片的掺杂(批量生产),同时容易获得高浓度掺杂的硅片。杂质扩散有两道工序:预扩散(也称预淀积,predeposition)和主扩散(drive in,也称推进)。预扩散工序是在硅表面较浅的区域中形成杂质的扩散分布。这种扩散分布中,硅表面杂质浓度的大小是由杂质的固溶度来决定的。硅中各种杂质的固溶度和温度的关系如图 3.6 所示。主扩散工序是将预扩散时形成的扩散分布进一步向深层推进的热处理工序。此时,不再由外部提供杂质源,而是用预扩散形成的高浓度的扩散分布作为杂质源,经过热处理后达到杂质再分布的目的。

杂质的扩散分布可由扩散方程式的解给出,假如杂质的扩散系数 D 只与温度有关而与浓度无关时,杂质分布(一维(x)时的解)如下:

图 3.6 各种杂质的固溶度^[6]

(1) 预扩散工序,即扩散源的供给是无限的,表面浓度 C_s 为一定值时,杂质的分布为余误差函数(erfc)分布。

$$C(x, t) = C_s \cdot \operatorname{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) \quad (3.3)$$

(2) 主扩散工序,即扩散源的供给是有限(Q)时,杂质的分布为高斯分布(正态分布)。

$$C(x, t) = \frac{Q}{\sqrt{\pi Dt}} \exp\left(-\frac{x^2}{4Dt}\right) \quad (3.4)$$

由上述的公式可知,杂质的扩散深度取决于与温度有关的扩散系数 D 的大小和扩散时间的长短。例如, p 型衬底(杂质浓度 C_B) 预扩散 n 型杂质时的结深 x_j 可由式(3.3)得出

$$x_j = 2\sqrt{Dt} \cdot \operatorname{erfc}^{-1}\left(\frac{C_B}{C_s}\right) \quad (3.5)$$

扩散系数与温度的关系如图 3.7, 余误差函数分布和高斯分布如图 3.8 所示。

一般说来,在硅集成电路制造工艺中,往往采用硼(B)作为 p 型杂质,

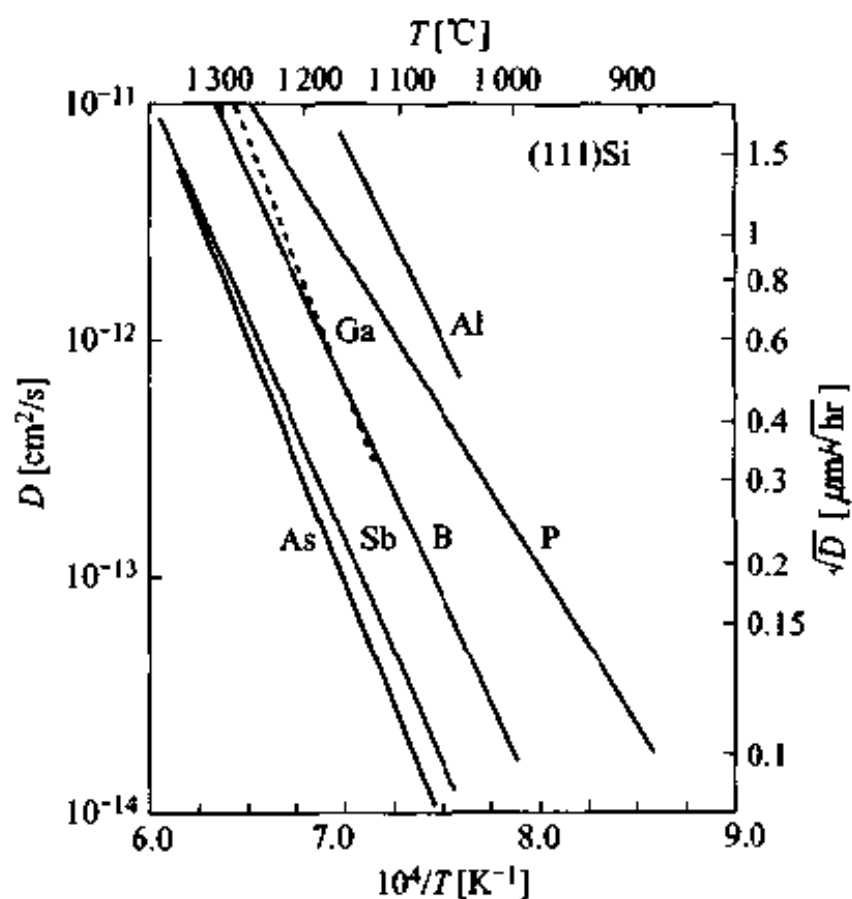
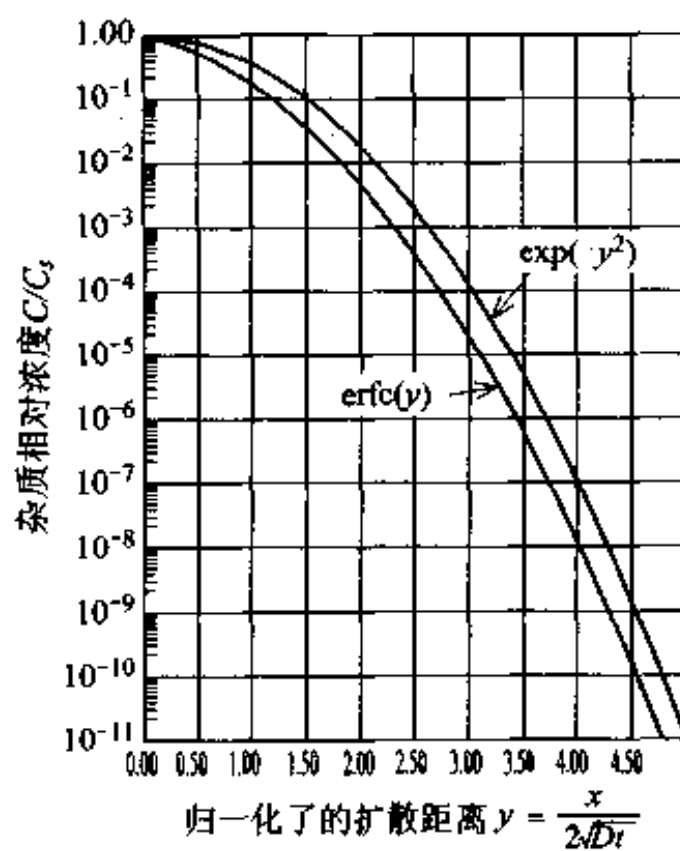


图 3.7 各种杂质在硅中的扩散系数

图 3.8 $\text{erfc}(y)$ 和 $\exp(-y^2)$ 函数

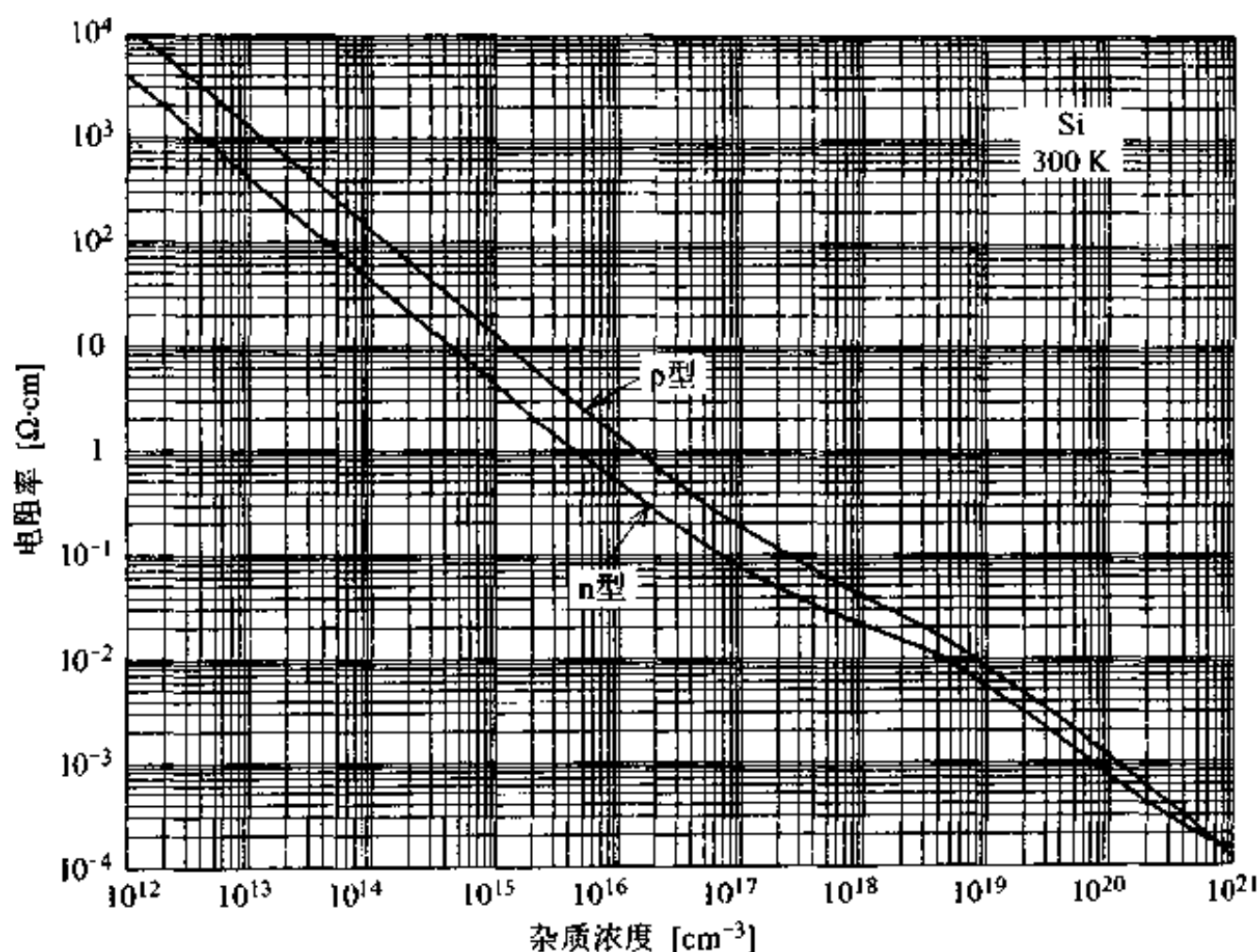


图 3.9 电阻率与杂质浓度的关系 (Irvin 表)^[1]

而用磷(P)作为 n 型杂质。它们的固溶度高,均大于 10^{20} cm^{-3} 。除此之外,还使用砷(As)和锑(Sb)等扩散系数小的杂质,这对于不希望产生杂质再分布的场合是有效的。

杂质扩散层的基本特性参数是方块电阻 R_f 和结深 x_j 。 R_f 可用四探针测量法, x_j 可用倾斜研磨和染色(staining)(例如,用 $\text{HF}:\text{H}_3\text{PO}_4 = 1:6$ 使 p 层黑化)法,或扩展电阻(spreading resistance)法来进行评估。结深 x_j 已知时,可由 R_f 和 x_j 求出电阻率 ρ ,利用 Irvin 表(图 3.9)可求出杂质的平均浓度。

$$R_f = \frac{\pi}{\ln 2} \cdot \frac{V}{I} \cdot f\left(\frac{W}{S}\right) \quad (3.6)$$

$$\sim 4.53 \frac{V}{I} [\Omega/\square] \quad (3.6')$$

$$\rho = R_f \cdot x_j [\Omega \cdot \text{cm}] \quad (3.7)$$

式中, W 为扩散层的深度, S 为四探针的针间距离,一般 $W/S \rightarrow 0, f(W/S) \rightarrow$

1,可简化成式(3.6')。

3.2.3 离子注入法

利用电场加速杂质离子,将其注入硅衬底中的方法称为离子注入法。离子注入法的特点是可以精密地控制扩散法难以得到的低浓度杂质分布。制造集成电路时,多道掺杂工序采用了离子注入法。特别是在 MOS 集成电路的制造过程中,器件隔离工序中防止寄生沟道用的沟道截断、调整阈值电压用的沟道掺杂、CMOS 的阱(well)的形成以及源漏区域的形成等主要的掺杂工序都采用离子注入法来掺杂。图 3.10 表示制造器件时采用的离子注入量的大概范围。

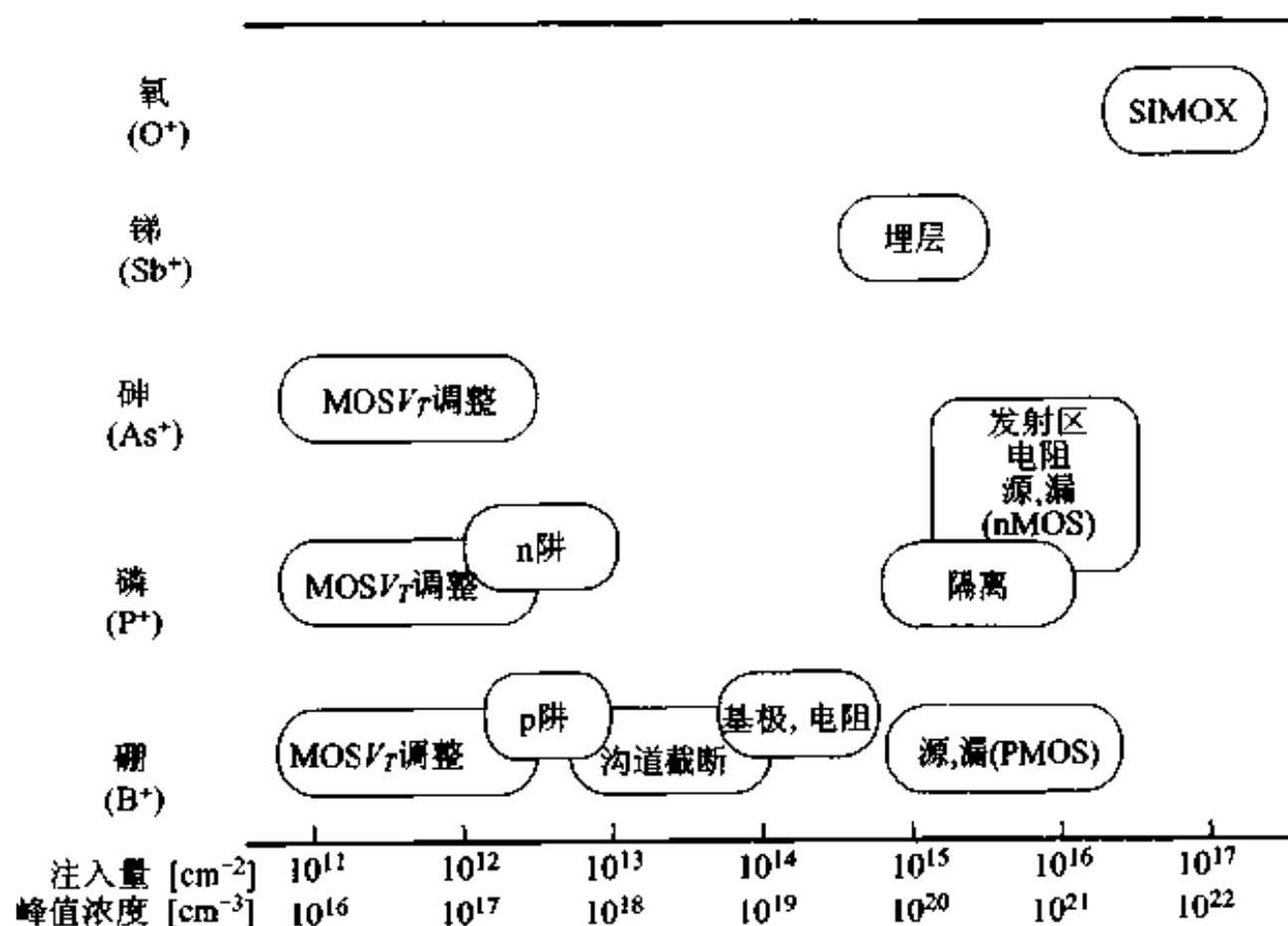
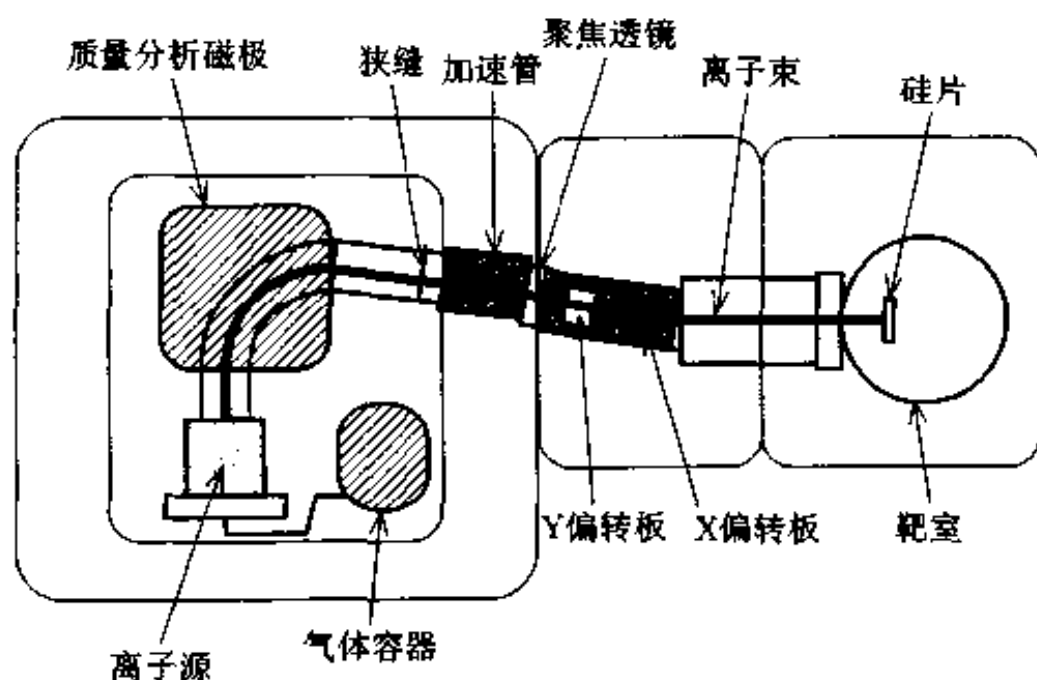


图 3.10 器件制造时的离子注入量

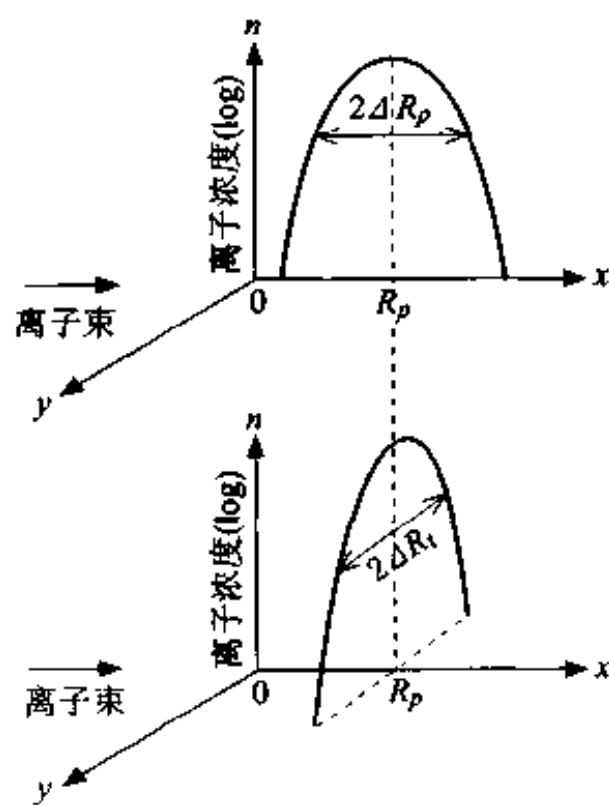
离子注入法通常是将欲掺入半导体中的杂质在离子源中离子化,然后将通过了质量分析磁极后选定了的离子进行加速,注入基片中去(图 3.11(a))。此时,杂质的注入量可通过测量流过基片的电流大小来正确地控制。离子由基片的表面到停止,形成了近似的高斯分布(图 3.11(b))。设

R_p 为投影射程, ΔR_p 为 R_p 的标准偏差, Q 为注入量, 注入的离子分布 $C(x)$ 为

$$C(x) = \frac{Q}{\sqrt{2\pi}\Delta R_p} \cdot \exp\left\{-\frac{(x - R_p)^2}{2\Delta R_p^2}\right\} \quad (3.8)$$



(a) 离子注入设备



(b) 离子浓度分布

图 3.11 离子注入设备和注入离子的浓度分布

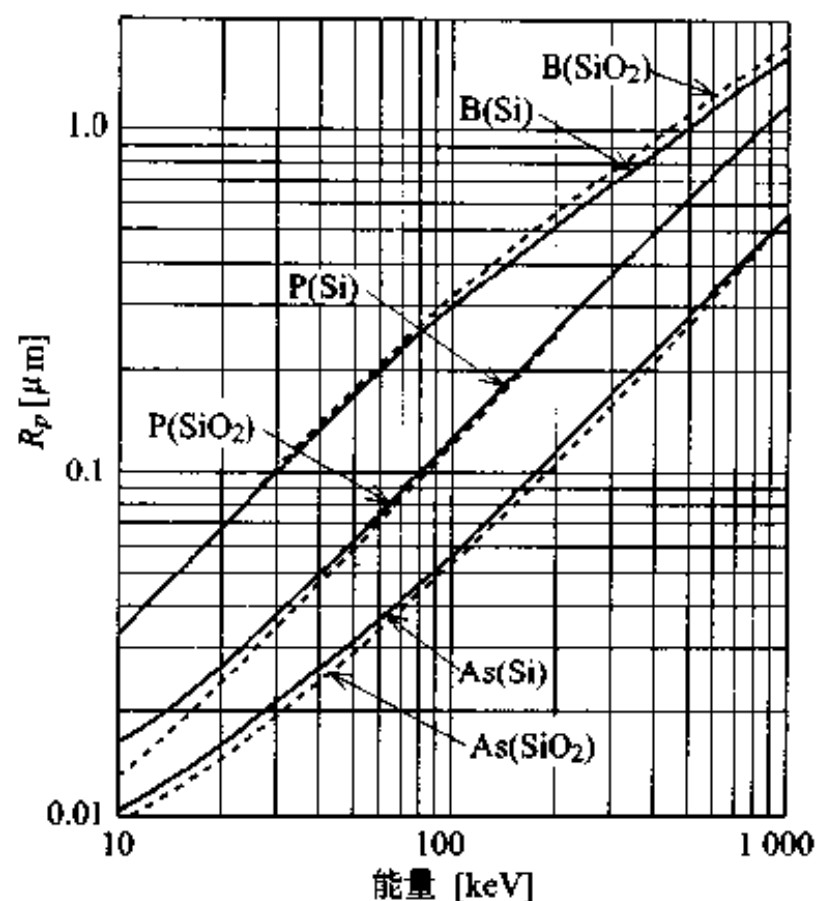
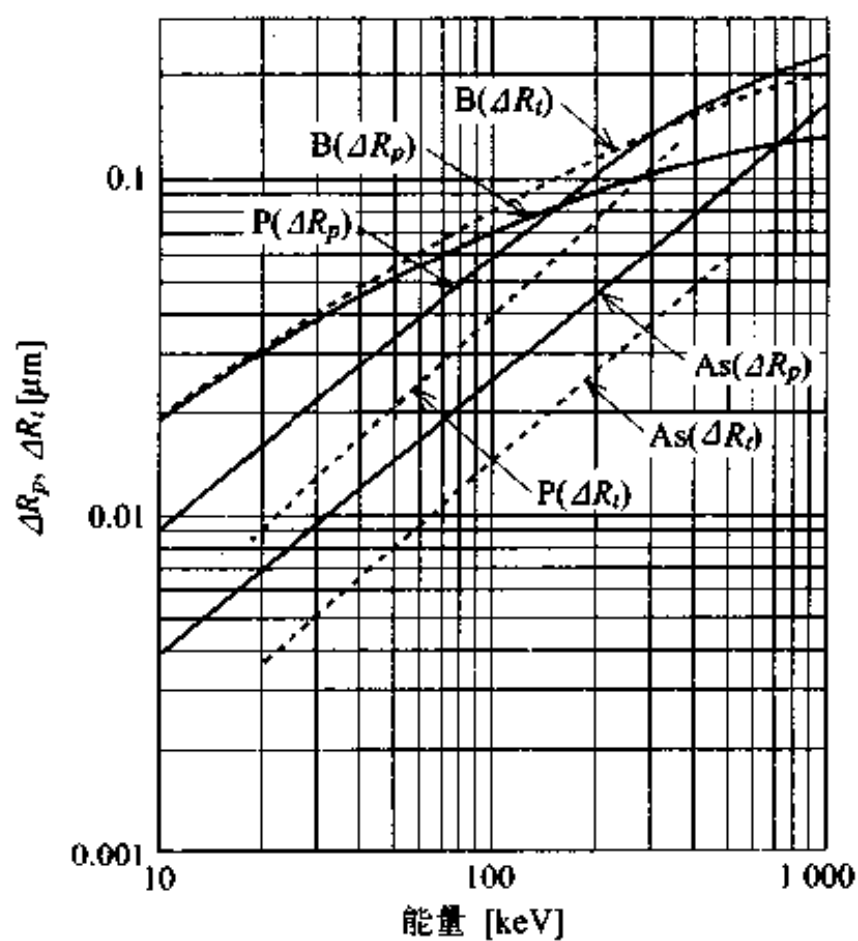
(a) 注入深度 R_p (投影射程)(b) 标准偏差 ΔR_p , ΔR_t

图 3.12 杂质注入深度(投影射程)和标准偏差

式中, R_p 、 ΔR_p 的大小不但与杂质的种类、加速电压的大小有关, 也与基片的材料有关。此外, 与纵向的标准偏差 ΔR_p 同样, 横向也存在着标准偏差 ΔR_t , 如图 3.12 所示。

离子注入时, 通常采用光刻胶和 SiO_2 作掩模, 掩模的厚度以不使杂质穿透为原则, 随杂质的种类、加速电压的大小及注入量的不同而异。

离子束的注入角度通常偏离基片法线方向 7° 左右, 以防止发生沟道效应(即离子不与原子碰撞而直接进入基片的深层)。离子注入后, 要在 $800^\circ\text{C} \sim 1000^\circ\text{C}$ 的高温下进行热处理, 以使离子注入时产生的结晶损伤得到恢复。同时, 为了防止硅表面的污染, 通常要在注入区表面形成薄薄的二氧化硅层, 杂质离子透过这层二氧化硅层进行注入。

3.3 形成精细图形的光刻技术

集成电路制造工艺中的光刻是指, 在使用掩模进行光或 X 线曝光时, 将掩模图形, 或在使用不需要掩模的电子束曝光时, 将数据式图形复制在半导体硅片表面的光刻胶上, 形成光刻胶像。集成电路制造过程中, 往往需采用 20 ~ 30 道光刻工序。现在, 集成电路制造工艺的主流技术是采用紫外线(包括远紫外线)为光源的光刻技术。

光刻工序包括翻版图形掩模的制造, 硅基片表面光刻胶的涂覆、预烘、曝光、显影、后烘、腐蚀以及光刻胶的去除等工序。以下按图 3.13 所示的光刻工艺的流程予以说明。

1. 光刻胶的涂覆

在涂覆光刻胶之前, 将洗净的基片表面涂上附着性增强剂或将基片放在惰性气体中进行热处理。这样处理是为了增加光刻胶与基片间的粘附能力, 防止显影时光刻胶图形的脱落以及防止湿法腐蚀时产生侧面腐蚀(side etching)。

光刻胶的涂覆是用转速和旋转时间可自由设定的甩胶机来进行的。首先, 用真空吸引法将基片吸在甩胶机的吸盘上, 将具有一定粘度的光刻胶滴在基片的表面上, 然后以设定的转速和时间甩胶。由于离心力的作用, 光刻

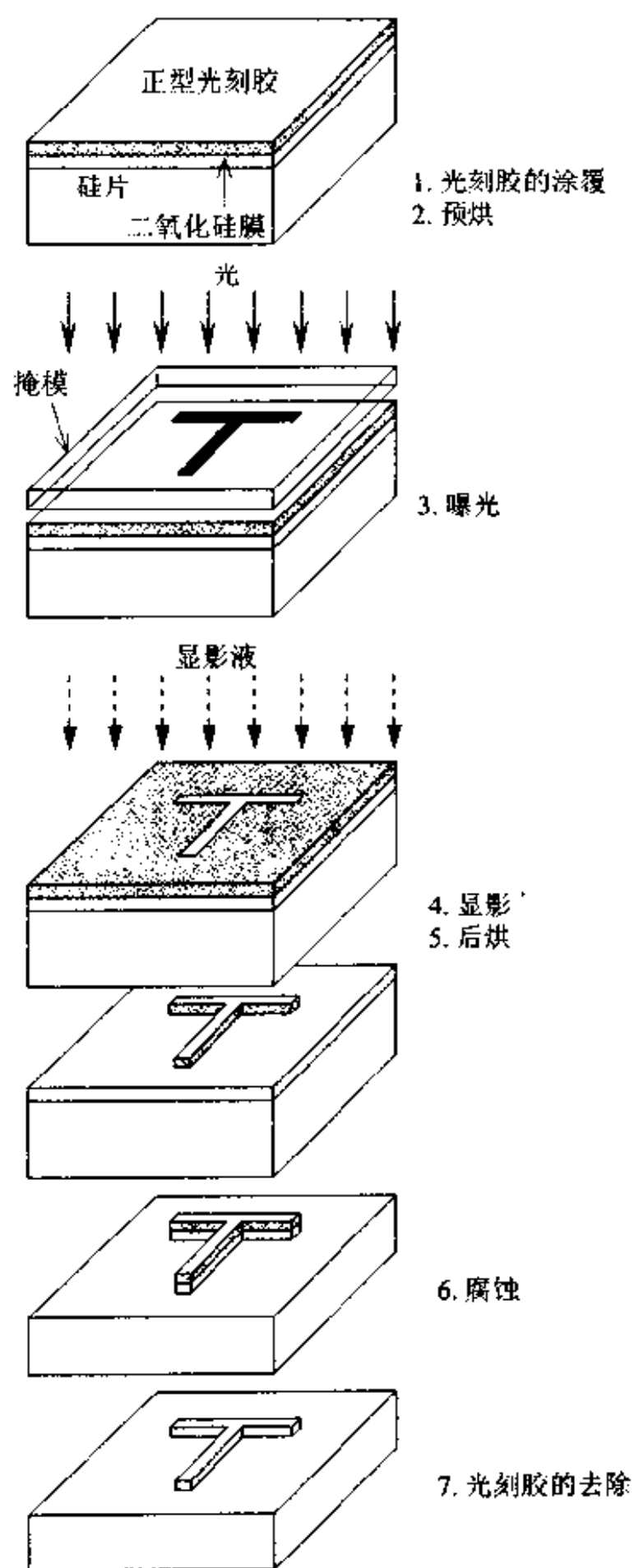


图 3.13 光刻工艺

胶在基片表面均匀地展开,多余的光刻胶被甩掉,获得一定厚度的光刻胶膜。光刻胶的膜厚是由光刻胶的粘度和甩胶机的转速来控制的。

2. 预烘(pre bake)

因为涂覆好的光刻胶中含有溶剂,所以要在 80°C 左右的烘箱中在惰性气体环境下预烘 $15 \sim 30$ 分钟,去除光刻胶中的溶剂。

3. 曝光

将高压水银灯的 g 线(波长为 436nm), i 线(波长为 365nm) 通过掩模照射在光刻胶上,使光刻胶获得与掩模图形同样的感光图形。根据曝光时掩模和光刻胶之间的位置关系,可分为接触式曝光、接近式曝光和投影曝光三种类型。而投影曝光又可分成为等倍曝光和缩小曝光。缩小投影曝光的分辨率最高,适宜用作精细加工,而且对掩模无损伤。现在制造集成电路时,主要使用缩小投影曝光技术进行光刻胶的曝光。缩小投影曝光是将掩模上的图形缩小为原图形的 $1/5 \sim 1/10$ 复制到光刻胶上,这种场合的掩模被称为掩模原版(reticle)。

4. 显影

将显影液全面地喷在光刻胶上,或将曝光后的样片浸在显影液中几十秒钟,则正型光刻胶的曝光部分(或负型光刻胶的未曝光部分)被溶解,因而掩模上的集成电路图形就被复制在光刻胶上。显影后的图形精度受显影液的浓度、温度以及显影时间等影响。显影后用纯水进行清洗。

5. 后烘(post bake)

为使残留在光刻胶中的有机溶液完全挥发,提高光刻胶和基片的粘接性及光刻胶的耐腐蚀能力,通常将基片在 $120^{\circ}\text{C} \sim 200^{\circ}\text{C}$ 的温度下烘干 $20 \sim 30$ 分钟,这一工序称为后烘。

6. 腐蚀(etching)

经过上述工序后,以复制到光刻胶上的集成电路的图形作为掩模,对下层的材料进行腐蚀,则集成电路的图形就复制到下层的材料上。3.4 节将对腐蚀作详细的介绍。

7. 光刻胶的去除

经腐蚀完成图形复制以后,再用剥离液去除光刻胶,完成整个光刻工序。

光刻工艺中,光刻胶起着十分重要的作用。所谓光刻胶,是对光、电子束或者 X 线等敏感,具有在显影液中溶解性变化的性质,同时具有耐腐蚀性的材料。光刻胶有正型和负型两种。正型光刻胶受紫外线照射而感光的部位发生光分解反应溶于显影液,未感光的部位显影后仍然留在基片的表面。与此相反,负型光刻胶的未感光的部位溶于显影液中,而感光部位显影后仍留在基片表面。一般说来,正型光刻胶的分辨率高,而负型光刻胶具有高的感光度以及和下层的粘接性能好等特点。

集成电路的集成度主要由光刻工艺到底能形成多么精细的图形(分辨率,清晰度),以及与其他层的图形有多高的位置吻合精度(套刻精度)来决定的。因此,为提高光刻工艺的精度,除利用性能优良的光刻胶外,还需要有性能良好的曝光系统。

一般说来,使用透镜的曝光装置,其投影光学系统的清晰度 R 和焦深 D 分别用下式表示

$$R = k_1 \lambda / NA \quad (3.9)$$

$$D = k_2 \lambda / (NA)^2 \quad (3.10)$$

式中, λ 为曝光波长, NA 为透镜的数值孔径, k_1 和 k_2 为与工艺有关的常数。通常, k_1 为 0.6 ~ 0.8, k_2 为 0.5 左右。由上述的清晰度 R 和曝光波长 λ 之间的关系可知,要提高清晰度(R 值变小),必须缩短波长 λ , 加大透镜的数值孔径 NA 。采用比高压水银灯 i 线波长短的远紫外线准分子激光器(excimer laser, KrF: 248nm, ArF: 193nm)为曝光光源, KrF 已经实用化,而 ArF 正在研究之中。随着曝光波长的缩短,清晰度得到改善,但是焦深变得很短,如式(3.10),对光刻胶表面的平坦度提出了更严格的要求,这是一个很大的缺点。

用比光的波长更短的 X 线(波长为 1 ~ 10nm)作为曝光光源的 X 线光刻技术有了很大的进展,利用 X 线和电子束进行光刻时,其焦深比较深,对表面的平坦度没有苛刻的要求。

3.4 腐蚀技术

腐蚀技术是利用化学腐蚀法把材料的某一部分去除掉的技术。通常,是用光刻工艺形成的光刻胶作掩模对下层材料进行腐蚀。

腐蚀技术可分成两大类:湿法腐蚀——进行腐蚀的化学物质是溶液;干法腐蚀(一般称为刻蚀)——进行刻蚀的化学物质是气体。

3.4.1 湿法腐蚀

采用溶液进行的湿法腐蚀是一种各向同性腐蚀,如图 3.14(a)所示。因而,光刻胶掩模下面的薄膜材料,在横方向上也随着时间的增长而受到腐蚀,因此不能在基片上忠实地复制成与掩模图形一致的图形,不适用于精细化工艺。但是湿法腐蚀具有设备便宜,被腐蚀材料的腐蚀速度与光刻胶的腐蚀速度之比(选择比)大,对腐蚀表面无污染、无损伤等优点,因而适用于非精细图形的加工。

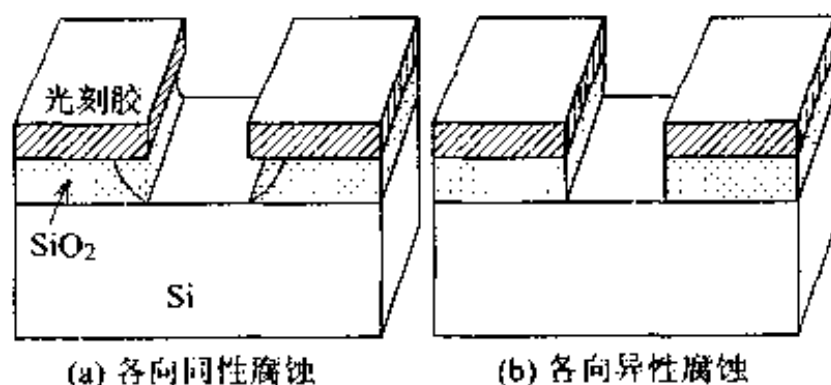


图 3.14 SiO₂ 腐蚀断面

典型的二氧化硅膜的腐蚀液为稀释的氢氟酸溶液或氢氟酸/氟化氨混合液(也称缓冲氢氟酸液),氮化硅膜的腐蚀液为:180℃左右的磷酸,铝的腐蚀液为:磷酸溶液(磷酸:醋酸:硝酸=250:20:3, 55±5℃)。

3.4.2 干法刻蚀

干法刻蚀分为各向同性刻蚀和各向异性刻蚀两种。采用等离子进行刻

同步辐射(SOR)X线光刻技术

同步辐射(SOR:synchrotron orbital radiation)是在电子沿着加速器的圆形储存环以光的速度前进时,其前进的轨道因磁场而弯曲,在轨道切线方向上放射出的光。同步加速辐射光源是一个指向性好、强度大的理想的X线源。

专为光刻研制成的小型SOR装置如图1所示。将来,在集成电路制造工厂里,也许在一台公用的SOR光源装置的周围拥有多台曝光装置。利用SOR光刻可获得 $0.2\mu\text{m}$ 以下的精细加工,也有论文报导了LSI的试制结果。图2为利用SOR光刻而加工成的精细结构的电子显微镜照片。

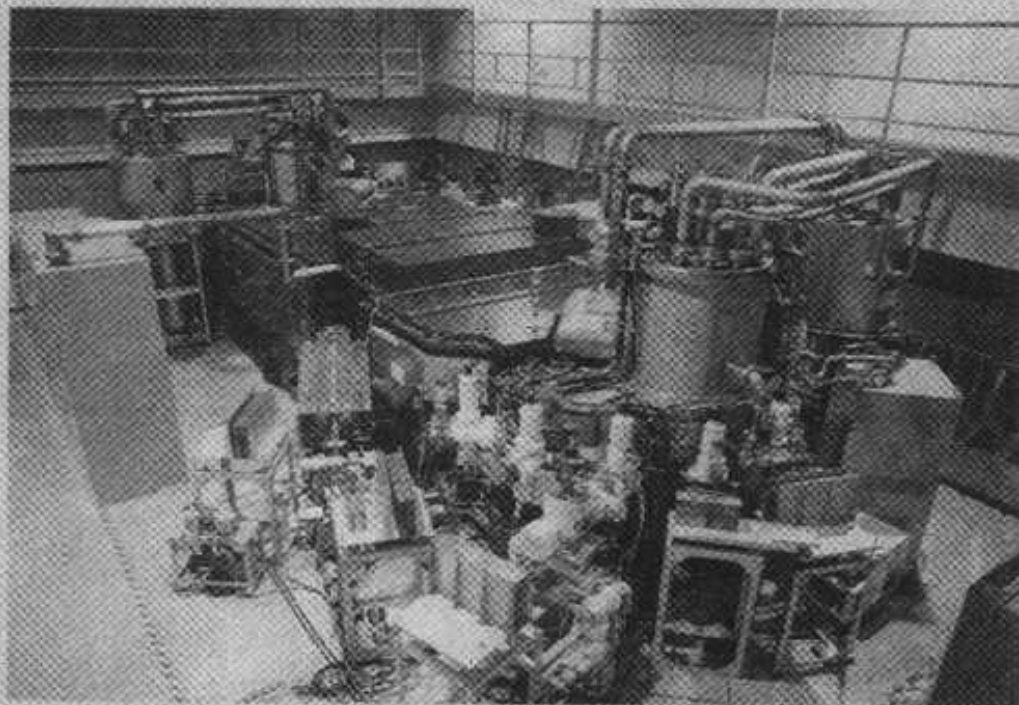


图1 X线光刻用SOR设备

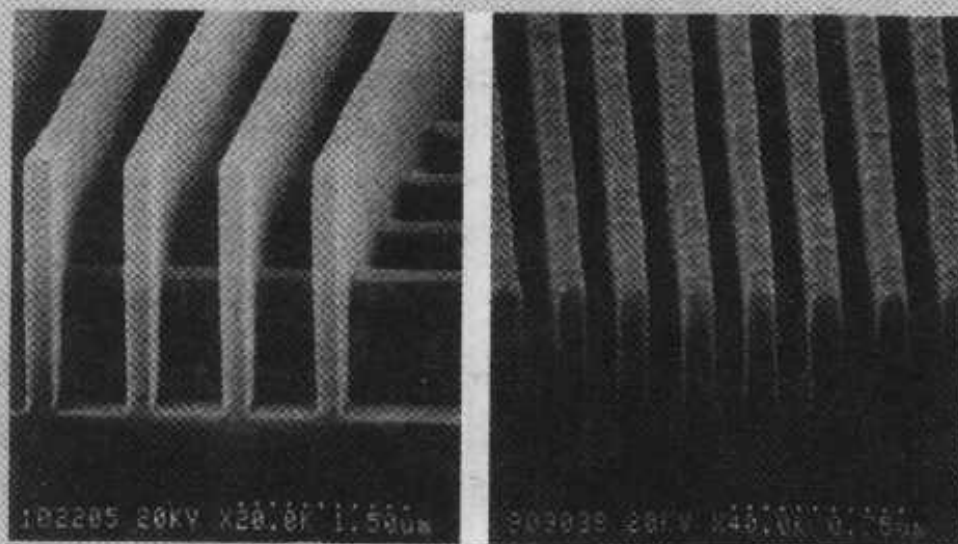


图2 利用SOR X线光刻形成的图形的扫描电子显微镜照片

蚀是各向同性刻蚀的典型例子。例如在光刻胶去胶装置中,氧的等离子体和光刻胶反应形成 H_2O 和 CO_2 气体。此时,作为反应基的氧原子团与光刻胶进行各向同性反应。

精细图形是靠纵方向不断进行刻蚀,而在横方向不进行刻蚀的所谓各向异性很强的干法刻蚀法来实现的。图 3.15 中所示的反应性离子刻蚀 (RIE; reactive ion etching) 是一个典型的例子,RIE 是利用离子诱导化学反应进行各向异性刻蚀的。其刻蚀机理是利用离子能量使被刻蚀层的表面形成易于刻蚀的损伤层,利用离子能量促进化学反应,同时离子还起着去除表面生成物,露出清洁的刻蚀表面的作用。但是,这种刻蚀法不能获得高的选择比,刻蚀表面的损伤大,有污染,难以形成更精细的图形。作为代替技术是能量低、高真空状态下也具有高密度的电子回旋共振等离子设备的开发。

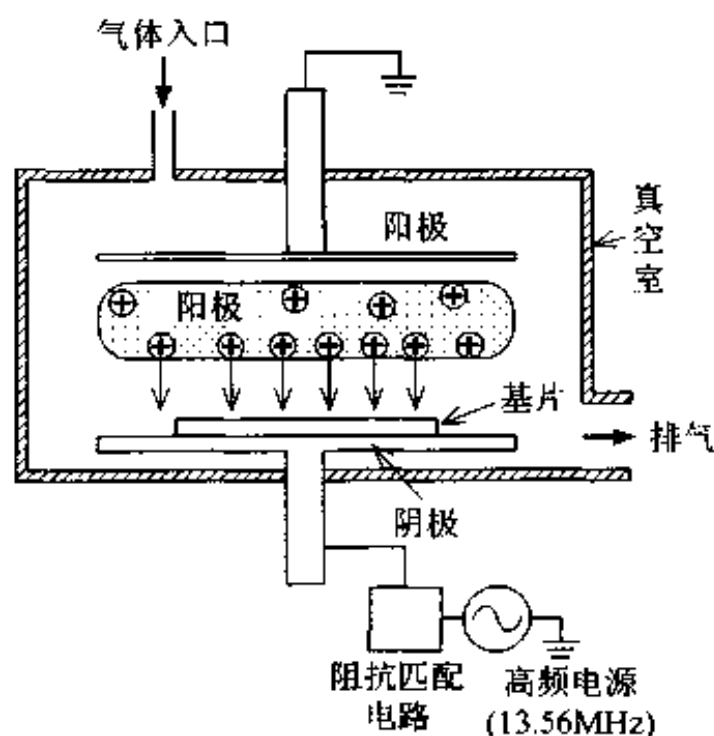


图 3.15 反应离子刻蚀设备

表 3.3 中列出不同材料的刻蚀气体。对于栅电极材料的多晶硅 (poly-silicon) 来说,它的刻蚀条件必须具备相对于下层 10nm 左右的栅极二氧化硅膜层有高的选择比。而 SiO_2 的刻蚀条件却又必须具备相对于单晶硅和多晶硅都有高的选择比。作为布线材料的铝和铝合金,表面有牢固的三氧化二铝薄膜 (Al_2O_3),必须先以强溅射条件将其去除后再开始刻蚀。在铝刻蚀以后,要去除残留在铝薄膜上的氯化物,以免刻蚀铝布线。

表 3.3 反应离子刻蚀法使用的气体以及反应生成物

被腐蚀材料	腐蚀气体	挥发性生成物	掩模, 选择性材料
多晶硅 单晶硅	Cl_2, SF_6 $\text{Cl}_2/\text{SF}_6, \text{SiCl}_4/\text{Cl}_2$	$\text{SiF}_4, \text{SiCl}_4$	SiO_2 光刻胶
SiO_2	$\text{CHF}_3, \text{CF}_4/\text{H}_2$	SiF_4	光刻胶 多晶硅
Si_3N_4	$\text{CF}_4/\text{O}_2, \text{SF}_6/\text{O}_2$ $\text{CH}_2\text{F}_2/\text{CHF}_3/\text{O}_2$	SiF_4	SiO_2 , 光刻胶
Al Al 合金 (Al-Si, Al-Si-Cu)	$\text{Cl}_2, \text{BCl}_3, \text{SiCl}_4$	AlCl_3	光刻胶
光刻胶	O_2	$\text{CO}_2, \text{H}_2\text{O}$	—
W	SF_6, CF_4	WF_6	光刻胶

3.5 薄膜淀积技术

集成电路制造工艺中,采用了各种各样的薄膜。这些薄膜的淀积方法根据其用途的不同而不同。薄膜的厚度通常小于 $1\mu\text{m}$,有绝缘薄膜、半导体薄膜、金属薄膜等各种各样的薄膜。薄膜的淀积法主要有利用化学反应的 CVD(chemical vapor deposition)法以及利用物理现象的 PVD(physical vapor deposition)法两大类。CVD 法中有硅外延生长法,热 CVD 法和等离子 CVD 法。PVD 法中有溅射法、真空蒸发法。

3.5.1 外延生长法

外延一词来源于希腊语的 epitaxis,相当于英语中的 upon, ordered。外延生长法(epitaxial growth)能生长出和单晶衬底的原子排列(A, B, C)同样的单晶薄膜,如图 3.16 所示。在双极型集成电路中,为了将衬底和器件区域隔离(电绝缘),在 p 型衬底上外延 n 型单晶硅层。在 MOS 集成电路中

也广泛使用外延生长法,以便容易地控制器件的尺寸,达到器件的精细化。此时,用外延生长法外延一层杂质浓度低(约 10^{15} cm^{-3})的供形成器件的单晶层,衬底则为高浓度的基片,以降低电阻,达到基极电位稳定的目的。

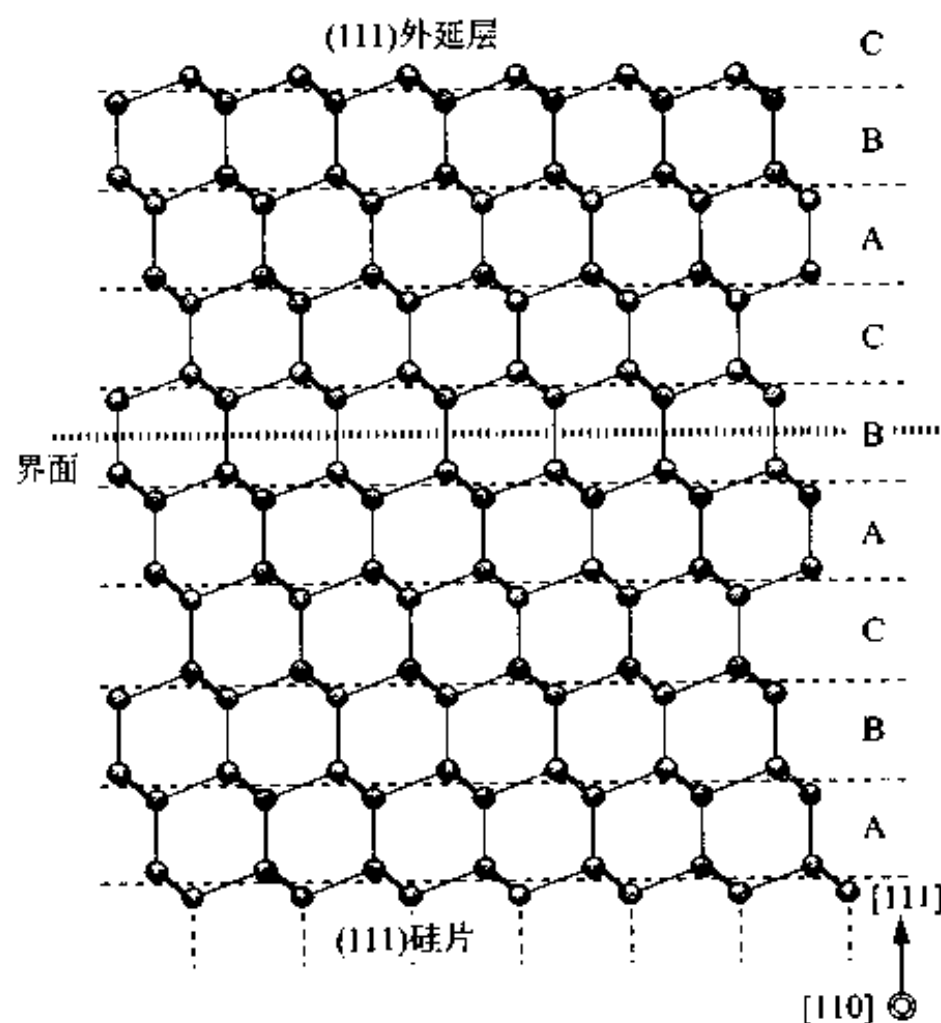


图 3.16 外延生长的原子排列

(原子按 A、B、C 的顺序排列。外延在(111)硅衬底上的(111)硅外延层在[110]方向上的投影)

3.5.2 热 CVD 法

热 CVD 法可分成常压 CVD 法和低压 CVD 法(LP-CVD: Low Pressure CVD)。低压 CVD 法适用于同时进行多片基片的处理,压力一般控制在 0.25 ~ 2.0 Torr 之间。

作为栅电极的多晶硅通常利用热 CVD 法,将 SiH_4 或 Si_2H_6 气体热分解($\sim 650^\circ\text{C}$)淀积而成。

采用选择氧化进行器件隔离时所使用的氮化硅薄膜也是用低压 CVD

法,利用氨和 SiH_4 或 Si_2H_6 反应而生成的。

作为层间绝缘的 SiO_2 薄膜是用 SiH_4 和 O_2 在 $400^\circ\text{C} \sim 450^\circ\text{C}$ 的温度下形成的,或是用 $\text{Si}(\text{OC}_2\text{H}_5)_4$ (TEOS; tetra-ethoxy-silane) 和 O_2 在 750°C 左右的高温下反应生成的。后者,即采用 TEOS 形成的 SiO_2 膜具有台阶侧面被覆性能好的优点。前者,在淀积的同时导入 PH_3 气体,就形成磷硅玻璃 (PSG; phospho-silicate-glass)。再导入 B_2H_6 气体,就形成 BPSG (boro-phospho-silicate-glass) 膜。这两种薄膜材料,高温下的流动性好,广泛用来作为表面平坦性好的层间绝缘膜。

3.5.3 等离子 CVD

多层布线间的层间绝缘膜的淀积,以及最后一道工序的芯片保护膜淀积必须在低温 (450°C 以下) 下进行,以免损伤铝布线。等离子 CVD 法就是为此而发明的一种方法。与一般的热 CVD 法相比,由等离子活化了的原子团,可在低温下进行膜的淀积。等离子氮化硅膜是一个极好的例子。这种膜无论是从强度来说,还是从防止污染的角度来说,都是理想的芯片保护膜,由于用等离子 CVD 法可在 200°C 以下淀积而成,在集成电路中获得广泛的应用。

3.5.4 溅射法和真空蒸发法

所谓溅射是用高速粒子(如氩离子等)撞击固体表面,将固体表面的原子撞击出来。利用这一现象来形成薄膜的技术称为溅射法,即使等离子体中的离子加速,撞击原料靶材,将撞击出的靶材原子淀积到对面的基片表面形成薄膜。溅射法与真空蒸发法相比有以下的特点:台阶部分的被覆性好,可形成大面积的均质薄膜,可获得和化合物靶材同一成分的薄膜,可获得绝缘薄膜和高熔点材料的薄膜,形成的薄膜和下层材料具有良好的密接性能。因而,电极和布线用的铝合金 (Al-Si, Al-Si-Cu) 等都是利用溅射法形成的。

最常用的溅射法是在平行平板电极间接上高频 (13.56MHz) 电源,使氩气 (压力为 1Pa) 离子化,在靶材 (例如, Al) 一侧的电极上加上自偏压,使离子加速与之撞击。由靶材溅射出来的原子淀积到放在另一侧电极上的基片上,如图 3.17 所示。为提高成膜的速度,通常利用磁场来增加离子的密度,这种装置称为磁控溅射装置 (magnetron sputter apparatus)。

真空蒸发法是在真空中,采用电阻加热、感应加热或者电子束等加热法将原料蒸发淀积到基片上的一种最常用的成膜方法。蒸发原料的分子(或原子)的平均自由程长(10^{-4} Pa 以下,达几十米),所以在真空中几乎不与其他分子碰撞可直接到达基片。到达基片的原料分子不具有在表面移动的能量,立即凝结在基片的表面。所以,在具有台阶的表面上以真空蒸发法淀积薄膜时,一般说来,表面的被覆性(表面的覆盖程度)是不理想的。

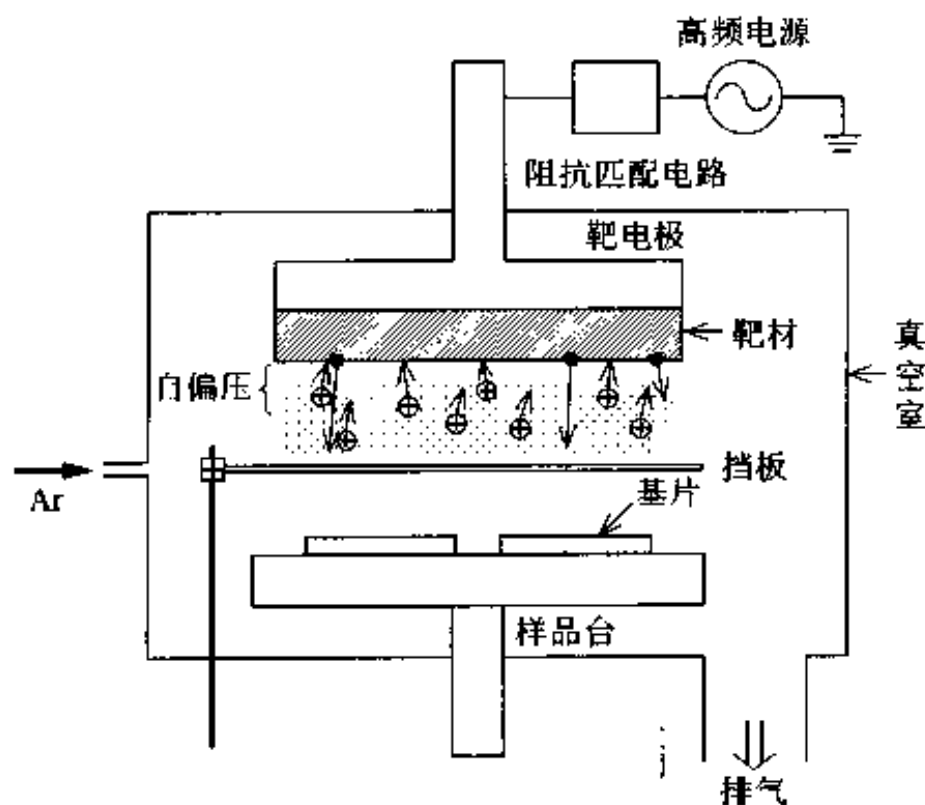


图 3.17 溅射设备的原理图

练习题

- 1 阐述集成电路主要由硅片制成的理由。
- 2 叙述干法氧化和湿法氧化的不同点。
- 3 为什么能看到与集成电路上的图形相应的有色图形？
- 4 叙述采用(100)硅片制造 MOS 集成电路的理由。
- 5 在室温下电阻率为 $1\Omega \cdot \text{cm}$ 的 n 型硅片,其杂质浓度为多少? 厚度为 $10\mu\text{m}$ 、电阻率为 $1\Omega \cdot \text{cm}$ 的 n 型外延层的方块电阻为多大?

- 6** 在制造硅集成电路时,各个工序中使用何种杂质?并叙述其理由。
- 7** 用 p 型,约 $15\Omega \cdot \text{cm}$ ($C_B = 10^{15} \text{cm}^{-3}$) 的硅基片以 $1\,000^\circ\text{C}$, 30 分钟,表面杂质浓度 $C_S = 2 \times 10^{20} \text{cm}^{-3}$ 的条件进行磷扩,求出结深 x_j , 设 $1\,000^\circ\text{C}$ 时磷的扩散系数为 $2 \times 10^{-13} \text{cm}^2/\text{s}$ 。
- 8** 在制造集成电路的工艺中,哪些工序使用等离子体?
- 9** 在光刻技术中,决定图形精细化的因素是什么?

引用文献

- [1] R. M. Burger, R. P. Donovan; *Fundamentals of Silicon Integrated Device Technology* Vol. 1, Prentice - Hall, Inc. (1967), p. 49
- [2] B. E. Deal, A. S. Grove; *J. Appl. Phys.*, 36 (1965), p. 3770
- [3] W. A. Pliskin, E. E. Conred; *IBM Res. Develop.*, 8 (1964), p. 43
- [4] B. E. Deal; *J. Electrochem. Soc.*, 114 (1967), p. 226
- [5] A. I. Akinwande, J. D. Plummer; *J. Electrochem. Soc.*, 134 (1987), p. 2526
- [6] F. A. Trumbore; *Bell Syst. Tech. J.*, 39 (1960), p. 205 - 233
- [7] J. C. Irvin; *Bell Syst. Tech. J.*, 41 (1962), p. 387 (最新数据请参考 ASTM F723 - 88)

集成电路的制造工艺

本章主要说明如何将第3章介绍过的各种基础工艺组合起来制造集成电路。集成电路中的各个元器件是相互绝缘的,要用导电薄膜进行必要的连接,才能使其具备一定的功能。在生产集成电路时,制造工序的多少和芯片面积的大小直接影响着集成电路的成本,所以用最少的工序,制成尺寸最小的集成电路是一个重要的课题。我们将以双极型和 MOS 型集成电路为例予以说明。此外,还要介绍多层布线技术,这种技术在高集成度的集成电路中尤为重要。

4.1 集成电路的基本结构

硅单晶片上形成的各个元器件必须是相互绝缘的(从电的角度来看是隔离的),为实现这一目的的工序称为**元器件隔离(device isolation)**工序。各个元器件制作在相互隔离着的区域内,再用布线相互连接起来。因而集成电路的制造分为器件隔离、器件的形成和布线这三个工序。

4.1.1 器件隔离技术

器件的隔离有两种方法。即,使用pn结来进行隔离的**pn结隔离法**和利用绝缘物进行隔离的**绝缘体隔离法**。在2.1节中已经介绍过,未加正向偏压的pn结几乎无电流流动,因而pn结可作器件隔离用。图4.1表示利用pn结隔离形成器件区域的工艺。首先在p型衬底上形成n型外延层,如图4.1(a)所示。然后进行p型杂质扩散,扩散深度达到衬底,使n型的器件区域的底部和侧面均被pn结所包围,如图4.1(b)所示。

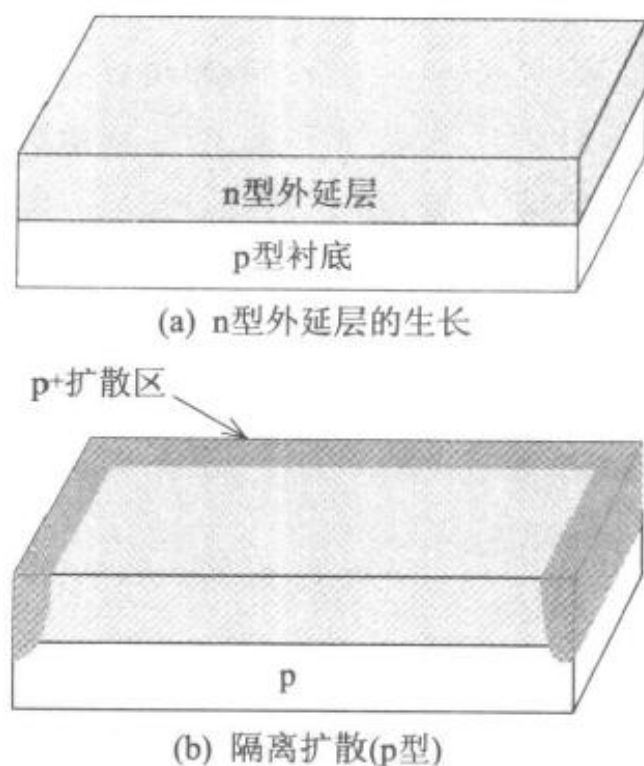


图 4.1 pn 结隔离
(器件区域的底面和周围均被 pn 结所包围)

绝缘体隔离法通常用二氧化硅作为绝缘体,因而也称该二氧化硅为隔离墙。一般说来,二氧化硅隔离使用于器件区域的侧面,器件区域底部的隔离则用 pn 结隔离来实现。若底部也要用绝缘体进行隔离时,需在绝缘体薄膜上制作单晶层,即需要 SOI(silicon on insulator)技术。SOI 技术无论在成本上还是在技术上均存在一定的问题,是一种未来的技术。图 4.2 表示双极型集成电路中采用绝缘体隔离的例子。深度达到衬底的 V 形沟槽内侧形成二氧化硅后,再用多晶硅填满,达到绝缘隔离的目的。

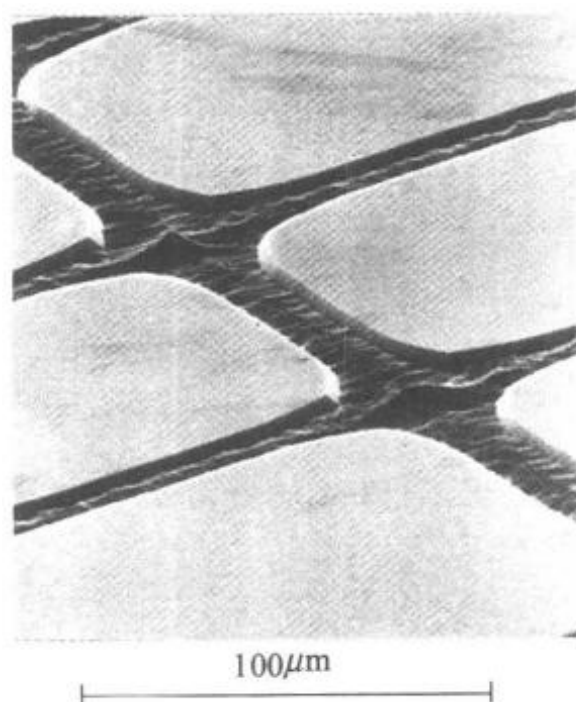


图 4.2 绝缘体隔离

(器件区域的周围用 SiO_2 膜和多晶硅填满的沟槽进行隔离)

MOS 集成电路的器件隔离要比双极型集成电路容易得多。这是因为 MOS 晶体管的源、沟道和漏区都是由同型半导体材料构成的,并且和衬底的导电类型不同,所以晶体管本身就被 pn 结隔离着。但是,必须在周围侧面形成厚的隔离氧化膜(field oxide),以防止周围形成寄生沟道。这与双极型集成电路的绝缘体隔离相比,在工艺上要简单得多。对于 CMOS 集成电路来说,由于同时存在着 n 沟道和 p 沟道的 MOS 晶体管,p 型衬底上形成 n 型区域(称为 n 阱,n-well),或者 n 型衬底上形成 p 型区域(称为 p 阱,p-well),在 n 阱中形成 p 沟道,在 p 阱中形成 n 沟道 MOS 晶体管。n 阱方式 CMOS 的器件区域和隔离区域如图 4.3 所示。其中图(a)表示用离子注入

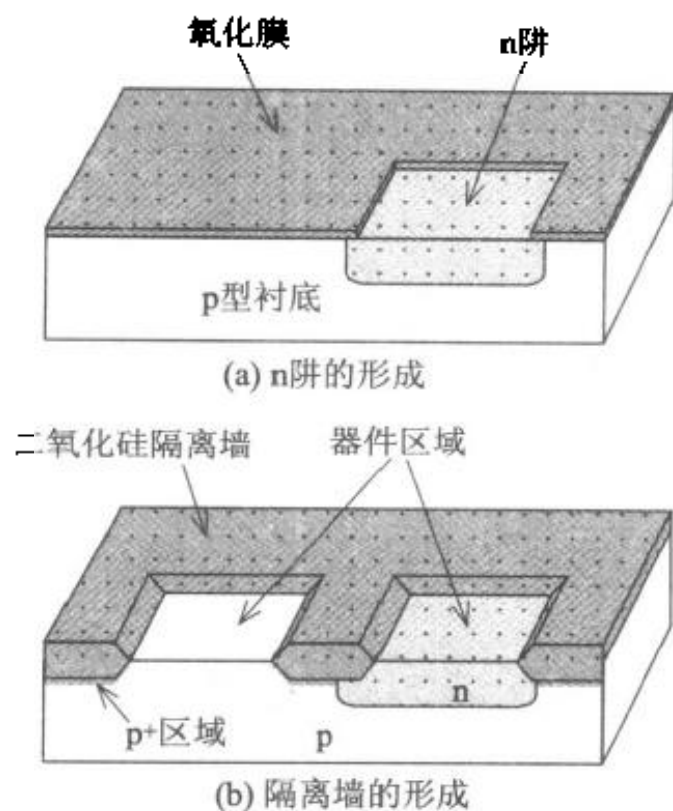


图 4.3 CMOS 器件隔离(用 n 阱 pn 结隔离)

和扩散法形成 n 阱后的状态,图(b)为用二氧化硅隔离墙进行器件隔离的状态。

4.1.2 双极型晶体管的结构

和单晶体管不同,集成电路中所有的电极都必须设置在基片的表面,所以单晶体管设置于衬底内的集电极在集成电路中也必须形成于表面,如图 4.4 所示。但是,在基片表面上设置集电极的电极,就会将高电阻率的集电区的电阻串联到集电极电路。为了避免这一寄生电阻,在集电区的下部埋入低电阻的 n^+ 层(和其他区域相比,杂质浓度高的 n 层)。将该低电阻的 n^+ 层称为埋层。此外,在集电极电极部位形成和发射区相同的 n^+ 层,使铝电极和集电区形成低电阻的欧姆性接触。否则,因为集电区的杂质浓度低,直接与铝电极相接触容易形成整流性或非欧姆性接触。

对要求工作频率高的晶体管,由于其基区厚度变薄,所以基极电阻不可忽略不计。在基极电极下面形成 p^+ 层或使发射极电极尽量接近基极电极,可使基极电阻降低。

此外,发射结和集电结的结电容往往使频率特性劣化,所以要尽量减小结的面积。

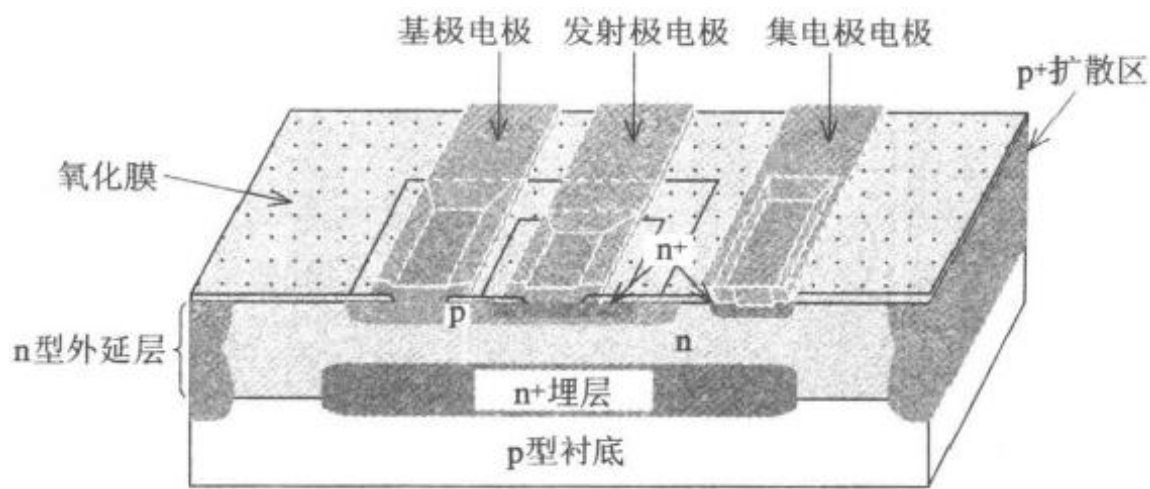


图 4.4 双极型晶体管的结构

4.1.3 MOS 晶体管的结构

双极型晶体管的发射区、基区和集电区是纵向淀积而成的。与此不同，MOS 晶体管的源、栅和漏区域是横向排列的。因而，MOS 晶体管中的电流是沿着表面流动的，电极也排列在表面，是一种适合作为平面集成的结构。正如前面介绍过的那样，MOS 晶体管本身已被隔离着，因而在结构上要比双极型晶体管简单得多。图 4.5 表示出 n 沟道 MOS 晶体管的基本结构，它具有以栅极为中心，左右对称的结构。

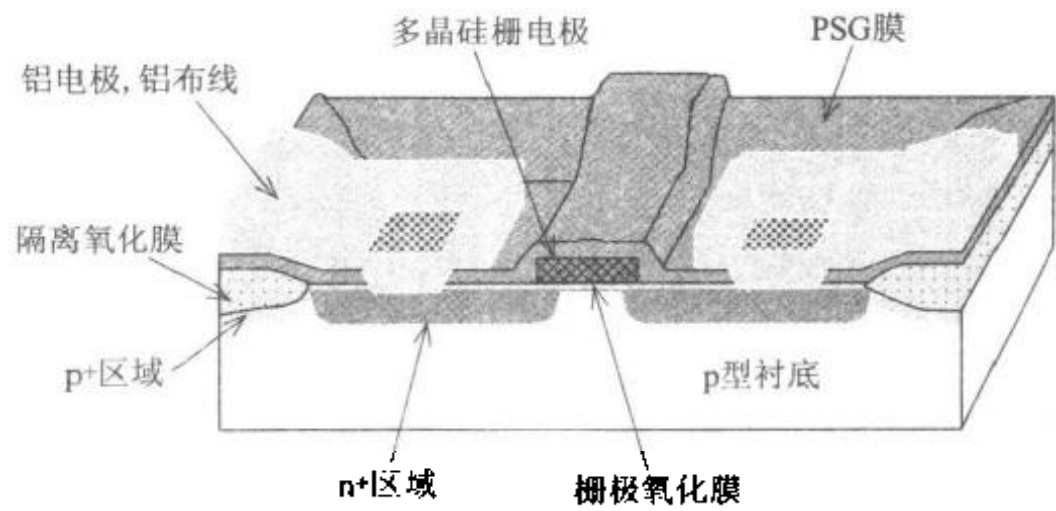


图 4.5 n 沟道 MOS 晶体管的结构

4.2 双极型集成电路的制造

从集成电路制造成本的角度来考虑,既希望由占基片面积小的器件来组成集成电路,又希望以尽量少的工序来完成集成电路。从占有面积这一点来说,应尽量采用晶体管和占面积小的低阻元件,而尽量不采用占面积大的高阻元件和电容器。从减少工序数目这点来说,应尽量利用形成晶体管发射区、基区和集电区时所使用的掩模,在同一道工序上完成电阻元件的制作,尽量利用晶体管 pn 结的结电容作为电容元件。有时,往往采用发射区低电阻层作为电极、布线的一部分。

下面,我们以双极型晶体管和形成发射区的同时制造电阻元件的工序为例,说明集成电路的工艺过程。典型的双极型晶体管和发射极电阻的平面图如图 4.6 所示。该图中,矩形框内的符号“×”表示二氧化硅膜上的接触窗口,虚线表示电极、布线的形状。中心线表示图 4.7 ~ 图 4.12 中立体图的断面位置。衬底为 p 型硅片,考虑到集电极-基极间的寄生电容、绝缘耐压,选择受主杂质浓度为 10^{15} cm^{-3} 的衬底。制造时的掺杂方法可采用第 3 章中叙述过的离子注入法或扩散法。此例中采用扩散法掺杂。

首先,介绍埋层的形成和器件隔离工艺。正如上节说明过的,在 npn 晶体管的下部有必要设置低阻 n^+ 埋层。如图 4.7 所示,埋层是由作为掩模用的二氧化硅膜的形成(图 4.7(a))、光刻和腐蚀(图 4.7(b))、锑的扩散(图 4.7(c))等工艺来完成的,二氧化硅膜可用氢氟酸和氟化氨的水溶液(缓冲氢氟酸溶液)经数分钟的处理而去除。上面所说的这种在选定部位进行杂质扩散(选择扩散)的技术是一种最基本的平面技术,是用二氧化硅膜作为掩模来进行的。 n^+ 埋层使用杂质锑(Sb)的理由在于:磷(P)的扩散迅速,而砷(As)的蒸气压高,外延生长时会产生自掺杂等问题。在用涂布法进行锑扩散时,使用添加锑的氧化膜作为锑的扩散源。首先,涂布扩散源溶液,然后烧结成膜,再将膜中的杂质扩散到硅中去。二氧化硅掩模的厚度随着扩散时间和杂质种类而变,通常为 $0.5 \sim 0.6 \mu\text{m}$ 。

图 4.8 表示器件隔离工序。在 n 型外延层比较厚($5 \sim 10 \mu\text{m}$)的情况下,预先将衬底掺高浓度的 p 型杂质形成 p^+ 埋层,再从上下两个方向扩散

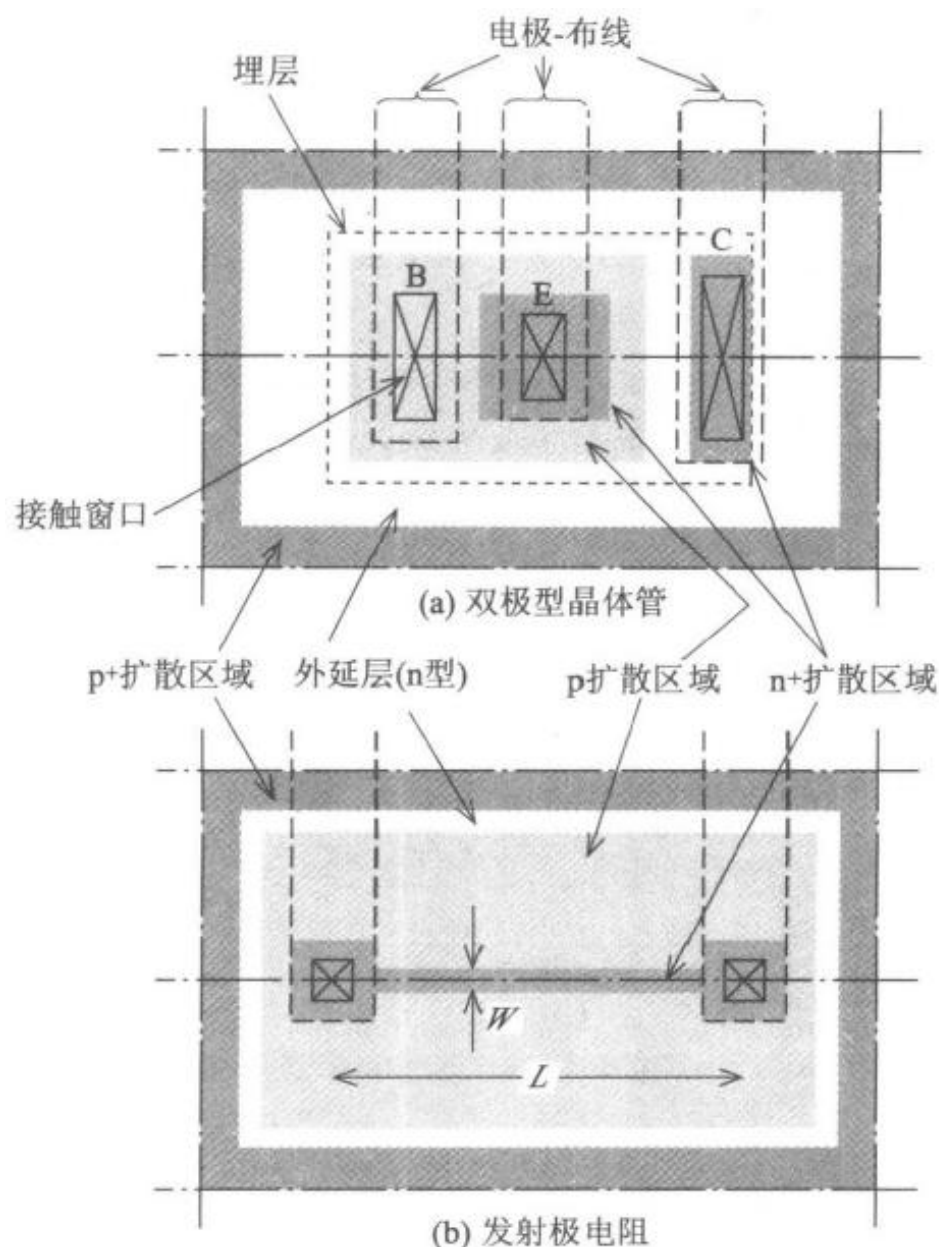
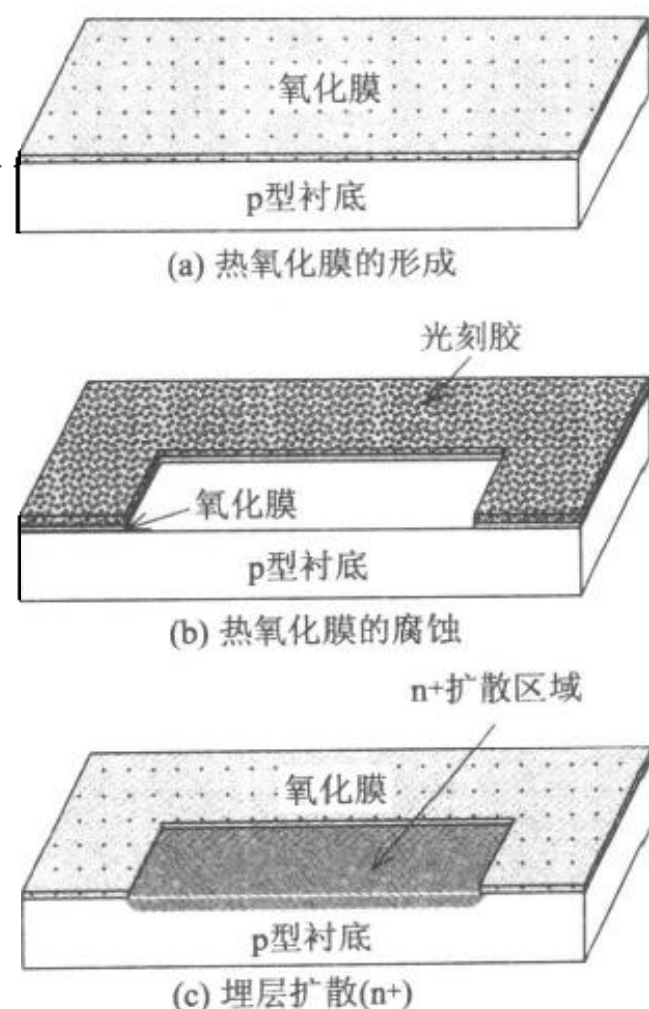


图 4.6 典型的双极型晶体管和发射极电阻的平面图

p 型杂质形成隔离区域。往往采用硼(B)作为 p 型杂质,用氮化硼(BN)作为硼的扩散源。用选择扩散法形成 p⁺埋层,然后去除氧化膜,如图 4.8(a)所示。外延生长是在 1 000℃左右的高温下进行的,所以两个埋层(p⁺埋层和 n⁺埋层)向上部的外延层扩展(同图(b))。然后,由表面进行器件隔离的 p 型扩散,扩散时间正好设定在使 p⁺埋层和来自表面的 p 型扩散区域相连接。从而形成底面和侧面均由 pn 结包围着的 n 型器件区域(同图(c))。该 n 型区域的电子浓度约为 $5 \times 10^{15} \text{ cm}^{-3}$,为晶体管的集电区。

接着,是形成器件的工序。n 型器件区域内,用选择扩散法形成 p 型区域和 n⁺区域,有时需要再在该 p 型区域内形成 n⁺区域。为在不同部位反复进行选择扩散,在预扩散和主扩散两个阶段进行的扩散工序中,让主扩散

图 4.7 n^+ 埋层的形成

工序在氧化性气氛中进行,使窗口部也生成一层二氧化硅膜再进入下一道工序。图 4.9 表示选择扩散形成 p 型区域的工艺过程,该 p 型区域是用作基区的,所以该扩散工序也称为基区扩散。首先在整个表面形成二氧化硅膜(图 4.9(a)),然后在欲进行扩散的部位开上窗口(图 4.9(b)),进行扩散和氧化。形成发射极电阻元件时,该 p 型区域具有将它内侧形成的 n^+ 型区域进行 pn 结隔离的作用。

接着进行发射区扩散。此时,在二氧化硅掩模上,和发射区、发射极电阻区、集电区上的金属电极接触部相对应的部位开有扩散窗口,如图 4.10(a)~(c)所示。为了和金属电极的铝材形成低电阻的欧姆接触,必须在集电区上对应于金属电极的接触部位形成 n^+ 层。通常使用磷或砷为杂质在上述部位形成 n^+ 层。磷的扩散源为液态的三氯氧磷($POCl_3$),砷的扩散源为掺有砷(As)的氧化膜层。发射区的扩散工艺是非常重要的工艺,它直接影响到决定晶体管电流放大系数的注入效率和传输效率。具体地说,发射区的 n^+ 层的电子浓度和厚度影响着注入效率,而夹在该 n^+ 层和集电区之

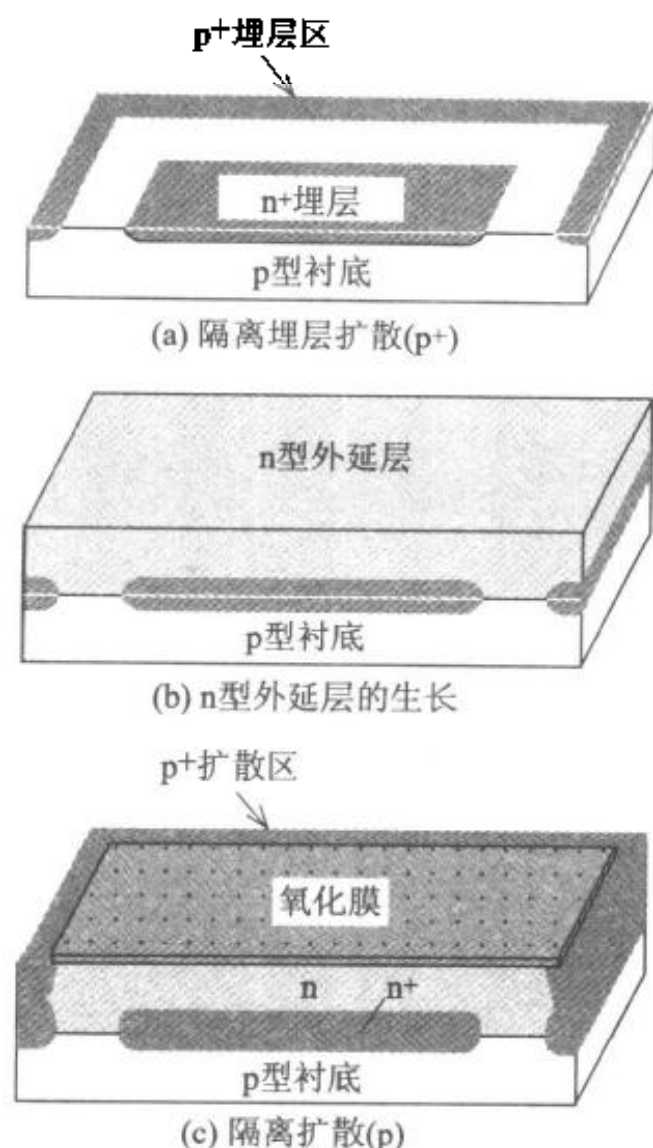


图 4.8 器件隔离区域的形成

间的基区的厚度和空穴浓度影响着传输效率。基区也好,发射区也好,都是由表面扩散形成的,所以杂质浓度沿纵向下下降,发射区的平均浓度为 10^{19} cm^{-3} ,基区为 10^{17} cm^{-3} 左右。发射区、基区的厚度根据晶体管性能要求和大小不同而异,大约为 $0.1 \sim 1 \mu\text{m}$ 。和基区扩散同样,在主扩散的同时使表面氧化(图 4.10(b)),然后腐蚀形成接触窗口(同图(c)),以便淀积金属电极。到此为止,完成了器件的制作。器件的纵向杂质分布如图 4.11 所示。

器件完成后,再进行布线工序。除采用铝(Al)作为布线外,还使用扩散层或多晶硅作为导电布线。我们以铝布线为例说明布线工艺。图 4.12 表示形成铝电极的工艺过程。通常使用含有 1% ~ 2% 硅或铜的铝薄膜作为电极材料,电极材料是利用溅射法或真空蒸发法制成的(同图(a))。使用含有硅的铝材料可以避免硅衬底和铝之间的不必要的界面反应。使用纯

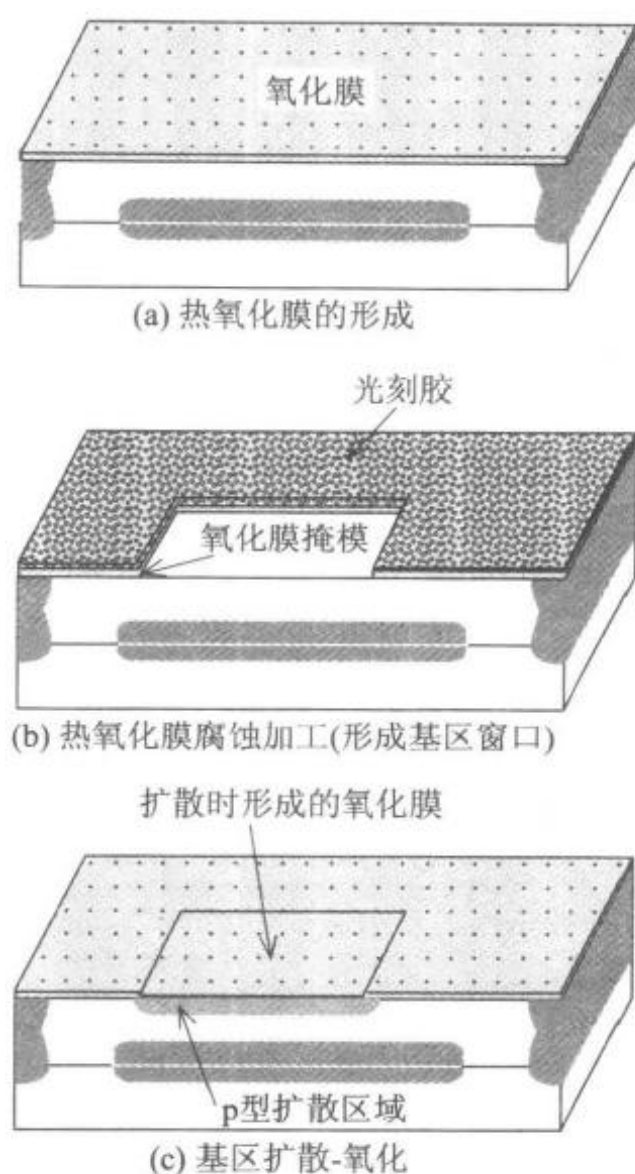


图 4.9 基区扩散工艺

铝时,由于铝/硅的界面反应,形成针尖状(spike)的合金层向硅层中扩展,产生结的泄漏电流。使用含有铜(Cu)的铝材料的理由是为了提高铝布线的可靠性(参见《集成电路B》中第7章)。然后,在铝薄膜上形成光刻胶掩模(图4.12(b)),再用腐蚀液或反应离子刻蚀法(RIE: reactive ion etching),形成铝布线图形(同图(c))。铝的腐蚀液采用磷酸-硝酸-醋酸的混合液,RIE中采用 BCl_3 气体进行刻蚀。然后,为了降低电极的接触电阻和提高粘结能力,在 $400^\circ\text{C} \sim 500^\circ\text{C}$ 下进行热处理,使铝和衬底硅合金化,完成布线工艺。

最后一道工艺是形成保护层。为防止芯片的表面损伤和杂质污染,在整个芯片的表面覆盖一层保护膜。通常,使用低温CVD形成的磷硅玻璃(PSG: phospho-silicate glass)或者是PSG和等离子法形成的氮化硅(以下称

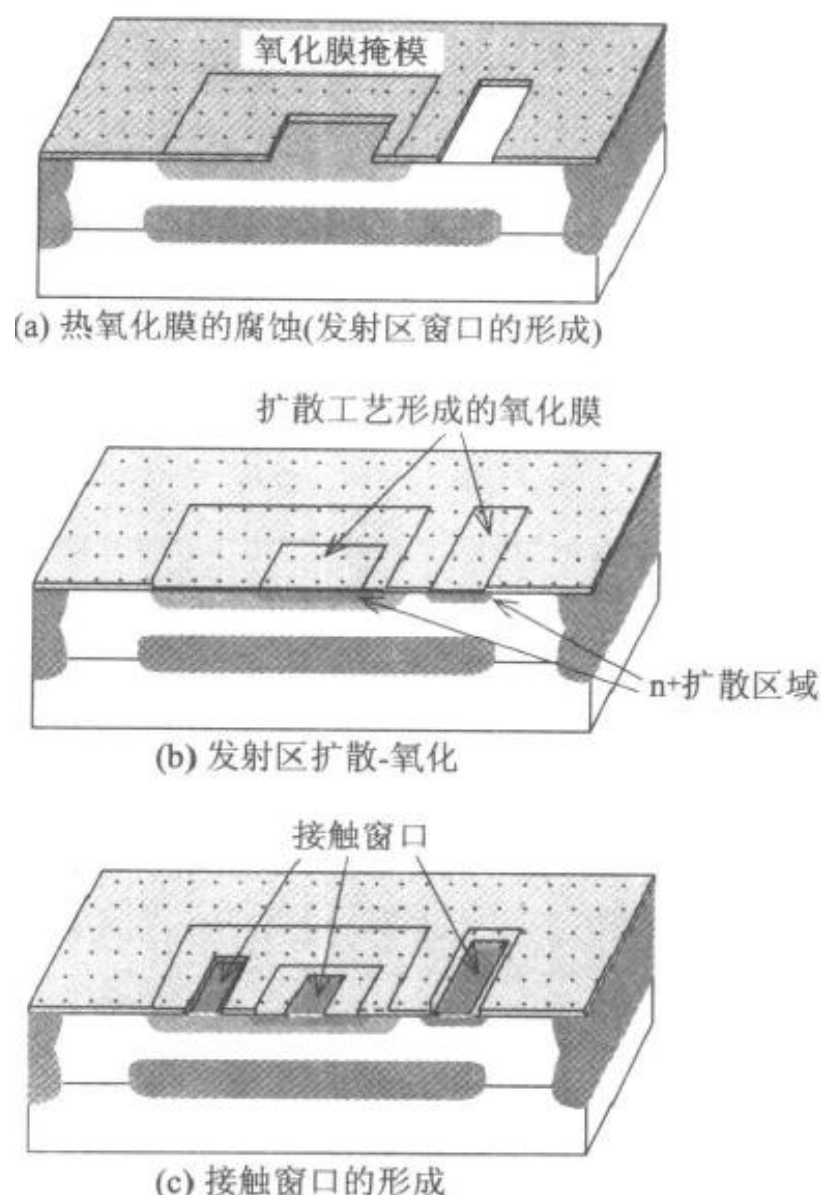


图 4.10 发射区扩散工艺和接触窗口的形成

氮化膜)双层膜。PSG 和氮化膜可在不影响铝性能的低温下(约 400°C 以下)形成,PSG 具有束缚钠等碱金属离子移动,使器件性能稳定的作用。氮化膜有防止杂质穿透的作用。保护膜形成以后,在引线焊接部形成窗口,则整个制造工艺完成。引线焊接部的尺寸约为 $100\mu\text{m} \times 100\mu\text{m}$ 。

下面,简单地说明一下在上述工艺的同时形成发射极电阻(图 4.6 (b))的工艺过程。发射极电阻的制造工艺和双极型晶体管不同之处是,发射区扩散和基区扩散工艺使用的掩模图形不同,发射极电阻区域不需要 n^+ 埋层。如果知道了发射区扩散层的方块电阻 R_f 和电阻图形的长/宽(L/W)之比,电阻元件的电阻值 R 可由 $R = R_f(L/W)$ 式得到。发射区扩散层和基区扩散层的方块电阻分别为数十 $\Omega/\square$, $200 [\Omega/\square]$, 可形成低阻元件。一般说来,电阻元件所占的面积是晶体管所占面积的数倍。

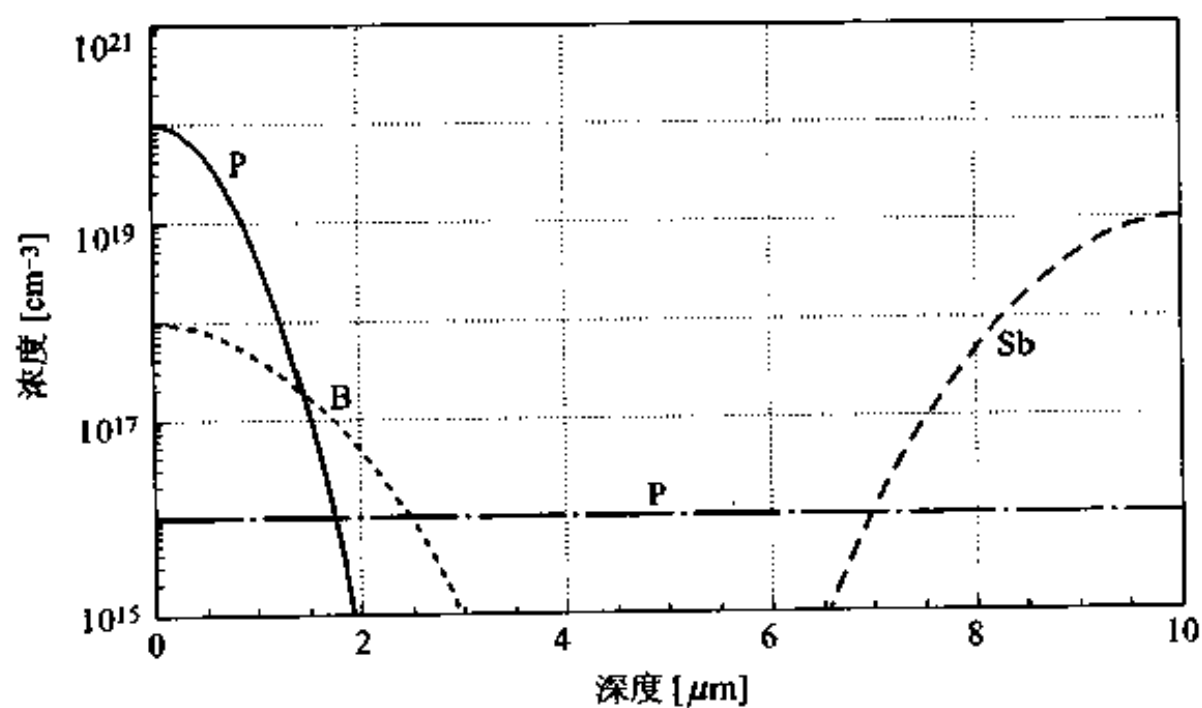


图 4.11 双极型晶体管杂质浓度的纵向分布

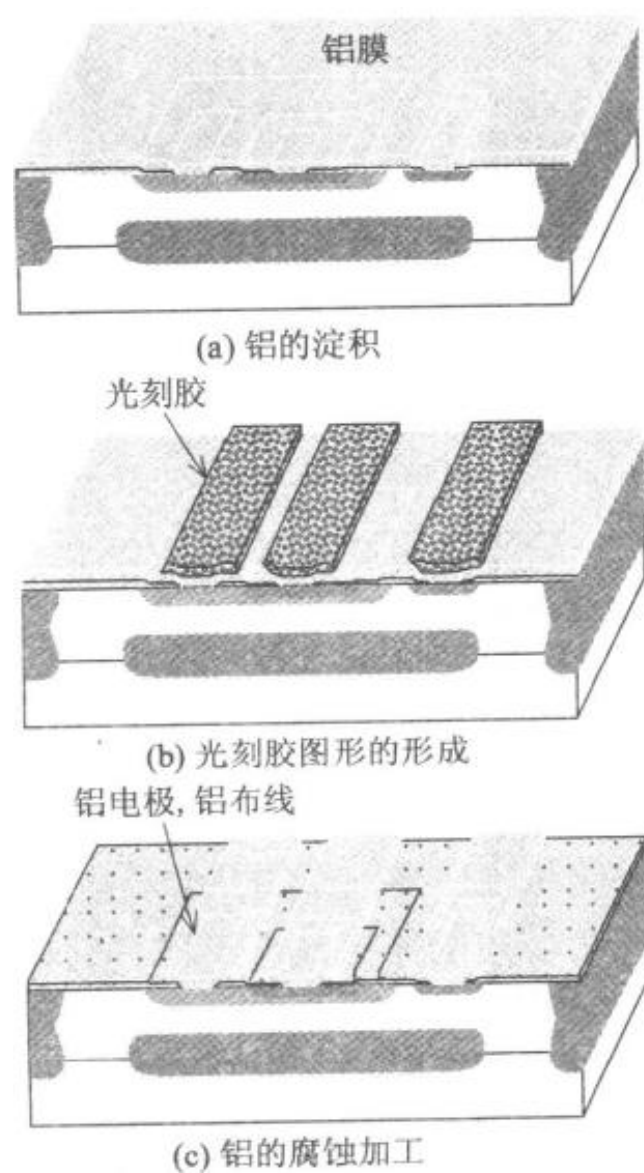


图 4.12 铝电极和铝布线的形成

4.3 MOS 集成电路的制造

本节叙述曾在 4.1.3 节中介绍过的图 4.5 所示的 n 沟道 MOS 晶体管的制造工艺。图 4.13 是该器件的平面图, A—A' 表示图 4.5 的剖面位置。图 4.13 下部表示多晶硅栅极和铝布线的接触部。绝缘膜中的接触窗口以方框中的“×”表示, 铝电极以及铝布线的轮廓线用点线表示。

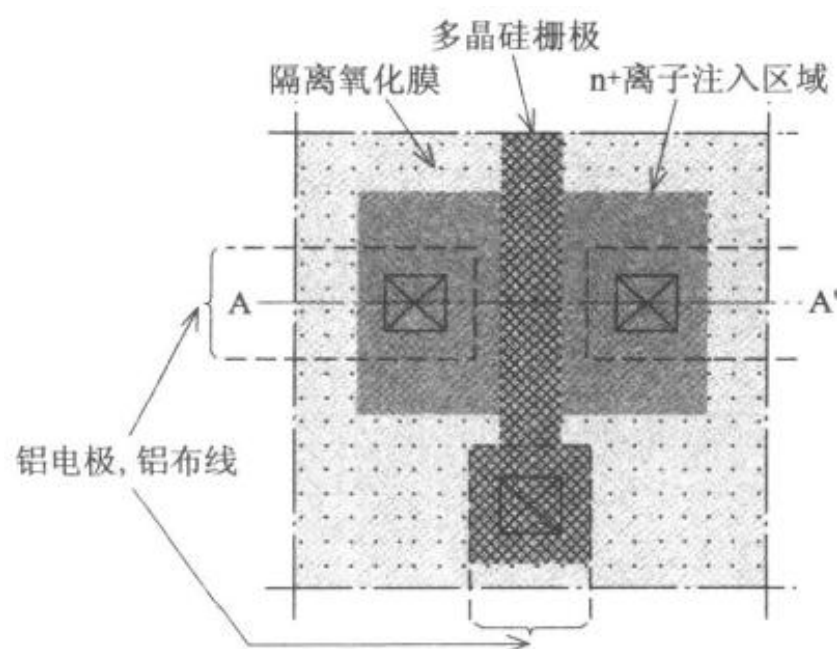


图 4.13 n 沟道 MOS 晶体管的平面图

图 4.14 表示器件隔离区域的形成工艺。首先,在 p 型 Si 衬底上形成二氧化硅膜,然后再以热 CVD 法在其上面全面地淀积氮化膜。衬底的电阻率约为数 $\Omega \cdot \text{cm}$, 受主杂质浓度约为 $1 \times 10^{15} \text{cm}^{-3}$ 。二氧化硅膜和氮化膜的厚度在 $0.05 \sim 0.1 \mu\text{m}$ 范围内。表面的氮化膜可作为下一道隔离氧化工序的掩模。此外,下层的二氧化硅膜也称为缓冲二氧化硅膜 (pad oxide film), 用来缓和坚硬的氮化膜加在硅衬底上的热应力。在这二层膜上,与器件区域相对应的部位形成光刻胶图形,将无光刻胶部分的氮化膜和二氧化硅膜腐蚀去除。通常可用以 CF_4 为主要成分的混合气体等离子刻蚀法或用热磷酸湿法腐蚀氮化膜。接着,以这层光刻胶作掩模进行硼 (B) 离子注

入(图 4.14(b))。离子注入量约为 10^{13} cm^{-2} 。从而在该离子注入区域形成比衬底受主杂质浓度高的 p 型层,可防止产生 n 型寄生沟道。这一层 p 型层通常称为沟道阻止层(channel stopper)。离子注入后,用氧的等离子体或专用的光刻胶剥离液将光刻胶去除。然后,以氮化膜作掩模,利用氧化速度快的湿法氧化形成厚度为 $0.5 \sim 1 \mu\text{m}$ 的二氧化硅隔离墙(同图(c))。这种采用氮化膜的选择氧化法也称为 LOCOS(local oxidation of silicon),它具有以下特点:形成的厚的二氧化硅膜是以半埋入方式存在的,减小了表面的台阶高度;二氧化硅膜和沟道阻止层可用同一掩模进行位置的自我匹配。但是,这种选择氧化法也存在着缺点,如图 4.15 所示,氧化反应会渗入氮化膜掩模边缘部分的下面。潜入氮化膜的部分形成类似鸟的嘴部的形状,所

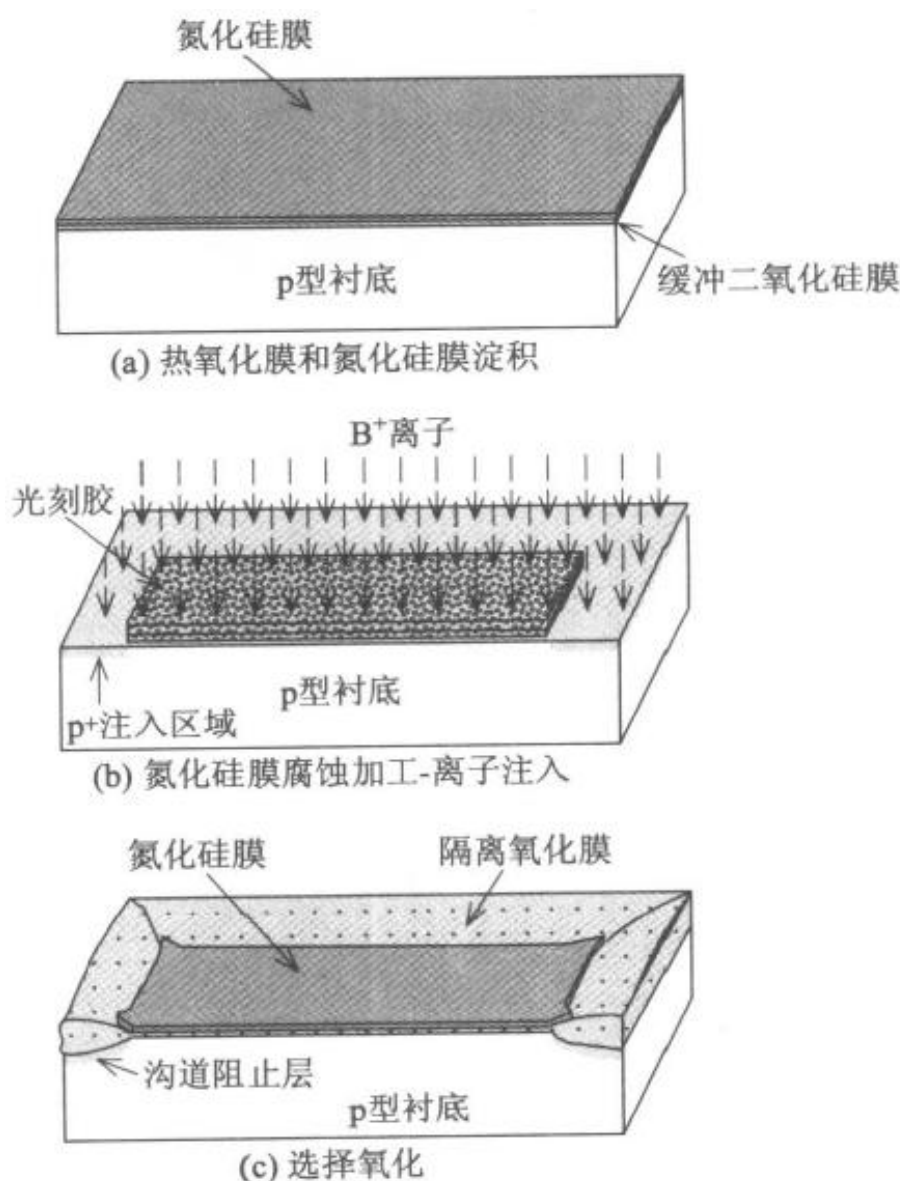


图 4.14 器件隔离区域的形成(nMOS)

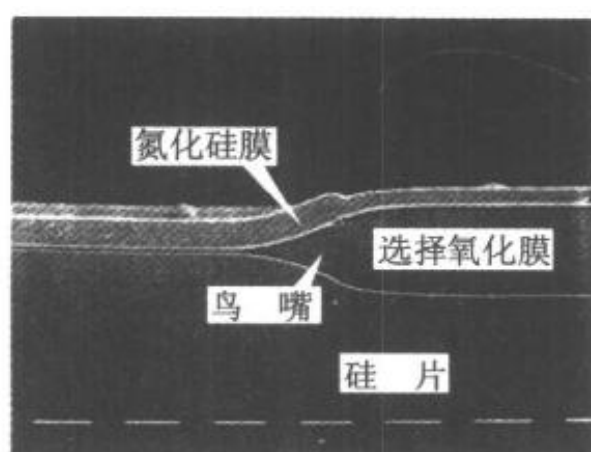


图 4.15 选择氧化膜的断面电子显微镜照片

以也称为鸟嘴 (bird's beak)。因为产生了鸟嘴,难以使器件隔离区的宽度小于某一定值。经过以上的工序,形成了器件隔离区域。

其次,是制作器件。图 4.16 表示形成源区和漏区的工艺过程。首先,去除氮化膜和缓冲二氧化硅膜(隔离氧化时的掩模)。然后,以干法氧化形成栅极二氧化硅膜。栅极二氧化硅膜的质量是决定晶体管的参数——阈值电压和跨导的重要因素,要求采用优质的二氧化硅膜。这里所说的优质二氧化硅膜是指膜中存在的诸如钠离子之类的可动电荷少,二氧化硅膜与硅界面的界面能级密度小。这类电荷往往带来阈值电压的变动和沟道中载流子迁移率的下降等弊病。虽然干法氧化的成膜速度慢,但是可获得优质的二氧化硅膜,适用于制造 $0.1\mu\text{m}$ 以下的优质栅绝缘薄膜。在栅极二氧化硅膜形成工艺中,电炉中的氧化工艺固然重要,但氧化前衬底的清洁处理和插入电炉时,如何防止空气的混入等也都是很重要的。另外,在形成厚度为 10nm 以下的二氧化硅膜时,必须控制自然二氧化硅膜的生成。当栅极二氧化硅膜形成后(图 4.16(a)),下一道工序是作为栅电极用的多晶硅的形成。多晶硅是以硅烷(SiH_4)为原料用低压 CVD 法淀积而成的。在 $600^\circ\text{C} \sim 700^\circ\text{C}$ 情况下,将硅烷热分解,在衬底的整个表面上淀积 $0.3 \sim 0.5\mu\text{m}$ 厚的多晶硅(同图(b))。接着,利用光刻技术形成栅极光刻胶掩模,以光刻胶图形为掩模,用干法刻蚀去除多晶硅(同图(c))。通常使用各向异性强的、在光刻胶掩模下面的横方向上刻蚀量小的 RIE 法进行刻蚀。除此之外,也可利用硝酸-氢氟酸的混合液进行多晶硅的腐蚀。

需要补充的是,在栅极氧化膜形成之后,有时要在沟道区域注入少量($10^{11} \sim 10^{12}\text{cm}^{-2}$)的杂质离子,用来调整阈值电压的大小,称此为沟道掺杂

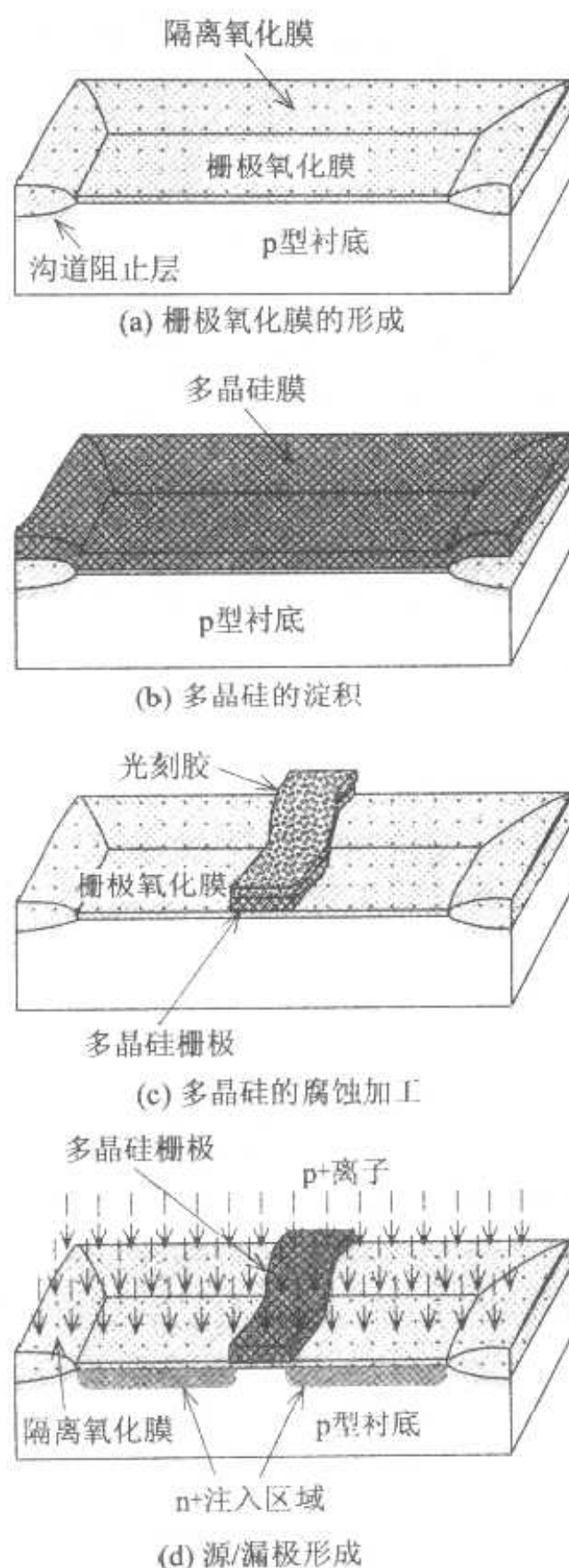


图 4.16 nMOS 制造工艺

(channel doping)。为增大阈值电压掺 p 型杂质,为制造耗尽型 MOS 晶体管掺 n 型杂质。此外,为降低多晶硅的电阻率,在淀积多晶硅时或淀积多晶硅后,进行磷的高浓度掺杂,使其形成 n^+ 层。

接着,是形成源/漏区域。对于加强型 MOS 晶体管来说,栅电极和源/漏区域之间如果存在间隙就会中断电流通路(沟道)。为避免产生这种现象,在早期的铝栅极 MOS 结构中,考虑到位置对准误差,增大了互相重叠的部分。但是,重叠部分过大的话,使栅-源之间或栅-漏之间的寄生电容增大,高频特性劣化。为了防止高频特性的劣化,要求高精度地对准。为达到这一要求,已发明了一种自对准(self-aligned)工艺(参见图 4.16(d))。这种工艺是以栅极本身为掩模进行离子注入,一旦形成源/漏区域,则自动地与栅极对准。只有使用耐热性好的多晶硅栅极时,才能实施这种自对准工艺。因为用离子注入法形成 n^+ 型的源/漏区域时,在注入约 10^{15} cm^{-2} 的 P 或 As 离子后,需在 $800^\circ\text{C} \sim 1000^\circ\text{C}$ 的温度下进行热处理,这对于 Al 栅极是做不到的。用扩散法形成源/漏区域时,同样要求栅极具有耐热性能。在形成源/漏区域的工艺过程中,P 或 As 离子同时也注入到多晶硅中,有效地降低了栅极的电阻,热处理后的方块电阻低至 $30[\Omega/\square]$ 。

图 4.17 表示形成布线的工艺过程。4.2 节中阐述的磷硅玻璃(PSG)可作为布线层间的绝缘膜。这种绝缘膜具有固定可动钠(Na)离子的作用。同时,在 1000°C 左右的高温热处理时,由于 PSG 的粘性流动,可使表面平坦化。基片表面上已经存在着隔离二氧化硅膜、多晶硅栅极等台阶,使光刻时的清晰度下降,容易产生铝布线的断线和短路现象。同图(a)表示 PSG 淀积后,同图(b)表示由于热处理使棱角消失,表面变得更平坦的状况。PSG 是以 SiH_4 、 PH_3 和 O_2 为原料,用常压 CVD 淀积而成的,厚度约为 $0.5\mu\text{m}$ 。层间绝缘膜形成后,用图 4.12 所示的双极型布线工艺,形成接触窗口(图 4.17(c)),其次形成铝布线。铝薄膜是用真空蒸发法或溅射法来淀积的。为避免来自钨(W)加热丝的钠污染,通常利用电子束真空蒸发法。溅射法的优点是表面台阶部分的被覆性能好,与下层的密接性能好,但是应注意不要使二氧化硅膜受到损伤。

布线最后的工序是在含有 5% ~ 10% 氢的氮气中, $400^\circ\text{C} \sim 450^\circ\text{C}$ 的湿度下热处理 15 ~ 30 分钟(也称为成形加工,forming),以使铝和硅在一定程度上合金化,使在干法刻蚀、溅射工艺中产生的栅极二氧化硅膜界面的损伤得到改善。图 4.17(d)表示布线形成后的状态,同图(e)表示整个表面用 PSG 保护膜覆盖后的最终状态。

上面,叙述了双极型和 MOS 集成电路制造的基础工艺。由上可知, MOS 集成电路的器件隔离和器件制造工艺是比较简单的。在整个工艺过

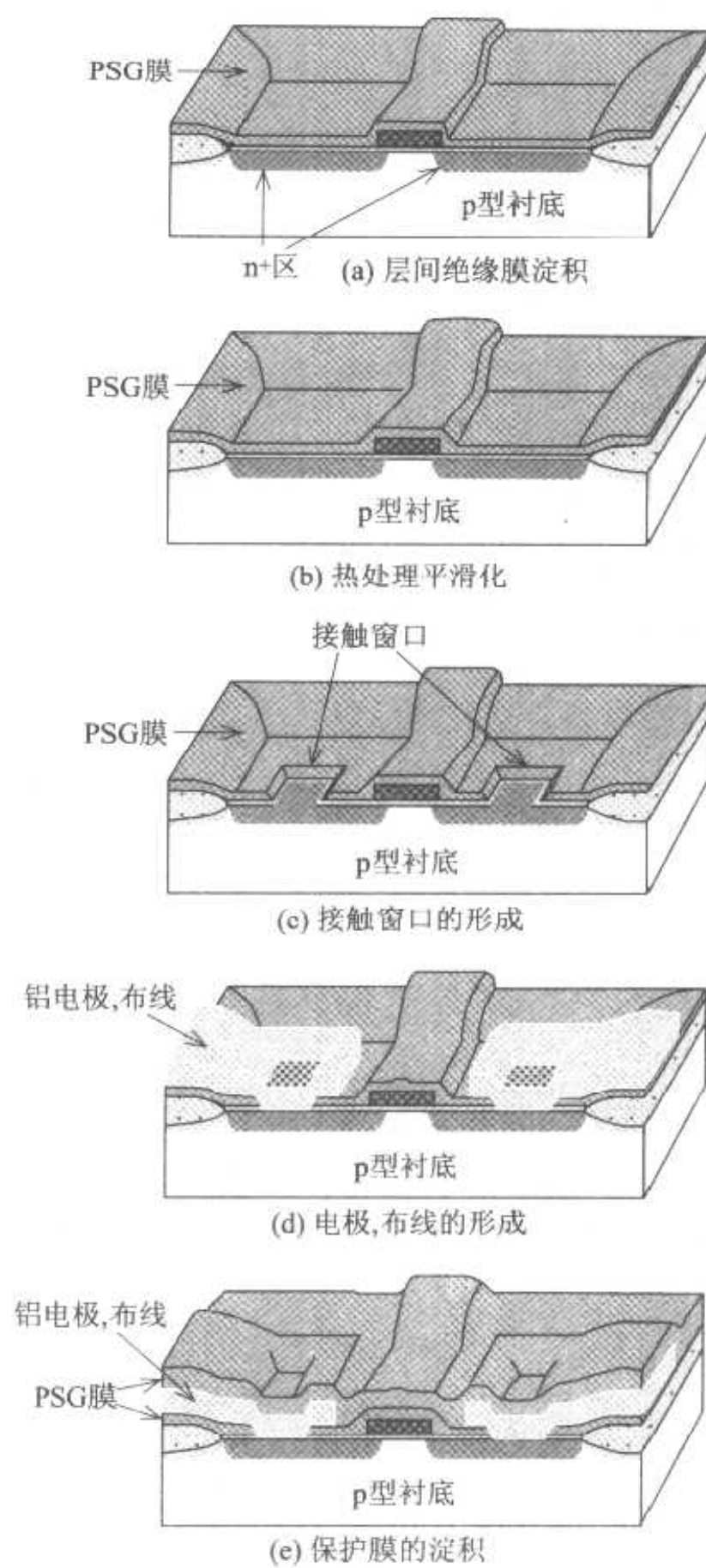


图 4.17 nMOS 的布线工艺

程中,已经完成的工序结果又受后续工序的影响。因而必须考虑到工序间的相互作用再制定各个工艺参数,但是随着工序数目的增加,各个工艺参数的确定越来越困难。为此,开发了一种模拟程序,连续地计算经过一连串制造工序后的杂质分布和形状分布,以此推测器件的特性。这将在第6章中进行介绍。

4.4 多层布线

集成电路中,有的使用金属布线,也有的使用构成器件的多晶硅、扩散层等将器件之间连接起来。随着器件数目的增加,只靠多晶硅、扩散层和一层金属布线来完成所有器件间的连接,将使芯片的尺寸增加。特别是在大规模集成电路中,不仅使芯片的尺寸增加,也使布线引起的延迟时间增长,对提高运算速度起着阻碍作用。为解决这一问题,可增加金属布线的层数,上下金属布线层间靠层间绝缘膜上的开孔(也称为穿孔、通孔)连接起来。这种将金属布线多层化的布线称为**多层布线**,多层布线的层数随大规模集成化而增多,现在大规模逻辑集成电路中使用3~4层布线。

4.4.1 布线的材料

一般说来,布线材料有:(1)作为MOS晶体管栅电极材料的多晶硅等,(2)晶体管源、漏区等的扩散层,(3)金属材料。作为布线的典型材料以及电阻率如表4.1所示。

长期以来,大部分的MOS晶体管是以P掺杂的n型多晶硅作为栅电极材料。随着器件的微小型化,必须降低栅电极的电阻。为此采用在多晶硅上淀积高熔点金属材料的硅化物(MoSi_2 、 WSi_2 、 TiSi_2 等),形成多层结构的栅电极。

要使扩散层低电阻化有一定的限度,扩散层只宜用作短的布线。如需要长的布线时,中间用金属布线来代替。金属布线和扩散层的欧姆接触部分必须满足接触电阻低,不能由于布线金属和衬底硅间的界面反应破坏pn结等要求。由于铝和硅衬底之间的固相反应,至今广泛使用的铝和铝-硅合金,特别是对浅的pn结,难以形成漏电流(leak current)小而稳定的接触。

为此,使用 TiN 等材料,这种材料能抑制铝和硅的界面反应,并可与硅衬底形成良好的欧姆接触,这种材料也称为势垒金属(barrier metal)。

表 4.1 用于布线的各种材料的电阻率,存在问题和解决方法

材 料	项 目	实 例	电阻率 [$\Omega \cdot \text{cm}$]	存在问题,解决方法
栅电极材料		多晶硅,各种硅化物, 高熔点金属(W, Mo 等)	多晶硅 $\sim 10^{-3}$ 各种硅化物 $\sim 10^{-4}$ 高熔点金属 $\sim 10^{-5}$	电极的低阻化/多晶硅 上淀积硅化物
扩散层		n^+, p^+ (发射区,源区,漏区)	$\sim 10^{-3}$	防止 pn 结击穿/采用 TiN 等势垒金属
金属材料		Al(Si, Cu), Cu	$\sim 10^{-6}$	Al 布线的高可靠性/采 用 Al, Ti, TiN 等复合 结构

典型的布线金属是铝(掺 Si 或 Cu)。但是,随着布线尺寸的微小化,铝布线的可靠性下降(参阅《集成电路 B》中第 7 章)。为了解决这一问题,将 Al、Ti、TiN 等材料组合形成复合结构,或采用比 Al 的电阻率小的 Cu 作为布线材料。

4.4.2 布线的寄生电阻和寄生电容

通过器件间的布线传递信号的过程,是将信号电荷向布线间形成的寄生电容充放电的过程。长和宽分别为 L 、 W 的布线,具有的布线电阻 R_p 和布线电容量 C_p 分别为

$$R_p = \frac{\rho L}{W \cdot d} \quad (4.1)$$

$$C_p = \frac{\varepsilon(LW)}{t} \quad (4.2)$$

式中, ρ 和 d 分别为布线金属的电阻率和厚度, ε 和 t 分别为层间绝缘膜的介电常数和厚度。

因而,该布线的传递信号的时间常数为

$$R_p C_p = \frac{\rho \varepsilon L^2}{d \cdot t} \quad (4.3)$$

假设布线的物理尺寸 L 、 W 、 d 、 t 按比例缩小(缩小系数为 K), 则 R_p 成为 K 倍, C_p 成为 $1/K$ 倍, 两者的乘积即时间常数不变。但是, 器件本身按比例缩小法则改善了频率特性, 和器件本身的频率特性相比, 布线的延迟时间成为突出的问题。此外, 与 LSI 的微型化相比, 集成度的大规模化发展更快, 所以芯片的尺寸变大。因而, 集成度的增大、芯片尺寸的增加必然导致布线长度的增加, 使布线的延迟时间增长。由于上述的原因, 通常布线金属的膜厚 d 和层间绝缘膜层的厚度 t 不按比例缩小法则缩小, 而基本保持一定。尤其在布线量特别大的大规模逻辑集成电路中, 往往采用多层布线, 以求减小芯片尺寸, 增加运算速度。

4.4.3 布线的平坦化技术

一般说来, 希望增加布线的层数来获得上述的性能。但是, 实际上在形成多层布线的工艺过程中, 越是处于上层的布线层, 层间绝缘膜表面的凹凸程度越大, 极难形成性能稳定的精细布线。为此, 开发了许多使表面平坦化的技术。

多层布线的形成工艺包括: (1) 层间绝缘膜的淀积, (2) 通孔 (through-hole) 图形的腐蚀, (3) 金属膜的淀积, (4) 金属布线图形的腐蚀等道工序的反复实施。平坦化技术用于上述层间绝缘膜的淀积和金属膜的淀积。

层间绝缘膜的主要平坦化技术如表 4.2 所示。再流法 (reflow) 是在用低温 CVD 法淀积好磷硅玻璃 (PSG) 或硼磷硅玻璃 (BPSG) 膜后, 再在 900°C ~ 1000°C 温度下进行热处理, 利用膜的粘性流动获得平滑表面的方法。通常用来形成晶体管上的第一层绝缘膜。其他的玻璃甩涂法 (SOG, spin on glass)、均一腐蚀法和化学机械抛光法 (CMP, chemical mechanical polishing) 都是在低温下进行的平坦化工艺, 用于铝之类的低熔点金属布线上的第二层以后的层间绝缘。图 4.18 是利用 CMP 法形成的四层布线断面的扫描电镜照片。

此外, 利用下述的技术将金属平坦地填入通孔, 而获得布线金属的平坦化。

(1) 溅射淀积时将基片保持在 400°C ~ 500°C 的温度下, 使铝处于流动状态进行成膜。

(2) 淀积一层比较厚的金属膜, 再均一腐蚀金属膜, 只让通孔部分留下金属的方法。

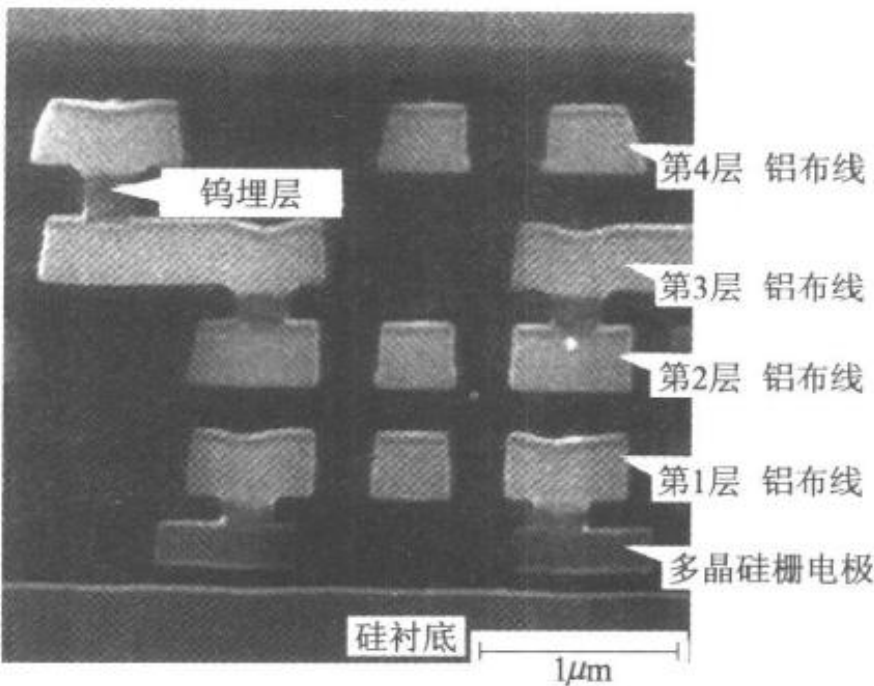


图 4.18 利用 CMP 法的 4 层布线断面的电子显微镜照片

表 4.2 层间绝缘膜平坦化技术

名 称	技术内容
再流法	加热软化点低的玻璃(PSC 或 BPSG),让其粘性流动。
玻璃甩涂法	用甩涂法将液体玻璃填在凹部,最后将溶剂蒸发。
均一腐蚀法	膜淀积和腐蚀同时或交替地反复进行,削除凸出部。
化学机械抛光法	利用研磨技术去除表面的凹凸不平。

(3) 在通孔部分选择生长铝(Al)或钨(W)膜。

4.4.4 今后的课题

随着 LSI 的不断微小型化和大规模化,LSI 的速度主要决定于布线的延迟时间,因而布线技术显得越来越重要。今后我们面临着(1)如何降低随尺寸的平方成反比例增大的接触电阻;(2)随着布线间隔变窄,与层间电容相比,相邻接的线间电容将起支配作用,该采用什么样的布线结构,什么样的布线排列等问题。例如,上述问题(1)中,通常,扩散层和铝布线的接触电阻的电阻率为 $10^{-6}\Omega\cdot\text{cm}^2$, 假设接触尺寸为 $0.5\mu\text{m}\times0.5\mu\text{m}$,则实际的接触电阻大到 400Ω ,可知问题的严重性。

工艺的低温化

由于集成电路中使用的晶体管、二极管、电阻器和电容器等元器件的形状尺寸的缩小以及芯片尺寸的增大,使集成电路不断地大规模化。与此同时,元器件制造过程中和热处理有关的工序不断地增加。集成电路制造工艺中,一般利用热能进行氧化、扩散以及薄膜的淀积。因此,经某一高温工序后,上一道工序获得的结构会因这一道工序的高温处理而偏离原设计的要求,使器件的特性劣化。例如,在扩散层和铝布线的连接处即接触区,铝和硅在低温下也易反应。在浅结的情况下,反应层易达到结深,引起泄漏电流。同时,集成度越高,器件尺寸就要越小,多层布线的总层数就要越多,热处理次数就要增加。为了防止由于热处理而引起器件、布线特性劣化和形状变化,热处理温度就越要降低。为了满足这一要求,随着集成电路集成度的增加,不断地进行着低温工艺的开发。

具体地说,以前主要利用热能进行的工艺已逐渐用等离子体、电子能量、或者与光能并用来进行,使反应温度下降。其中,最好的例子是最后一道保护膜,即氧化硅膜的淀积。氧化硅膜用热 CVD 法形成时需 800°C 左右的高温,但是用等离子 CVD 法在 200°C 以下就可以成膜(参阅第 3 章),使氧化硅膜作为保护膜得到实现。

练 习 题

- 1 根据图 4.11 所示的双极型晶体管纵向的杂质分布,在图中标上电子和空穴的浓度分布,并求出基区的厚度。假设杂质全部电离活化。
- 2 假设硅的分子量为 28g/mol ,密度为 2.3g/cm^3 。求硅单晶中硅原子的体密度和面密度各为多少?当杂质浓度为 1% 和 1ppm 时,体密度分别为多少?良好的 Si/SiO_2 界面的界面能级密度为 $1 \times 10^{10}\text{cm}^{-2}$,求出此时界面能级密度与表面硅原子密度的比为多少?
- 3 利用方块电阻为 $50[\Omega/\square]$ 的扩散层制作 $1\text{k}\Omega$ 的电阻,假设电阻体的宽度为 $2\mu\text{m}$,长度应为多少?
- 4 利用厚 $0.5\mu\text{m}$ 的二氧化硅膜(相对介电常数为 3.9)作为层间绝缘膜,在该绝缘膜层上形成方块电阻为 $0.05[\Omega/\square]$ 的铝布线,铝布线的宽为 $1\mu\text{m}$,长为 $10\mu\text{m}$ 。布线的电阻和寄生电容为多大?

5

数字集成电路的 基本电路

微处理器和用户自行设计的专用逻辑集成电路 (ASIC; application specific IC) 是由“非门”(NOT, 倒相器)、“与门”(AND)、“与非门”(NAND)、“或非门”(NOR) 等基本逻辑门电路构成的。本章将叙述各种逻辑门电路, 重点介绍作为集成电路主流的 CMOS 电路的工作原理和基本特性。

5.1 数字集成电路的基本电路

数字集成电路的基本电路的主要特性和用途如表 5.1 所示。如果按照构成的器件来分类,可以分成双极型晶体管(bipoly transistor)和金属氧化物半导体场效应晶体管(MOSFET)两大类。

表 5.1 数字集成电路的基本电路技术分类

器件类型	电路类型	主要特征	用 途
双极晶体管	TTL	功 耗:大 集成度:小	逻辑集成电路系列
	ECL	功 耗:最大 超高速	超高速集成电路 (超级计算机等)
MOS 晶体管	ED 型 nMOS	功 耗:大 集成度:大	1980 年以前是集成电路的主流
	CMOS	功 耗:小 集成度:大、高速	所有的集成电路(是现在的主流技术,也包括逻辑电路系列,ASIC)
	BiCMOS	功 耗:小 比 CMOS 速度高	高速集成电路

5.1.1 数字集成电路的主要性能指标

数字集成电路的基本电路的主要性能指标是

- (1) 工作速度(延迟时间的长短);
- (2) 集成度(占面积的大小);
- (3) 功耗;
- (4) 噪声容限等。

在逻辑门电路中,从输入端输入脉冲信号到输出端出现脉冲信号,在时间上有一滞后现象,把这一滞后时间称为延迟时间(简称延时)。器件工作

逻辑门电路的噪声容限

下图表示倒相器的直流传输(输入-输出)特性。把逻辑“1”选作高电平(HIGH),逻辑“0”作为低电平(LOW)。这样的选择方法称为正逻辑。我们把输入电压 V_{in} 和输出电压 V_{out} 相等的那个点叫做逻辑阈值,逻辑阈值是决定“1”和“0”分界的电压值。设高电平的输出电压为 V_{OH} ,低电平的输出电压为 V_{OL} 。因为上一段的输出电压是下一段的输入电压,理想状态的输入低电平是 V_{OL} ,而高电平是 V_{OH} 。当输入的低电平由于噪声等的影响而升高,并大于输入-输出特性曲线的斜率为-1的点(V_{IL})时,输出电压就急剧地下降,往往发生误动作。称 $NM_L = V_{IL} - V_{OL}$ 为低电平的噪声容限。另外,由于噪声等的影响,输入的高电平降低,当它低于输入-输出特性曲线的斜率为-1的点(V_{IH})时,输出电压就急剧地上升,往往发生误动作。这时我们称 $NM_H = V_{OH} - V_{IH}$ 为高电平的噪声容限。

数字集成电路中的脉冲信号的实际波形,是叠加了电源线和地线等的电压变动所产生的噪声后的波形。如果噪声容限足够大,即使输入的低电平或高电平由于噪声的影响有些变动,逻辑门的输出也能够再现真值电平。噪声容限是表示数字电路减少误动作的一个重要性能指标。

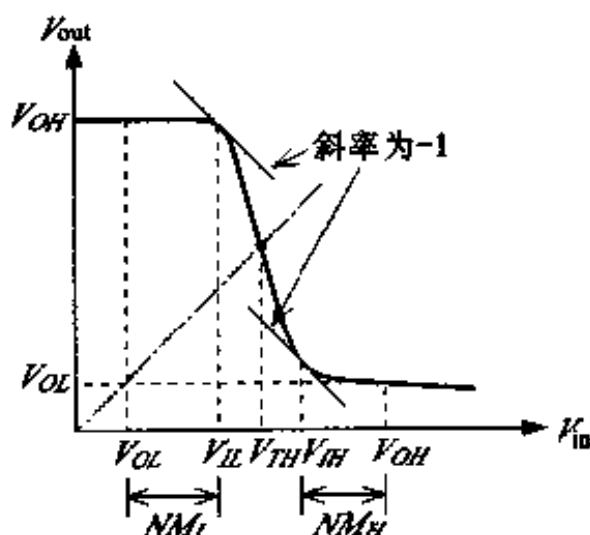


图 倒相器的直流传输特性

时的延时越短,该器件越能用于高速时钟脉冲,工作速度也就越快。构成逻辑门电路的晶体管等元器件的数量越少,则该逻辑门电路占用芯片的面积也就越小。此外,随着使用的元器件,如双极型晶体管、MOS 晶体管、电阻等种类的不同,所占用的芯片的面积也有很大的差异。当然,一个门电路所占的面积越小,一个芯片上能够容纳的门电路就越多,集成度也就越高。现

在也把消耗功率(功耗)作为一个极其重要的性能指标。同时,我们希望噪声容限大,这样误动作的几率就小。

下面,我们将介绍各种基本电路的特征和性能。

5.1.2 逻辑集成电路系列中的 TTL 电路

TTL(transistor-transistor logic)电路是由双极型晶体管构成的基本逻辑电路,主要用来组成小规模的数字集成电路,市场上出售的 74 系列的各种逻辑集成电路就是属于这一类。具有两个输入端的“与非门”(NAND)TTL 电路如图 5.1 所示。其中图(a)是简化原理图,图(b)是实际电路图。在由 Q_2 和 R_1 组成的倒相器(inverter)的前面有一个由 Q_1 和 R_B 组成的输入部分。 Q_1 是具有多个发射极的晶体管,只要增加发射极的数量就能获得多输入端的“与非门”(NAND)电路。下面,我们用图(a)来说明该电路的工作原理。电源端 V_{CC} 接 5V 电源,当输入端 A、B 都是高电平(大约 5V)时, npn 晶体管 Q_1 的基极和发射极之间的电压几乎是 0V,所以流过电阻 R_B 的 npn 晶体管 Q_1 的基极电流就流向集电极,于是 Q_2 就获得了基极电流, Q_2 的集电极和发射极之间变成导通状态。输出端 Y 为低电平(大约为 0.1V)。

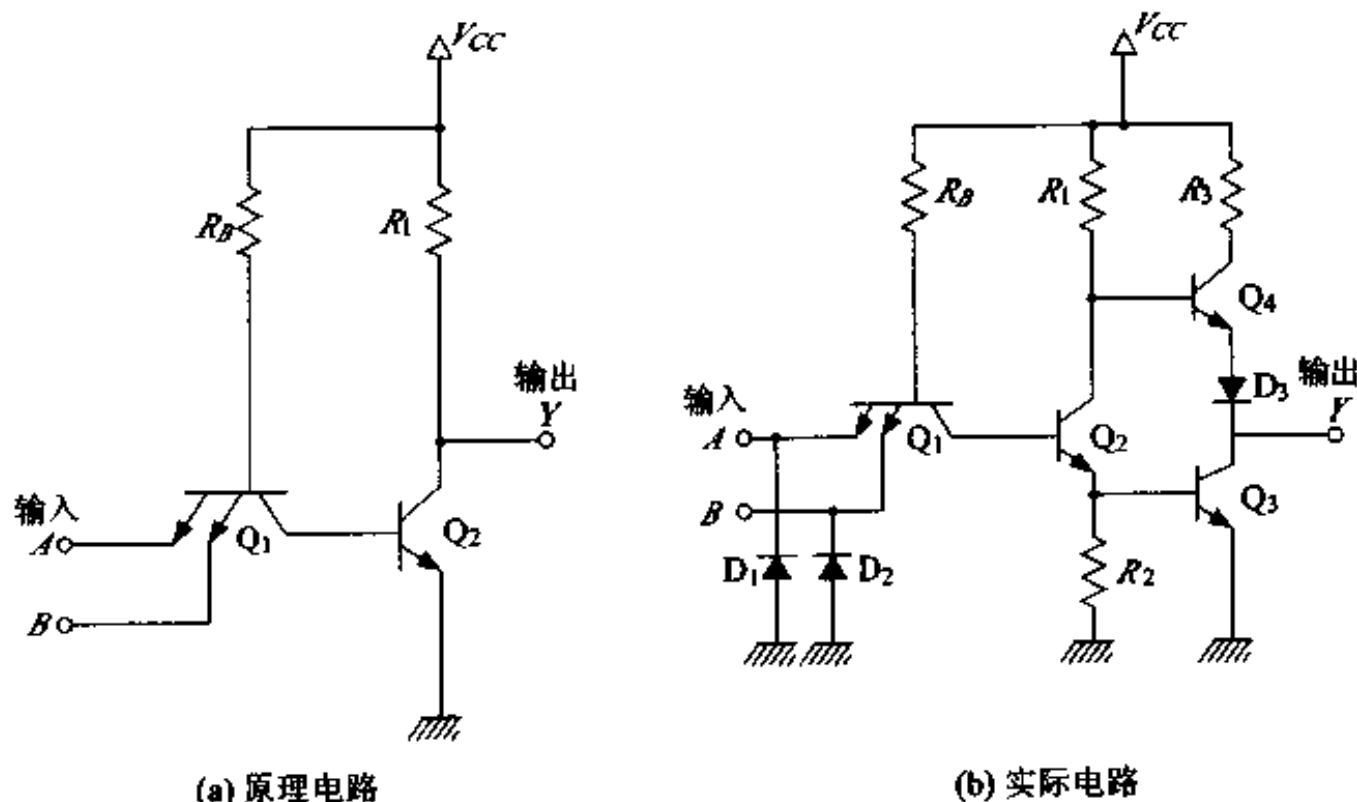


图 5.1 2 输入端的 TTL 与非门电路

当输入端 A 、 B 中的任一端为低电平时,基极和发射极之间有正向偏压,基极电流通过 R_b 流向发射极。因此, Q_1 集电极和发射极之间就变为导通状态。此时, Q_2 的基极和发射极之间的电压大约是 $0.2V$, 没有足够大的基极电流流动, Q_2 处于截止状态, 输出端 Y 的电位通过电阻 R_1 升高到 V_{CC} , 成为高电平。因此, 只有输入端 A 、 B 同时为高电平时, 输出端 Y 才为低电平。由此可知, 此电路是具有两个输入端的“与非门”电路。

实际上, 为了提高开关速度, 可在输出端加上一个缓冲电路, 如图 5.1 (b) 所示。图 5.2 表示 TTL 倒相器的典型直流传输特性。将输入电压和输出电压相等点称为**逻辑阈值电压**。在 TTL 电路中, 逻辑阈值电压大约为 $1.4V$ 。高电平大约为 $3.8V$, 而低电平大约为 $0.1V$ 。

在图 5.1 所示的 TTL 电路中, 当输出为低电平时, 晶体管工作在饱和区, 少数载流子在基极区积累。因此, 当输出从低电平转变为高电平时, 为了把积累的少数载流子引出, 需要化一定的时间, 所以开关速度就变慢。如果需要提高开关速度, 可在基极和集电极间另外接一个由金属-半导体构成的肖特基势垒二极管 (即 SBD, SBD 的正极接晶体管的基极)。这种为了防止晶体管进入饱和区的方法称为肖特基 TTL 方式。

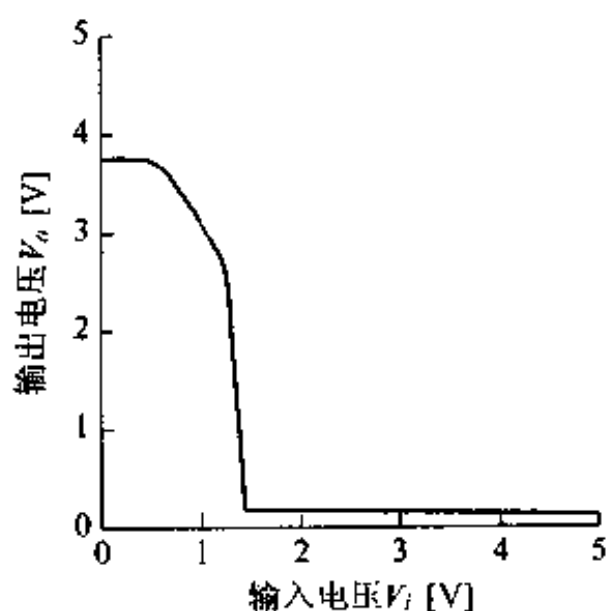


图 5.2 TTL 电路的直流传输特性

还有一种称为 LSTTL (low power schottky TTL) 的方式, 在这种电路中, 既保持其开关速度与一般的 TTL 方式相同, 又能降低功耗。

5.1.3 超级计算机用的高速 ECL 电路

还有一种典型的双极型晶体管基本逻辑电路 ECL (emitter coupled logic), 是一种速度非常快的大规模逻辑集成电路, 用于超级计算机的中央处理器 (CPU)。该电路设定适当的工作电压范围, 不让晶体管工作在饱和区, 从而消除了由于少数载流子积累引起的延时, 获得了高的速度。这种电路也称为**非饱和型逻辑电路**。ECL 方式的两输入“或非门”(以及“或门”)的

基本电路和实际使用的增设了射极跟随器的电路分别示于图 5.3(a) 和图 5.3(b)。主要电路是由 Q_1 、 Q_2 、 Q_3 构成的差动电路。这 3 个晶体管的发射极的总电流是通过电阻 R_E 供给的, 几乎是一定的。 V_{BB} 是由外部供给的输入逻辑阈值电压, 如果输入端 A 、 B 中的任一个的电压高于这个电压时, 流过 R_E 的电流就集中流入 R_1 , 而几乎没有电流流过 R_2 。因此, 输出端 Y_1 是低电平, 输出端 Y_2 则呈现高电平。反之, 输入端 A 、 B 都低于 V_{BB} 时, 流过 R_E 的电流就集中流入 R_2 , 输出端 Y_2 变为低电平, 输出端 Y_1 则变为高电平。也就是说, 输出端 Y_1 具有“或非”功能, Y_2 具有“或”功能。上述的这种单一的

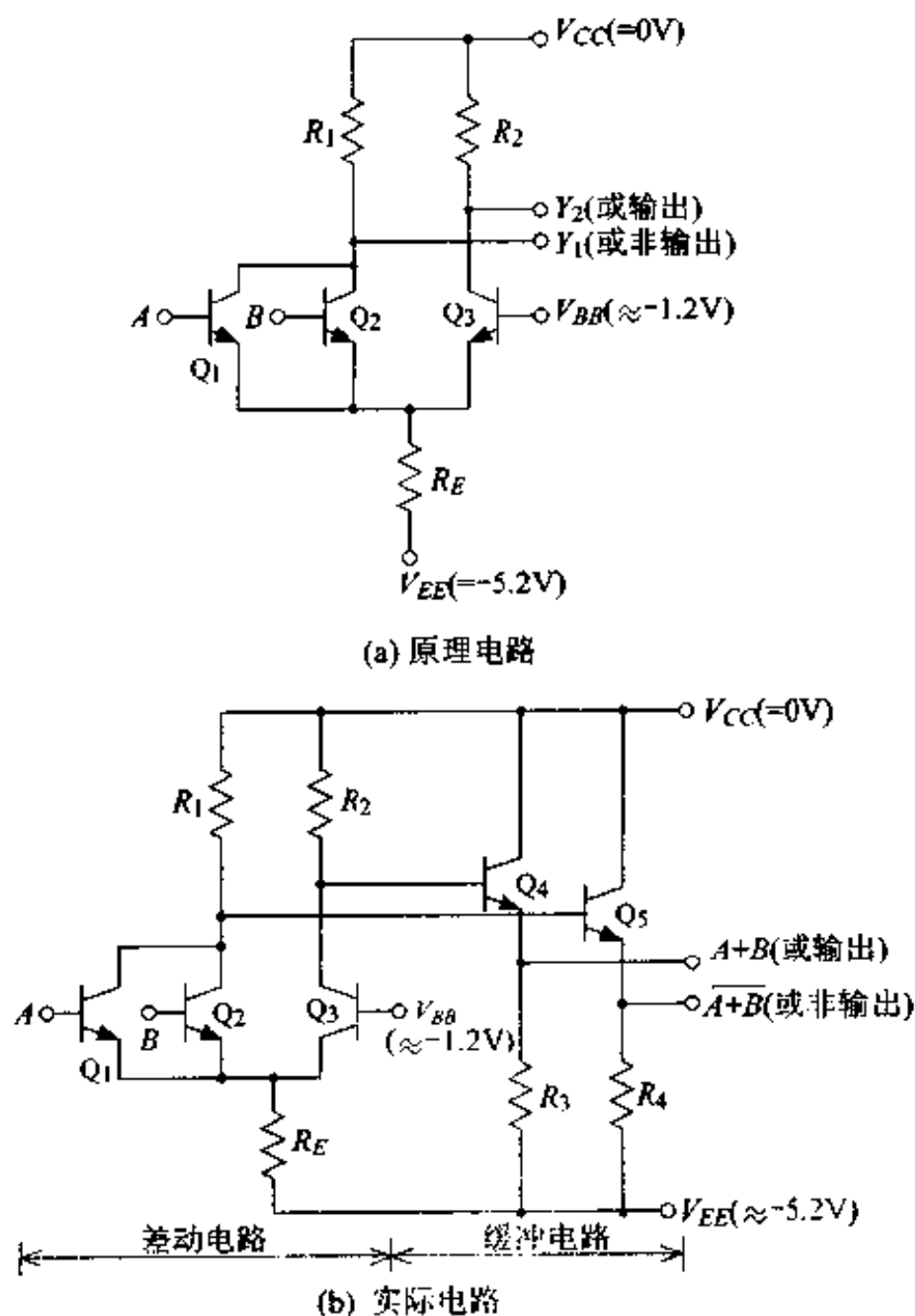


图 5.3 ECL 或非门电路

门电路所具有反相输出和正相输出两种功能是这种电路方式的一个重要特征。另外,在上述的电路中,如果正确地选择 Y_1 、 Y_2 的振幅,不使 Q_1 、 Q_2 和 Q_3 进入饱和区,就可防止少数载流子的积累,提高开关速度。

实际使用的 ECL 电路中,往往在输出端接上一个由射极跟随器组成的缓冲电路,如图 5.3(b) 所示。因此增加了负载驱动能力,即使由于接线较长使容性负载变大时,也能够有效地抑制延时的增加。此外,射极跟随器有使输出逻辑电平降低大约 0.7V 的作用,所以可以和下一级电路的输入振幅范围相匹配。图 5.4 表示的是 ECL 电路的直流传输特性。在 ECL 电路中,电源电压 V_{CC} 接 0V, V_{EE} 接 -5.2V。尽管电源电压加 5.2V 的电压,输出电压幅值也只有 1V 左右。所以电源的利用效率低,消耗功率大。

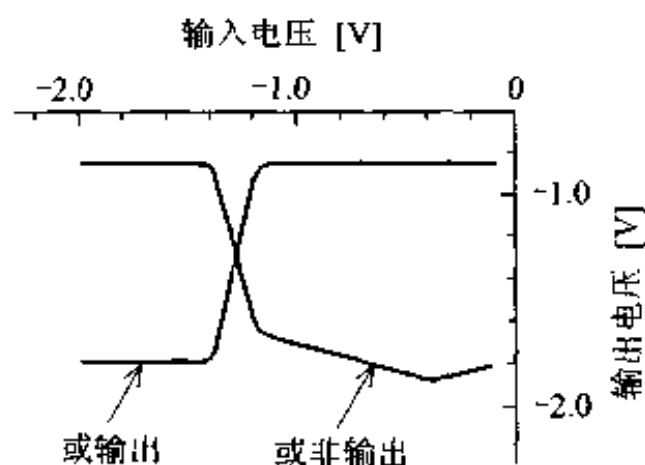


图 5.4 ECL 电路的直流传输特性

5.1.4 MOS 集成电路的基本电路的变迁

因为 MOS 集成电路能够获得高集成度,所以大规模集成电路往往采用 MOS 集成电路。如前所述,MOS 晶体管有 p 沟道和 n 沟道两种。实用化初期的 MOS 集成电路是由 p 沟道 MOS 集成电路构成的。这是因为基于当时的技术只能制造性能稳定的 p 沟道 MOS 集成电路。随着技术的进步,也能

制造出性能稳定的 n 沟道 MOS 集成电路。所以,MOS 集成电路就转向动作速度更高的 n 沟道 MOS 集成电路 (nMOS 集成电路)。

为了说明 nMOS 集成电路逻辑门的工作原理,首先让我们说明图 5.5 所示的由电阻和开关组成的倒相器的工作原理。开关由输入信号 X 控制,假设 X 为高电平时开关接通,低电平时开关断开。负载为电阻负载。因为

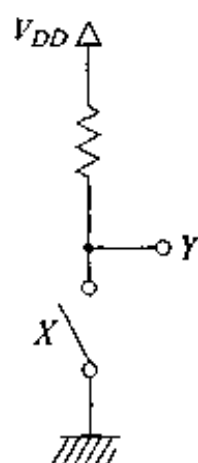


图 5.5 MOS 逻辑电路的基本原理

X 为高电平时开关接通,所以输出端 Y 被接地而处于低电平。 X 为低电平时开关断开,输出端 Y 通过负载电阻升高到电源电压成为高电平,为倒相动作。在实际的 nMOS 集成电路中,用一个 MOS 晶体管作为负载电阻,用一个 nMOS 晶体管作为开关。电阻和开关都采用增强型 nMOS 晶体管的 **EE 型 nMOS 倒相器** 如图 5.6 所示。其中,将一个 nMOS 晶体管的栅极和漏极都接到电源端 V_{DD} ,作为负载,这比用电阻作负载要节省芯片面积,可以提高集成度。

由于离子注入技术的发展,晶体管的阈值电压可以自由地控制,可以把阈值电压为负值的耗尽型(D 型)晶体管和阈值电压为正值的增强型(E 型)晶体管组成 **ED 型 nMOS 集成电路**,这种电路已经获得广泛的应用。图 5.7 示出 ED 型 nMOS 倒相器的电路。D 型晶体管的栅极和源极相接作为负载晶体管。因为是 D 型晶体管,所以即使栅极和源极间的电压为 0V 也有电流流动。分别用 E 型 MOS 晶体管和 D 型 MOS 晶体管作负载,用 E 型 MOS 晶体管作开关,组合成倒相器时的负载特性和工作点的变化曲线如图 5.8(a) 所示。为了便于比较,也给出用电阻作负载时的特性曲线。各种倒相器的直流传输特性如图 5.8(b) 所示。当电路的组成为 EE 型时,因为负载晶体管的栅极接在电源电压 V_{DD} 上,如果把晶体管的阈值电压设为 V_{Tn} ,那么即使作为开关的晶体管截止,输出电压也不会上升到 $V_{DD} - V_{Tn}$ 以上。而采用 D 型负载和电阻负载时,输出电压则可上升到 V_{DD} 。从该图可知,采用 D 型负载时,高电平和低电平的变化范围较小,而噪声容限却很大。图 5.7(b) 表示的是由 ED 型 nMOS 晶体管构成的两个输入端的“与非

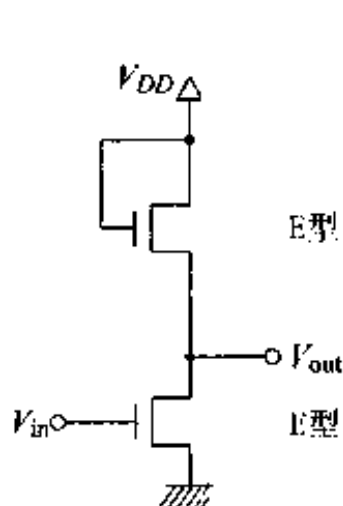


图 5.6 EE 型 nMOS 倒相器

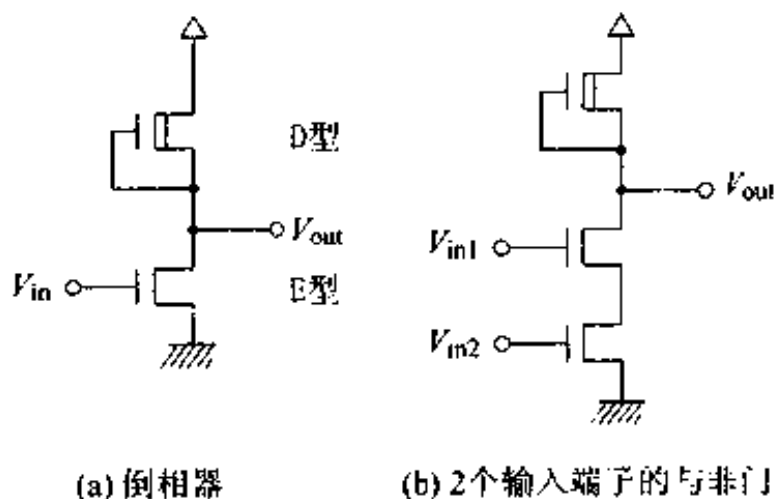
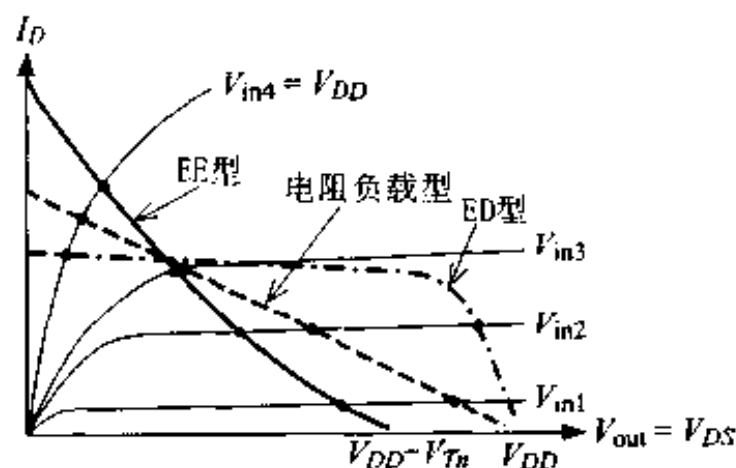
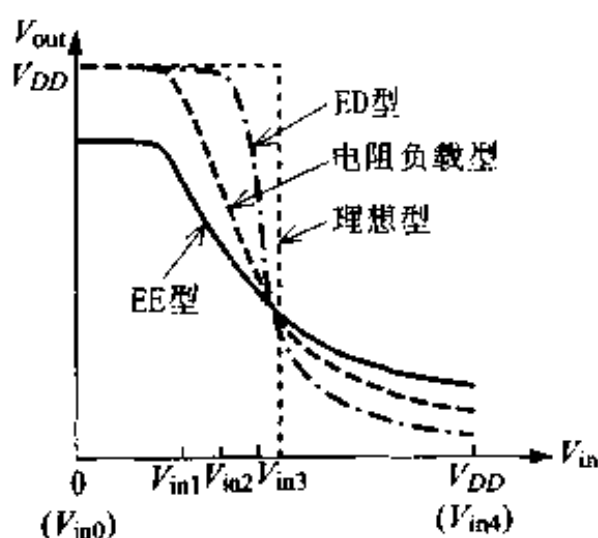


图 5.7 ED 型 nMOS 逻辑电路

门”电路。该电路只用了 3 个晶体管,与 TTL 和 ECL 等相比,电路是非常简单的。在这个电路中,只有当两个晶体管的输入端都是高电平时,输出端才转变为低电平。除此之外,输出端都被负载晶体管上拉到高电平,呈现“与非门”的动作。



(a) 各种倒相器的负载特性



(b) 各种倒相器的直流传输特性

图 5.8 nMOS 倒相器的直流工作特性

在 EE 型、电阻负载型和 ED 型 3 种 nMOS 电路中,任何一种电路的低电平输出电压都不会下降到 0 电平(GND)以下,其大小是由负载晶体管和开关晶体管的导通电阻之比决定的。所以,这一类型的电路也称为比例型电路。为了获得良好的输入-输出特性,必须适当地选择两个晶体管的尺寸。另外,由于低电平不会下降到 0 电平,高低电平之间的迁移领域比较宽,和后述的 CMOS 电路相比,噪音允许范围比较小。另外,在上述电路中,输入为低电平时电路无电流流动,但是高电平时却有比较大的由负载晶体

管所决定的电流流动。所以,在由这样的 nMOS 电路构成的大规模集成电路中,静态时也要消耗比较大的功率。

CMOS(complementary MOS)集成电路与其他的逻辑门电路相比,具有噪声允许范围大而消耗功率小的特点。另外,由于微细加工技术的进步,开关速度有了飞跃的提高。因为具有这些特点,从小规模逻辑电路系列到大规模 ASIC,CMOS 集成电路成了基本逻辑电路的主流。CMOS 集成电路与使用双极型晶体管的 ECL 电路相比,负载的电流驱动能力比较差。为此而开发的 **BiCMOS**(bipolar CMOS, 双极型晶体管 CMOS)集成电路,即在 CMOS 逻辑电路的输出端,接入双极型晶体管而构成,这是一种既有 CMOS 电路的低功耗的长处,又有双极晶体管电路高速度的特点的集成电路。但是,由于要制造双极型晶体管,与 CMOS 电路相比,工艺复杂,成本较高。

5.2 CMOS 集成电路的基本电路

5.2.1 采用 CMOS 的理由

在这一节里,我们将详细讨论前一节叙述过的 CMOS 集成电路的基本电路,这些电路在数字集成电路中占有极为重要的地位。CMOS 集成电路是由 n 沟道的 MOS 晶体管和 p 沟道的 MOS 晶体管组合而成的。因此,和 nMOS 集成电路相比,CMOS 集成电路的制造工艺复杂,成本也较高。但是,由于 CMOS 的功耗低,所以 CMOS 已成为集成电路技术的主流。最近,由于以电池为电源的便携式电子设备的普及,不可避免地要求电路低功耗。随着集成电路规模的增大,一个集成电路的功耗达到几十瓦时,如果不充分加以冷却的话,集成电路就会误动作。因此,对于集成电路来说,功耗小是极其重要的。所以,由于功耗的限制,一块集成电路芯片上能够容纳的电路的规模也就受到限制。

在此,让我们从 CMOS 电路的原理来考察能否获得低功耗。

我们以图 5.9(a)示出的利用两种不同开关构成的倒相器为例加以说明。与图 5.5 所示的原理图一样,输入端 X 为高电平时,开关 S_1 接通;输入端 X 为低电平时,开关 S_1 断开。由于与电源相连接的开关 S_2 的作用是将

输入“否定”,所以输入端 $\bar{X}$ 为低电平时 S_2 接通,高电平时 S_2 断开。因此,输入端 X 为高电平时 S_1 导通, S_2 截止,输出端接地成为低电平;输入端 X 为低电平时 S_1 截止, S_2 导通,输出端接到电源端成为高电平。也就是说呈现“倒相”动作。这时,输入是稳定的低电平或者高电平, S_1 和 S_2 之中的某一个开关一定处于截止状态,所以就没有直流电流从电源端流向“地”端(GND)。如果使用与此等价的电路,就能获得理想的极低功耗的逻辑电路。

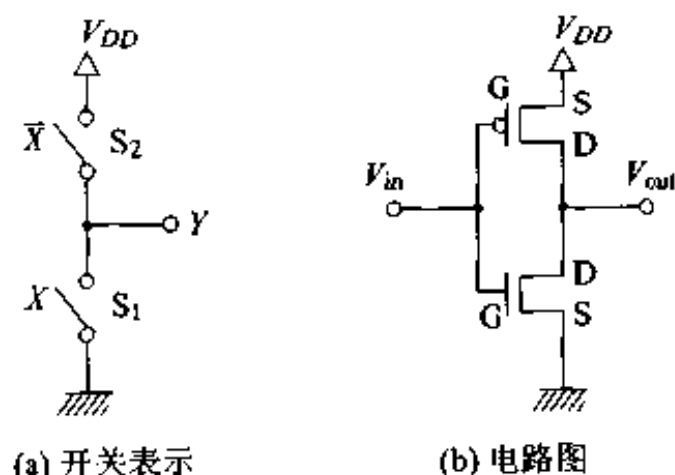


图 5.9 CMOS 倒相器

CMOS 倒相器是和图 5.9(a) 等价动作的电路,其电路图如图 5.9(b) 所示。把 nMOS 晶体管和 pMOS 晶体管的栅极连接在一起作为输入端,把漏极连接在一起作为输出端。pMOS 晶体管的源极接电源端 V_{DD} ,nMOS 晶体管的源极接地(GND)。两个晶体管都为增强型晶体管。我们设 CMOS 倒相器的低电平为 0V,高电平为 $V_{DD} = 5V$ 。nMOS 晶体管的阈值电压大约为 0.5 ~ 1V,输入为低电平时是完全处于截止状态的。当输入为高电平时,因为栅极和源极之间的电压大大超过阈值电压,所以晶体管处于导通状态。pMOS 晶体管的源极是接在电源 V_{DD} 上的,即为 5V,所以输入为高电平时,栅极和源极之间的电压为 0V,处于完全截止的状态。对于 pMOS 晶体管来说,在栅极上加一个相对于源极为负的电电压就可以使其导通。它的阈值电压大约是 -0.5 ~ -1V,输入为低电平时,栅极相对于源极来说加了 -5V 的电压,处于导通状态。其结果与图 5.9(a) 所示的由开关构成的电路的动作相同。但是必须注意:当输入电压为中间电平时,上下两个晶体管将同时

导通,将有大的电流从电源流向“地”(GND)。

5.2.2 CMOS 倒相器的特性

让我们用 nMOS 晶体管和 pMOS 晶体管的静态特性来详细地探讨一下 CMOS 倒相器的特性。因为 pMOS 晶体管的源极接在电源 V_{DD} 端,所以以电源电压 V_{DD} 为基准来考虑它的静态特性。另外, pMOS 晶体管的电流是由源极流向漏极的,而 nMOS 晶体管的电流则是由漏极流向源极的,两者的电流方向是一致的。考虑到以上这些特性,把 5 条分别与不同的输入电压 V_{in} 相对应的晶体管的静态特性曲线放在同一图内,如图 5.10(a)。假设 nMOS 晶体管和 pMOS 晶体管都为增强型, nMOS 晶体管的阈值电压 V_{Tn} 为正, pMOS 晶体管的阈值电压 V_{Tp} 为负。当 $V_{in} = 0V$ 时,呈现如下静态特性:由于 nMOS 晶体管的栅极电压低于阈值电压(这种情况叫做截止状态, cut off), 所以不管漏极电压的高低都没有电流流动;而 pMOS 晶体管却处于流过最大电流的状态(饱和状态)。因为输出电压由两条曲线的交点决定,所以输出电压就等于电源电压。反之, $V_{in} = V_{DD}$ 时,呈现如下静态特性: pMOS 晶体管的栅极和源极间电压的绝对值小于阈值电压的绝对值,所以没有电流流动;而 nMOS 晶体管则有最大电流流过(饱和状态)。这种情况下的输出电

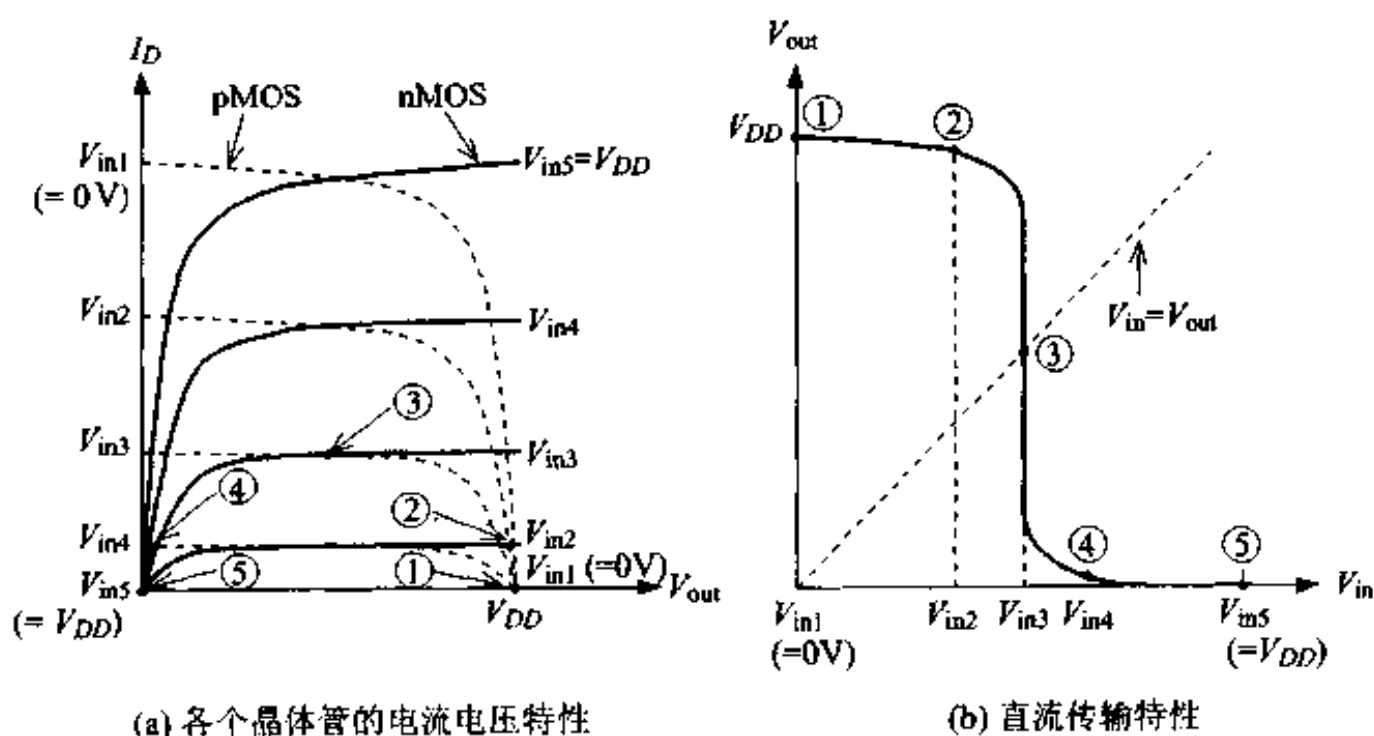


图 5.10 CMOS 倒相器的直流传输特性

压为 0V。当 V_{in} 处于 0V 和 V_{DD} 之间时,各个晶体管的电压电流特性如图 5.10(a)所示。输入电压和输出电压特性如图 5.10(b)所示。由该图可知,电路具有倒相特性。 $V_{in} = V_{out}$ 时的输入电压称为**逻辑阈值电压**,用 V_{inv} 来表示。这个电压相当于倒相器逻辑高电平和逻辑低电平的分界点。在逻辑阈值电压附近,输出电压急剧变化,这是因为在这个区域中,nMOS 晶体管和 pMOS 晶体管都处于恒定电流的饱和区域,所以,即使输入电压微小的变化也会引起输出电压的急剧变化。

让我们来比较一下图 5.10(b)的特性和前面叙述过的 TTL、ECL、nMOS 电路的特性。在 CMOS 倒相器的场合,低电平是 0V,高电平是 V_{DD} 。此外,低电平和高电平的迁移区域的变化也是陡峻的,所以具有接近理想的电流传递特性。输出电压振幅为电源电压的百分之百,在前面叙述过的基本逻辑电路中,这种 CMOS 电路具有最大的噪声允许范围。另外,在 CMOS 逻辑电路中,输出电压与晶体管的尺寸无关,只要输入电压是低电平或者是高电平,输出电压就一定是 V_{DD} 或者是 0V。这种电路称为**非比例型电路**。由于具有上述的性质,所以与 nMOS 电路相比,CMOS 逻辑电路的设计比较容易。

在 CMOS 倒相器的迁移区域中,nMOS 晶体管和 pMOS 晶体管都工作在饱和区。由 nMOS 晶体管和 pMOS 晶体管的电压-电流特性可以得到流过晶体管的电流 I_{out} 与输入电压 V_{in} 之间的关系式为

$$I_{out} = \frac{1}{2}\beta_n (V_{in} - V_{Tn})^2 \quad (5.1)$$

$$I_{out} = \frac{1}{2}\beta_p (V_{DD} - V_{in} - |V_{Tp}|)^2 \quad (5.2)$$

式中, β_n 、 β_p 分别为 nMOS、pMOS 晶体管的电压放大倍数(参照第 2 章)。 V_{Tn} 、 V_{Tp} 分别为 nMOS、pMOS 晶体管的阈值电压。如果是理想特性的话,迁移区域中的输出电压是难以决定的。但是,实际上不可能是理想的恒流特性,输出电压相对于输入电压来说是按一定的比例急剧变化的。达到迁移区域的输入电压值可由式(5.1)和式(5.2)求出。从图 5.10(b)的特性可知,这时的电压正好对应于逻辑阈值电压 V_{inv} ,可由下式求出

$$V_{inv} = \frac{V_{DD} - |V_{Tp}| + \sqrt{\beta_n/\beta_p} V_{Tn}}{1 + \sqrt{\beta_n/\beta_p}} \quad (5.3)$$

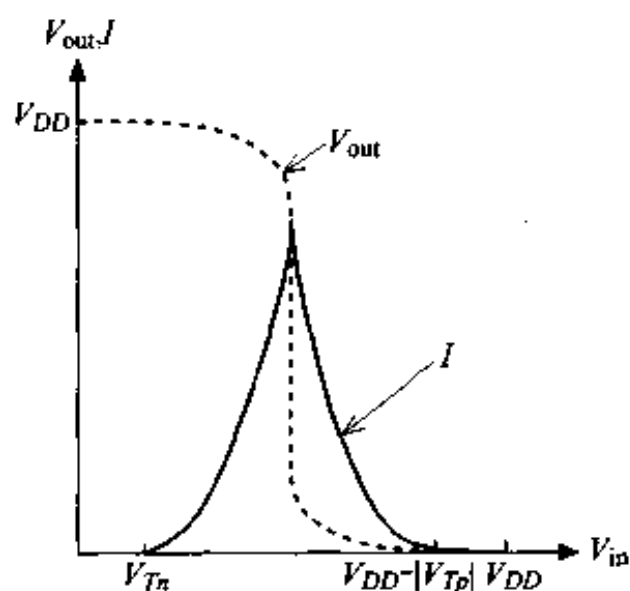


图 5.11 CMOS 倒相器的穿通电流

在 CMOS 逻辑电路中,为了得到最大噪声允许范围,必须把逻辑阈值电压设定为电源电压的二分之一。以式(5.3)为例,当 $\beta_n = \beta_p$ 、 $V_{Tn} = |V_{Tp}|$ 时,则满足上述条件。在实际的逻辑电路中,总是把各个 MOS 晶体管的阈值电压的绝对值制成相等值。而且,正确地选定 MOS 晶体管的尺寸比,使 β_n 和 β_p 大体上具有同样的值。但实际上,沟道的长度总是设计成制造工艺能达到的最小值,而沟道的宽度设计成使延迟时间最小时的尺寸,

所以一般把 pMOS 晶体管的沟道长和宽分别设计成 nMOS 晶体管的沟道长和宽的 1.5 ~ 2 倍。当输入电压上升到某一值时,电路达到迁移区域,流过电路的电流最大,当输入电压低于那个值时电流按式(5.1),高于那个值时电流按式(5.2)变化,如图 5.11 所示。在曲线的中央附近电流最大,我们将它称为穿通电流,在 CMOS 电路中,它是消耗功率的一个重要原因。

5.2.3 CMOS 集成电路的功耗

数字电路的功耗分为电路静止时发生的静态功耗和动作时发生的动态功耗。上面已经说过,理想的 CMOS 在静态时是无功耗,但实际上由于下述两个原因往往产生功耗。其一是由于晶体管的漏极和基板之间的 pn 结等的漏电流造成的功耗。再一个是在低电源电压下工作的集成电路中,亚阈值电流(参照 2.3.4 节)造成的功耗。在此,我们不作详细介绍。但是必须知道,即使 CMOS 电路不工作时,它的功耗也并不完全是零。

在 MOS 数字电路以高速时钟频率工作时,其静态功耗是可以忽略的。在开关动作时,功耗是由两个因素引起的。其一是由前面说过的穿通电流所引起的,输入波形的迁移时间越长开关频率越高,穿通电流所引起的功耗就越大。还有,在负载电容大时,电流几乎用于电容的充放电。所以,由下面叙述的负载电容的充放电所引起的功耗就占支配地位。但是,在 LSI 的输入电路中,由于负载电容比外部电容要小,输入波形的变化又比内部的缓慢,所以功耗是不可忽视的。

在 MOS 逻辑电路动作时,对负载电容的充放电所消耗的功率是功耗的主要因素。现以基本门电路 CMOS 倒相器为例来考察它的功耗。如图 5.12 所示,假设 CMOS 倒相器接有负载电容 C_L ,输入端输入频率为 f 的脉冲信号。这时,当输入信号从低电平跃变到高电平的瞬间,通过 pMOS 晶体管将负载电容 C_L 充电到电源电压 V_{DD} ;当输入信号从高电平变到低电平时,负载电容 C_L 中储存的电荷通过 nMOS 晶体管放电。这样,经晶体管反复给电容充放电,以热的形式消耗能量,也就是消耗了电能。这种伴随着电容的充放电的动态功耗可由下式求出

$$P_d = f C_L V_{DD}^2 \quad (5.4)$$

也就是说,动态功耗与开关频率、负载容量以及电源电压 V_{DD} 的平方成正比。为了降低功耗,降低电源电压是最有效的。

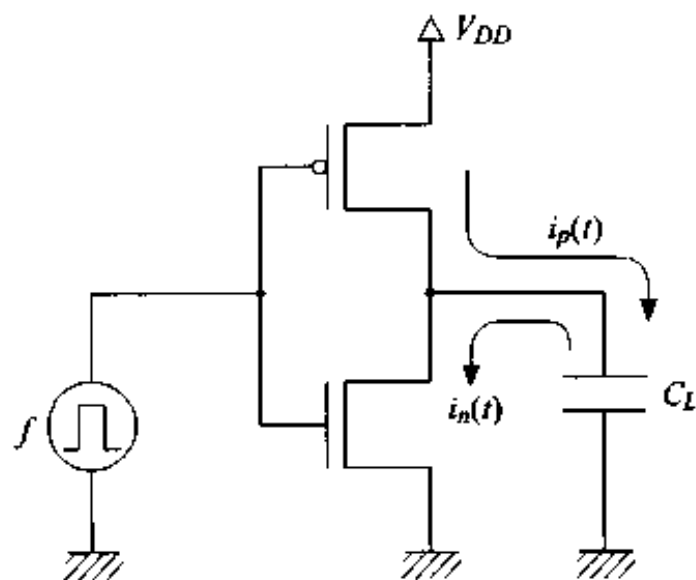


图 5.12 CMOS 倒相器动态功耗的模式图

在 CMOS 电路中,集成电路的总功耗和由时钟频率控制的“门”的数量多少有很大的关系。把这种门的开关动作比率称为活化率。例如 CPU 等是 20% 左右,寄存器小于 1%。时钟频率升高,动态功耗也就增大。但是,如果从活化率考虑,与其他电路相比,CMOS 电路即使是动作时功耗也是很低的。

5.2.4 CMOS 电路的开关速度

下面,我们来考察 CMOS 倒相器对于阶跃输入脉冲的响应速度(开关

速度)。在图 5.12 中,如果考虑输入脉冲由低电平(0V)变化到高电平(V_{DD})时,接于输出端的电容最初充电到 V_{DD} ,随后这些电荷又通过 nMOS 晶体管放电到 0V。相反,当输入脉冲由高电平变化到低电平时,接于输出端的电容经 pMOS 晶体管由最初的 0V 充电到 V_{DD} 。给这个电容充电需要时间,这个时间决定了 CMOS 倒相器的开关时间。输出从高电平变化到低电平时可以看成这样的模型:充电到电源电压 V_{DD} 的负载电容 C_L 上的电荷,经栅极加有电源电压 V_{DD} 的 nMOS 晶体管来释放。现在,假设栅极加有 V_{DD} 的 nMOS 晶体管工作在线性区,它的导通电阻 R_{on} 为 $R_{on} = 1/\beta_n (V_{DD} - V_{Tn})$ 。如果以此考虑负载电容放电模型,通过简单的瞬态分析可求得输出电压为: $V_{out}(t) = V_{DD} \exp(-t/C_L R_{on})$ 。这时,输出电压从电源电压的 90% 变化到 10% 所需的时间,也就是下降时间 t_f 可由 $t_f = C_L R_{on} \ln 9$ 求出。一般情况下,将阈值电压选为电源电压的 10% ~ 20%。假设 $V_{DD} = 5V$, $V_{Tn} = 0.8V$ 时, t_f 可由下式求出

$$t_f = \alpha_n \frac{C_L}{\beta_n V_{DD}} \quad (5.5)$$

式中, α_n 是由 nMOS 晶体管的阈值电压和电源电压之比决定的一个常数,在简化模型中 α_n 大约为 2.6。实际上,当输出电压接近电源电压值时, nMOS 晶体管的特性是呈现恒定电流特性的。这时,虽然计算比较复杂,但是总是可以计算的。在 $V_{DD} = 5V$, $V_{Tn} = 0.8V$ 时,式(5.5)中的 α_n 大约为 3.4^[1]。由上可知,开关时间是由负载电容 C_L , 电源电压 V_{DD} , MOS 晶体管的放大倍数 β_n , 阈值电压 V_{Tn} 和电源电压 V_{DD} 之比来决定的。同样地,上升时间 t_r 可由下式求出

$$t_r = \alpha_p \frac{C_L}{\beta_p V_{DD}} \quad (5.6)$$

式中, α_p 是由 pMOS 晶体管的阈值电压和电源电压之比决定的一个常数。在 $V_{DD} = 5V$, $|V_{Tp}| = 0.8V$ 时,在严密的模型中 α_p 大约为 3.4。根据上列各式可知,电源电压越高,开关时间就越短。晶体管的尺寸,也就是沟道的长度 L 和宽度 W 应该怎样设计呢? 常数 β_n 和 β_p 分别与 W_n/L_n 和 W_p/L_p 的值成比例。如果只考虑这些因素,一般认为应该将 L 设计得最小, W 设计得尽量大。但是必须注意的是,某一逻辑门中使用的晶体管正是前一级逻辑

门的负载。现在,我们来考察一下负载电容究竟包括些什么成分。在大规模集成电路的内部电路中,负载电容可由三种成分组成。

$$C_L = C_j + C_c + C_w \quad (5.7)$$

式中, C_j 是该级逻辑电路的 MOS 晶体管漏极的结电容, C_c 是下一级电路 MOS 晶体管的栅极电容, C_w 是布线电容。因为 C_j 是由 nMOS 晶体管和 pMOS 晶体管的漏极的结电容合成的,所以 C_j 大体上和沟道的宽度成正比。 C_c 是由 nMOS 晶体管和 pMOS 晶体管的栅极电容合成的,它们分别与 $W_n \times L_n$ 、 $W_p \times L_p$ 成正比。 C_w 则与晶体管的尺寸无关。由上可知,晶体管的沟道长度应该设计为集成电路制造工艺所能达到的最小的尺寸。过大的沟道宽度会导致芯片面积的增加,这是无意义的。所以应该根据实际情况适当地选择。在需要使用较长的布线时,应该加大沟道的宽度,以便抑制延时的增加。例如,使用于栅极阵列的晶体管,在制造时并不知道该用多长的布线来连接,所以往往使用比较大尺寸的晶体管。而对于标准单元里的晶体管来说,除了最终输出端外,单元内的晶体管都可用短的布线进行连接,而且其输出端的数目也是知道的,所以沟道宽度可以设计得比较小,有可能获得高效率的设计。

5.2.5 CMOS 传输逻辑电路和同步脉冲倒相器

CMOS 逻辑电路是在 CMOS 倒相器的基础上发展而来的。有关这些将在《集成电路 B》中第 3 章详细论述。除了 CMOS 倒相器外,重要的 CMOS 基本电路还有 CMOS 传输逻辑电路和 CMOS 同步脉冲倒相器。CMOS 传输逻辑电路如图 5.13(a)所示,是由 nMOS 晶体管和 pMOS 晶体管并联构成

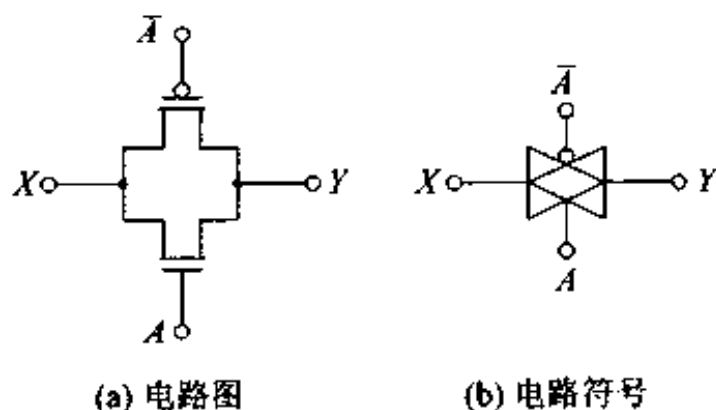


图 5.13 传输逻辑电路

的电路,用图 5.13(b)的符号来表示。这种电路是由控制信号 A 和 $\bar{A}$ 来控制 X 和 Y 之间的导通和截止的。 $A = 1$ (高电平)时两个晶体管都导通, $A = 0$ (低电平)时两个晶体管都截止。即

$$\left. \begin{array}{l} Y = X \\ Y = \text{HighZ (高阻抗)} \end{array} \right\} \begin{array}{l} (A = 1) \\ (A = 0) \end{array} \quad (5.8)$$

HighZ 的意思是输出端 Y 是高阻抗。只用 nMOS 晶体管或者只用 pMOS 晶体管也可获得同样的功能(导通晶体管)。但是,设计时应注意输入电平的高度有一定的限制。图 5.14 表示 nMOS 晶体管、pMOS 晶体管以及 CMOS 传输逻辑电路中,导通阻抗随输入电平(晶体管的源极)变化的曲线。对 nMOS 晶体管而言,输入电平低的时候有足够低的导通阻抗,所以是没有问题的。但是,一旦输入电平变高时,栅极和源极之间的电压将降低,所以导通阻抗也变高。输入电平高于 $V_{DD} - V_{Tn}$ 时,晶体管就不导通了。反之,对 pMOS 晶体管而言,输入电平高时有足够低的导通阻抗,但是输入电平一旦降低导通阻抗就会升高,当输入电平降低到 $|V_{Tp}|$ 以下时,就变为非导通状态了。因此,如果将 nMOS 晶体管和 pMOS 晶体管并联,如图 5.14 所示的那样,就能够相互补偿各自的缺点,在各种输入电压下都能得到低的导通阻抗。

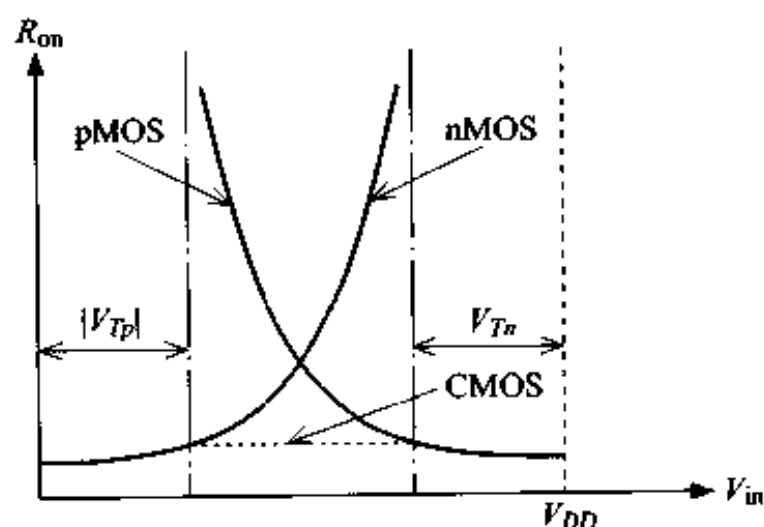


图 5.14 CMOS 传输逻辑电路的导通电阻和输入电压间的关系

CMOS 同步脉冲倒相器如图 5.15(a)所示,是把由时钟脉冲控制的 nMOS 晶体管和 pMOS 晶体管接到 CMOS 倒相器上而构成的,其电路符号如图 5.15(b)所示。当时钟脉冲 ϕ 是高电平时,两个 MOS 晶体管都导通,

为通常的倒相器;当时钟脉冲 ϕ 是低电平时,两个 MOS 晶体管都截止,输出变为高阻抗。

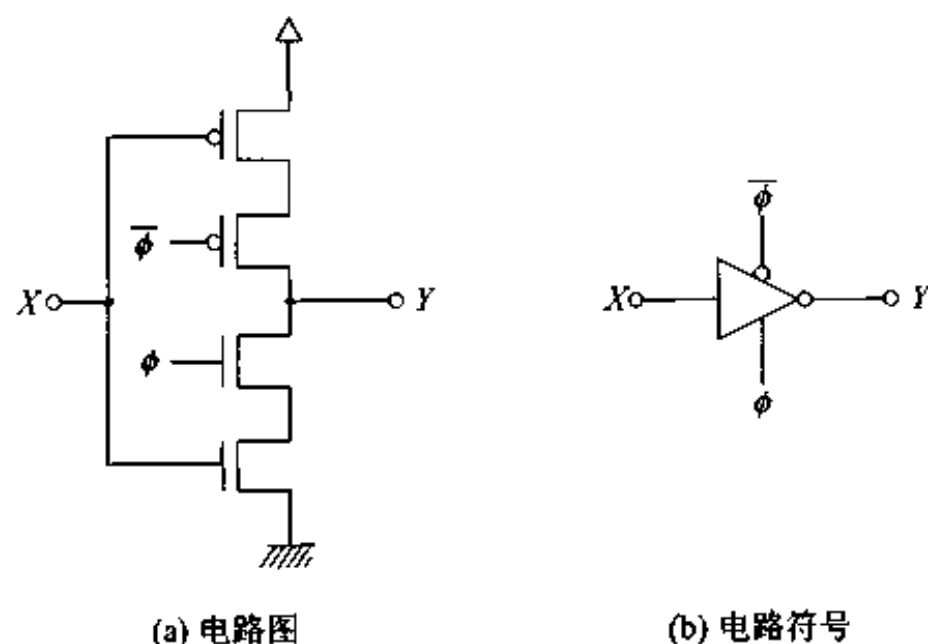


图 5.15 CMOS 同步脉冲倒相器

和传输逻辑电路不同,同步脉冲倒相器具有利用 CMOS 倒相器的特性使波形整形(消除噪声)的特点。

如果有效地利用这些基本电路,就可以用少量的元件实现必要的逻辑功能,也可用来组成动态电路。

5.3 集成电路掩模的设计

5.3.1 掩模设计

集成电路的制造工艺已在第 4 章中作了介绍。在光刻工艺中,掩模是用作将电路图形转印到硅基板上去的。设计一组与所设计的电子电路相对应的掩模是集成电路设计的最终阶段。图 5.16(a)是把 CMOS 倒相器的掩模图形重叠在一起的样子,同图(b)是与此对应的断面图。使用正型光刻胶时,与图 5.16 对应的所有的掩模图形分别如图 5.17 所示。网纹部分表示不透光的区域,意味着留下光刻胶的区域。整个工艺要使用 7 块光刻掩

模。通过器件区域掩模和多晶硅栅极掩模的重复使用形成晶体管的源极、漏极和栅极。

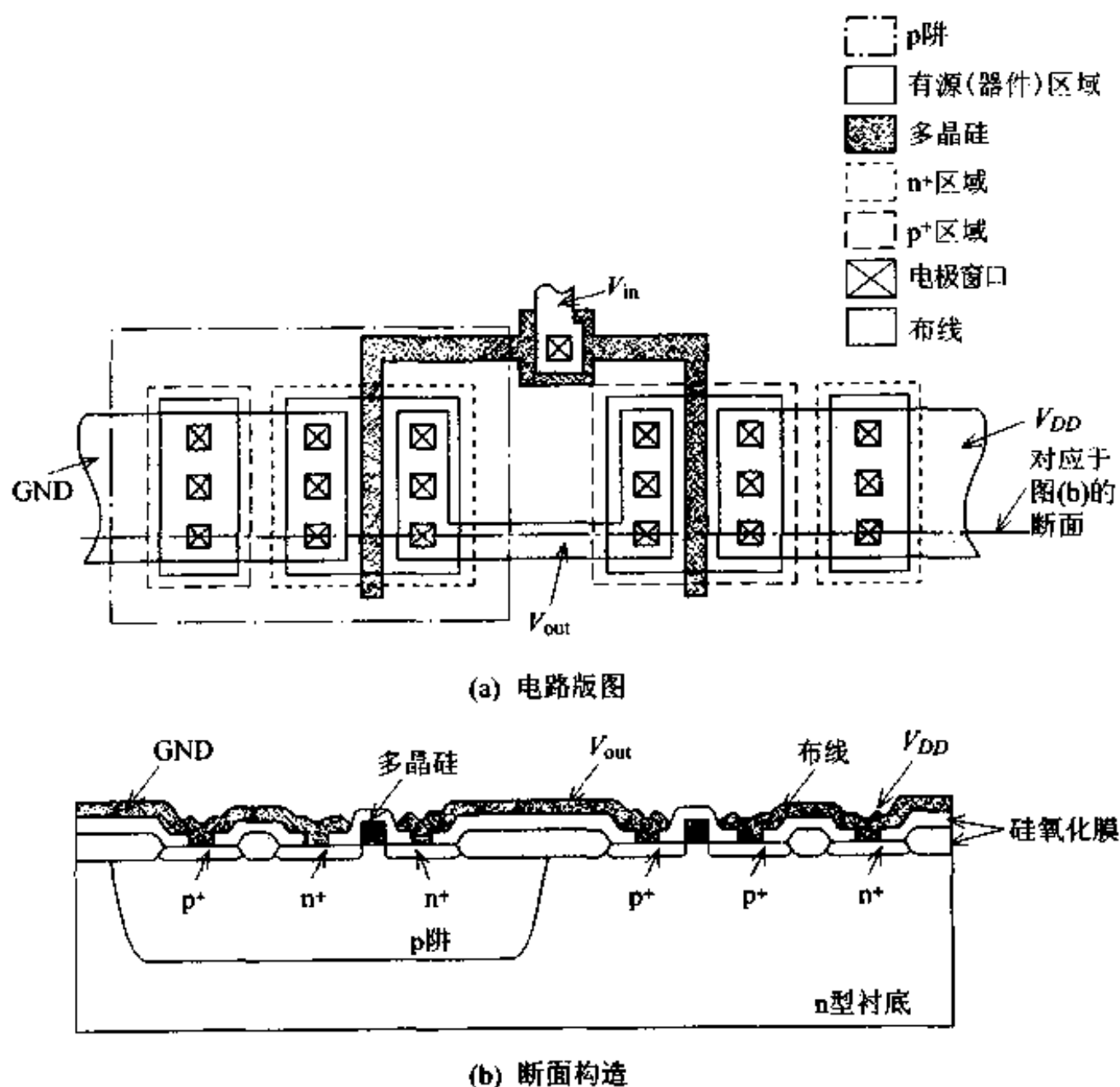


图 5.16 CMOS 倒相器的电路版图和断面构造

5.3.2 设计规则

图 5.16 表示的只是构成 CMOS 倒相器的两个晶体管的掩模图。如果用布线将元件连接起来,就可以构成大规模集成电路。这时晶体管各部分的尺寸、间隔以及布线间隔等都是由制造技术所能达到的或者电性能所容许的最小值所决定的。我们把这些称为设计规则,设计者既要遵守这些规

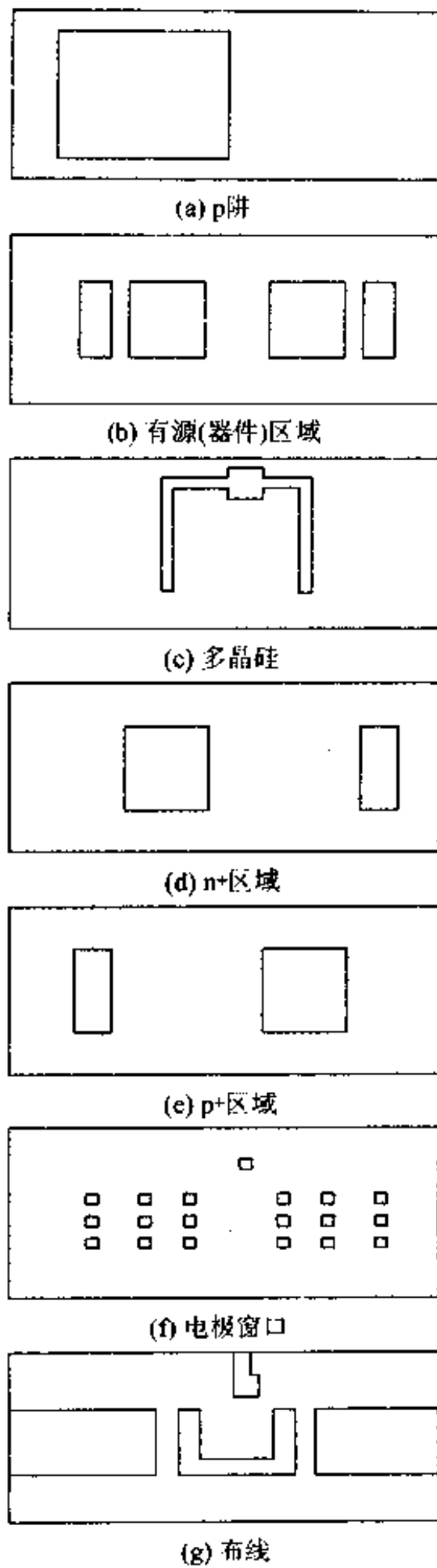
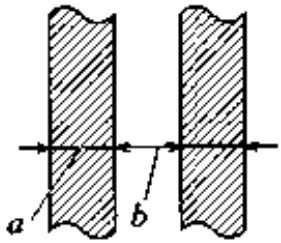
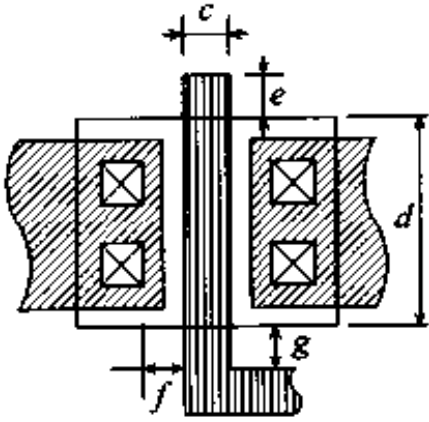
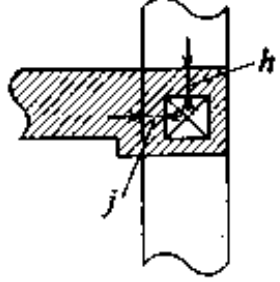


图 5.17 CMOS 工艺中使用的掩模(与图 5.16 对应)

则又要设计成使各部分的尺寸尽量小的电路图形,从而提高集成度。设计规则示于表 5.2。表 5.2 所示的只是规则的一部分,实际上详细地制定有数十条乃至上百条设计规则。表中, λ 是设计规则的最小单位,为了设计上的方便,往往将全部的设计规则选定为 λ 的整倍数。这种选定方法的长处是便于记忆,缺点是不易制定更详细的规则,所以也有若干不合理的地方。在数字集成电路中,通常将晶体管的沟道长度设计为制造技术能达到的最小尺寸, λ 则规定为沟道长度的 $1/2$ 。

表 5.2 设计规则

项 目	说 明 图	规则(最小值)	
金属布线 · 宽度(a) · 间隔(b)		a	3λ
		b	3λ
MOS晶体管 · 沟道长(c) · 沟道宽(d) · 栅电极超长(e) · 电极-多晶硅之间隔(f) · 多晶硅和活性区域间的间隔(g)		c	2λ
		d	4λ
		e	2λ
		f	2λ
		g	λ
活性区域和金属布线间的连接 · 与金属布线间的余量(h) · 与活性区域间的余量(j)		h	λ
		j	λ

图形设计完后,还必须检查所设计的掩模图形是否符合设计规则。不符合的部分则要加以修改。如果电路的规模很大,是不可能靠眼睛来检查的,必须借助专用的设计规则检查(DRC; design rule check)的CAD程序来进行。另外还有一种检查电源线和“地线”是否存在短路的称为电路规则检查(ERC; electrical rule check)的程序。最近,还使用一种称为网络表或称配线对表(LVS; layout versus schematic)的程序,可以从电路图形抽出电路的连接信息,检查它和设计的电子电路的网络表是否一致。由于应用了这样一些CAD程序,所以大幅度地减少了集成电路的设计错误。

练习题

- 1 比较说明 ECL 逻辑电路和 TTL 逻辑电路各自的优缺点。
- 2 与双极型晶体管数字集成电路相比, MOS 数字集成电路有哪些优点。
- 3 请归纳一下 CMOS 集成电路的特征和优点。
- 4 在 100 万个逻辑门的 CMOS 集成电路中,逻辑门的活化率为 20%,假设当其在 100MHz 时钟频率下工作时,逻辑门的负载电容为 50fF,请分别计算电源电压为 5V 和 1V 时的功耗。
- 5 请参照图 5.16(a),画出 CMOS NAND(与非门)的掩模图形。

引用文献

- [1] 国枝博昭:集積回路設計入門,コロナ社(1996), p. 54—58

工艺、器件及电路的 模拟技术

前几章中我们已经介绍了集成电路的工艺、器件以及基本电路。应用这些技术就可以在半导体衬底上制作最基本的集成电路。但是,实际上往往首先用计算机模拟基本的集成电路,评估其性能,然后再投入生产。在这一章中,我们将介绍这种所谓的假想工厂技术,也称为 T-CAD(technology-CAD)。

6.1 假想工厂

所谓假想工厂 (virtual factory) 是指不进行实际生产, 而利用计算机进行模拟的工厂。为了缩短研制周期, 提高产品质量和产品的合格率, 集成电路研究所以及制造厂广泛使用着假想工厂技术。下面, 将介绍在假想工厂中如何进行工艺、器件以及电路的模拟。

6.2 制造工艺的模拟

集成电路制造工艺的模拟软件可分成两大类: 用来模拟离子注入、扩散、热处理和氧化等狭义的工艺模拟软件, 和用来模拟光刻、淀积和腐蚀工艺的形状模拟软件。前者主要用来模拟杂质分布, 后者主要用来模拟形状。这些功能从广义上均称为工艺模拟软件。

本节中, 以 MOS 二极管工艺模拟 (一维模拟) 为例, 说明杂质分布模拟; 以多层布线工艺的断面形状模拟 (二维模拟) 为例说明形状模拟。

6.2.1 MOS 二极管中杂质分布的模拟

硅衬底的氧化、杂质离子注入以及热处理是决定 MOS 二极管中杂质分布的主要工艺。下面简要地说明各个工艺的模拟 (一维) 方法。

在氧化的一维模拟时, 因为 SiO_2 薄膜的厚度是随着时间而增加的, 所以通常使用迪尔-格罗夫 (Deal-Grove) 解析式^[1]来表示

$$T_{\text{ox}}^2 + AT_{\text{ox}} = B(t + \tau) \quad (6.1)$$

该式表示在 SiO_2 膜层薄的时候, 膜厚 T_{ox} 随着时间 t 成比例地增加, 而膜层变厚后, 膜厚 T_{ox} 的平方与时间 t 成比例增加。式中, A 、 B 、 τ 均为常数。

离子注入法的杂质分布可由数值解析法求得。下面, 介绍用最简单的 ISS 理论来进行数值计算的方法。ISS 理论给出了注入杂质浓度 C 对于停止位置 z 的分布函数。假设注入总量 (单位衬底表面积注入的离子数) 为

D_T , 射程为 R_p , 偏差为 σ_p , 分布为高斯分布。为了进一步提高计算精度, 以射程 R_p 为界, 分别利用两个不同偏差 σ_{p1} 和 σ_{p2} 的高斯分布来表示, 其分布的表达式如下

$$\left. \begin{aligned} C(z) &= \frac{2D_T}{\sqrt{2\pi}(\sigma_{p1} + \sigma_{p2})} \exp\left(-\frac{(z - R_p)^2}{2\sigma_{p1}^2}\right), z < R_p \\ C(z) &= \frac{2D_T}{\sqrt{2\pi}(\sigma_{p1} + \sigma_{p2})} \exp\left(-\frac{(z - R_p)^2}{2\sigma_{p2}^2}\right), z \geq R_p \end{aligned} \right\} \quad (6.2)$$

当衬底为多层结构的基片时, 应把表面层下面的每一层用表面层的射程和该层的射程之比进行标准化处理, 使各层的分布连续化。

热处理引起的杂质分布的变化可用数值分析法解扩散方程求出。设杂质浓度为 C , 流束为 J 时, 扩散方程式为

$$\frac{\partial C}{\partial t} + \nabla J = 0 \quad (6.3)$$

式中, t 为时间。

当电场的影响可以忽略不计时, 根据费克 (Fick) 第一法则, 杂质的流束 J 可用下式表示

$$J = -D \nabla C \quad (6.4)$$

式中, D 为扩散系数。在不同物质的界面, 会出现杂质浓度不连续即所谓的偏析现象。由物质 1 到物质 2 的流束 J 为

$$J = h_b \left(\frac{C_1}{m_b} - C_2 \right) \quad (6.5)$$

式中, C_1 、 C_2 分别为杂质在物质 1 和物质 2 的浓度, h_b 为输运系数, m_b 为偏析系数。

此外, 表面流束的大小是和表面杂质浓度 C_s 与外部气相中的杂质浓度 C_a 之差成正比的, 如下式所示

$$J = h_s (C_s - C_a) \quad (6.6)$$

式中的 h_s 为输运系数。

一般说来, 设衬底底面的流束为零。

为用数值分析法解出上式, 首先将分析对象区域分割成微小的区域, 以各个微小区域的物理量 (此时, 为杂质浓度) 作未知数联立一次方程式, 这一操作称为离散化。此处, 以差分法进行离散化。图 6.1 示出一维网格

(mesh)的例子。杂质浓度在网格结点上定义,流束以网格结点间的中央点计算。考虑到在物质的界面存在偏析现象,所以在同一位置上采用双重网点分别对相应的物质进行定义。点 j 上边的中心点和下边的中心点的流束分别用下列公式表示

$$J(j-1) = \frac{D(j-1) + D(j)}{2\Delta z(j-1)} (C(j-1) - C(j)) \quad (6.7)$$

$$J(j) = \frac{D(j+1) + D(j)}{2\Delta z(j)} (C(j+1) - C(j)) \quad (6.8)$$

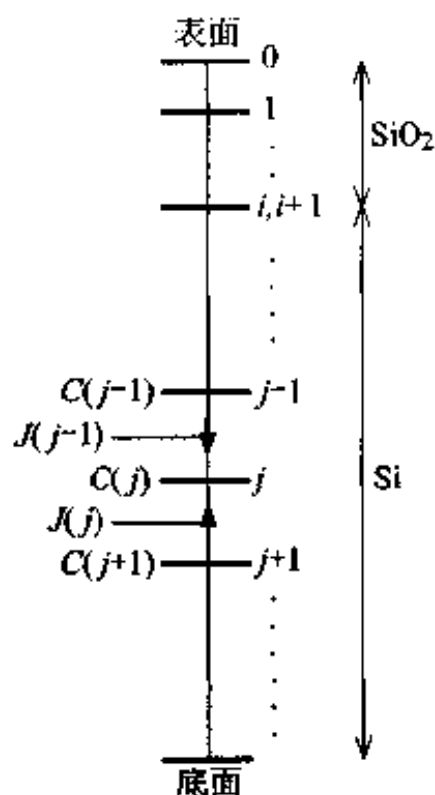


图 6.1 MOS 二极管的一维网格

在式(6.3)的第1项中,因为时间是一个变量,所以有必要对时间进行离散化处理。将时间分割成微小的时间间隔 Δt 使其离散化。将在第 $(m+1)$ 次时间间隔 Δt_{m+1} 内流入 j 点的量以流束表示,可得下式

$$\frac{C_{m+1}(j) - C_m(j)}{\Delta t_{m+1}} = \frac{2(J(j-1) + J(j))}{\Delta z(j-1) + \Delta z(j)} \quad (6.9)$$

式中, $C_m(j)$ 和 $C_{m+1}(j)$ 分别为第 m 次和第 $m+1$ 次时间间隔时的浓度。假设第 m 次时间间隔时 j 点上的浓度 $C_m(j)$ 为已知数,第 $m+1$ 次时间间隔的各点的浓度 $C_{m+1}(j-1)$, $C_{m+1}(j)$, $C_{m+1}(j+1)$ 为未知数,整理上式得下列一

次方程式:

$$aC_{m+1}(j-1) + bC_{m+1}(j) + cC_{m+1}(j+1) = d \quad (6.10)$$

在物质边界上可用同样的方法列出方程式。将所有网点上的一次方程式联立求解,就可由已知的前一个时间间隔各点的杂质浓度,求出新时间间隔时各点的杂质浓度。反复上述的操作,直到指定的热处理时间为止,最后可获得杂质浓度分布。在含有多种杂质时,分别对各种杂质进行计算。

如果依次就氧化、离子注入和扩散(热处理)进行模拟,最后可得到MOS二极管的杂质分布。

6.2.2 多层布线的断面形状的模拟

在形成有器件的基片上,将绝缘层和金属布线层多次交叠即形成多层布线。不管是形成绝缘层还是形成金属布线层,使用的主要工艺有:膜的淀积,光刻胶的涂覆,曝光,显影,腐蚀及光刻胶的剥离。对这些工艺进行模拟的程序称为形状模拟程序。也有的将曝光和显影两工艺分离出来单独进行形状模拟,称为光刻模拟程序。这里,为了便于说明,我们不使用光刻模拟程序,而假设在曝光、显影工艺中掩模的图形完全正确地复制在光刻胶上。下面,重点说明膜的淀积/腐蚀的形状模拟。

人们提出了很多淀积/腐蚀的模式。如有的计算衬底上表面空间中的粒子扩散,有的求出粒子的散乱等来获得衬底表面的反应量。我们用统一的模式来说明表面反应(表面移动)速度的计算方法^[2]。与基片(水平线)的倾斜角度为 θ 的表面在其法线方向上的移动速度(参照图6.2)如下式所示

$$v(\theta) = A \left\{ \begin{aligned} &+ B \cos \theta \\ &+ C \sin^2 \theta \cos \theta \\ &+ \frac{D}{D_0(n)} \int_{\text{visible}} \cos^2 \psi \cos(\psi - \theta) d\psi \\ &+ \frac{E}{E_0} \int_{\text{invisible}} \cos(\psi - \theta) d\psi \end{aligned} \right. \quad (6.11)$$

式中,右边的第1项表示各个方向相等的成分,相当于由湿法腐蚀溶液中发生的反应或者由原子团反应引起的表面移动速度的分量。第2项为垂直成分,第3项表示溅射腐蚀的异方向性成分的近似值,第2项和第3项为离子

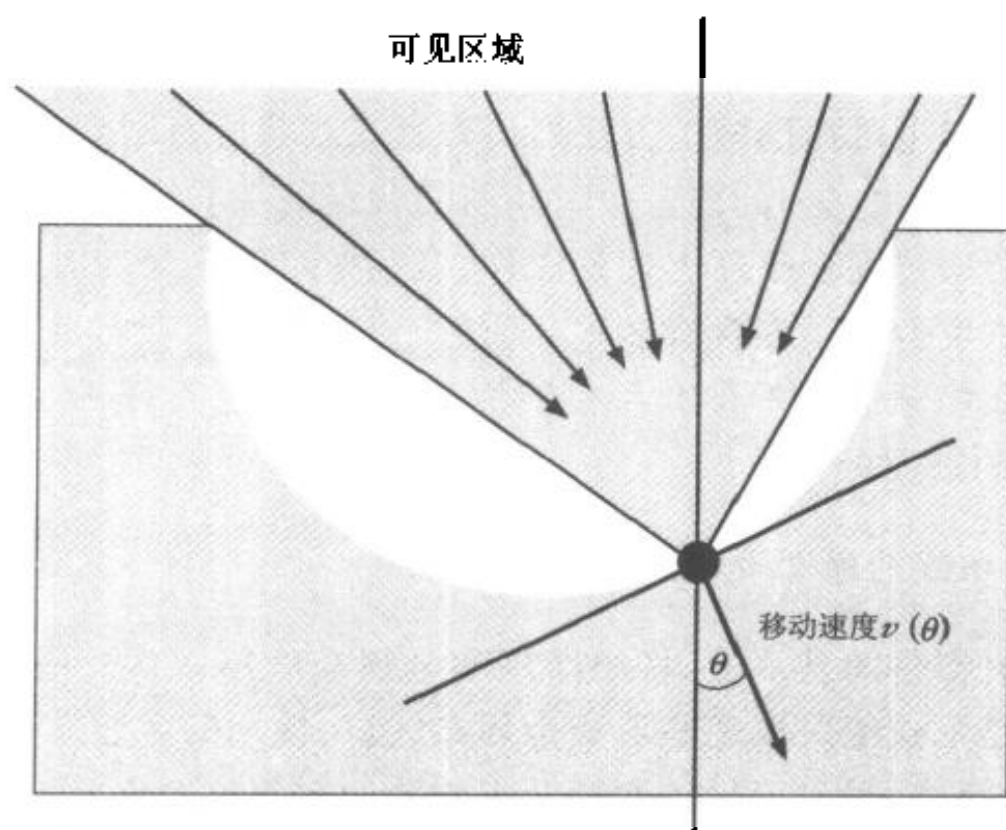
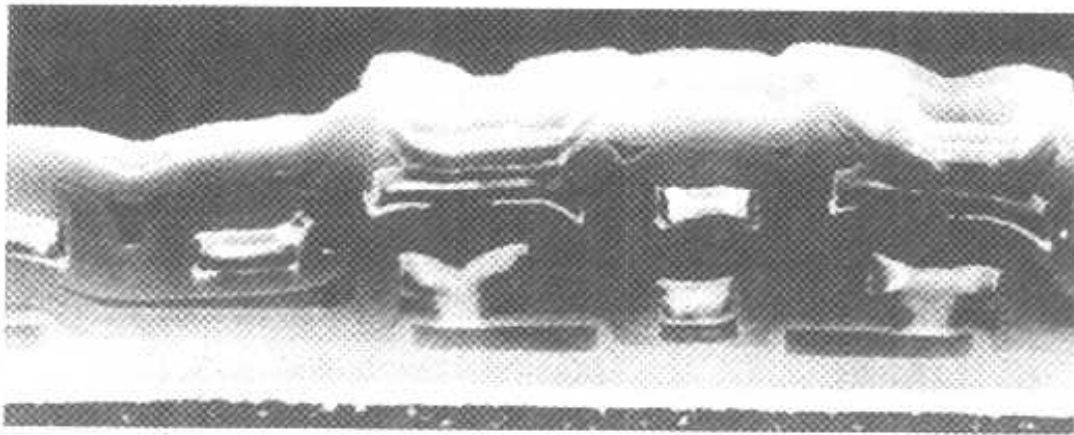


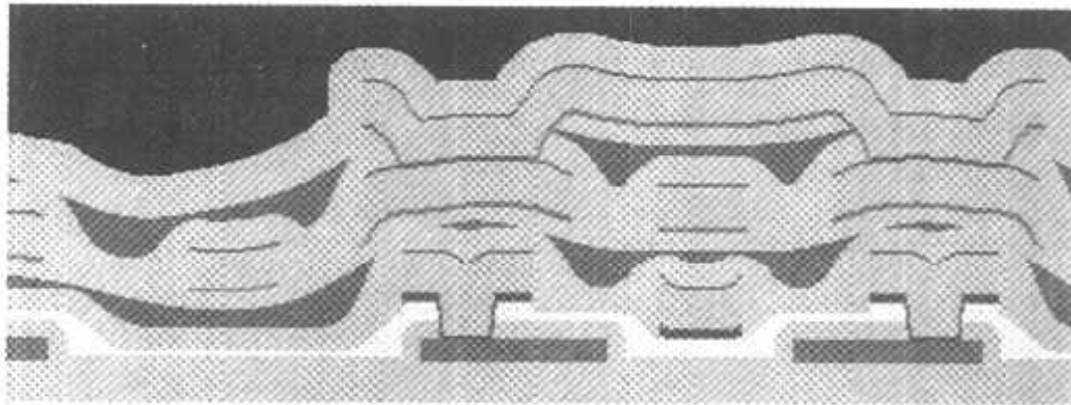
图 6.2 表面移动速度的定义

反应的分量。第 4 项表示分布入射性成分,为中性粒子反应的分量。 n 越大垂直成分越强。第 5 项表示反射·再吸附成分。 ψ 是内部变量,表示粒子入射方向与垂直方向的夹角。**可见区域**(visible)表示来自上方的没有被壁阻挡的直接射入的方向,而**不可见区域**(invisible)表示被壁阻挡的不能直接射入的由壁反射而来的方向。 $D_0(n)$ 和 E_0 为标准化常数。另外,此式中,用系数 $A \sim E$ 的符号(+, -)来区别淀积和腐蚀。

在进行淀积/腐蚀的形状模拟时,提出了很多不同的方案来描述形状和如何进行变形的方法。其中,主流是用多角形表示各种物质的区域形状,称为**线形模式**(string model)的方法^[3]。在该方法中,多角形的顶点按式(6.11)逐步移动,可使形状发生变化(即变形)。但是,由于中途引起边的交叉,所以图形的处理比较复杂。为此,提出一种比较容易实现的被称为**像素模式**(pixel model)的方法^[4]。这种模式的特点是可高速地、容易地处理复杂的形状。图 6.3 表示利用像素模式模拟得到的多层布线的断面形状。



(a) 扫描电子显微镜照片



(b) 模拟结果

图 6.3 3 层布线模拟结果

像素模式 (pixel model)

像素模式是一种高速模拟模式。在像素模式中,用同一种颜色的像素群表示同一物质的区域,用不同颜色的像素表示不同的物质(图 1)。利用式(6.11)对每一个处于颜色交界处(即物质的界线)的像素求出所有方位的形状变化,即可获得称为加工特性图的图形。例如,

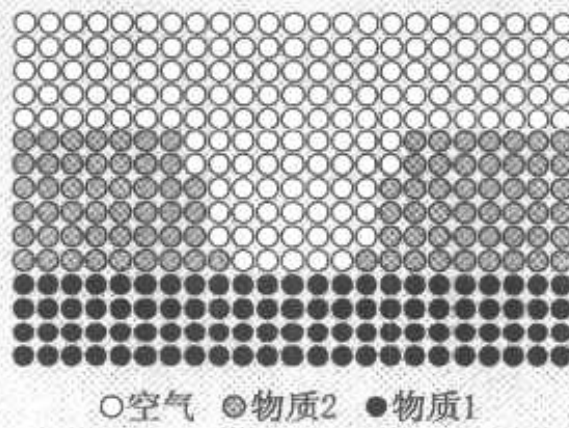


图 1 像素模式中物质的定义

对于等方向淀积(只有第一项有效),加工特性图为一个圆。加工形状的形成顺序如图2所示。再如在垂直腐蚀(只有第2项有效)时,加工特性图为线段。此时,表面的各像素朝下,用空气的颜色表示与腐蚀量相应的线段描图而成。分布入射性淀积(对应于溅射淀积)时,用式(6.11)在可见区域积分,就可求得加工特性图。加工特性图可用椭圆近似。

光刻胶之类的粘性物质的涂布,首先假定表面的各像素上涂有一定厚度的膜层,表面膜层高度因扩散而成为平坦的表面。求出扩散后的表面高度,描出线段可得涂布形状。因为是扩散系数恒定的一维扩散,进行数值扩散即可,也可用计算各个表面像素上的高斯分布的叠加来求得形状。

在曝光-显影工艺中,曝光显影可用掩模的透明部分(或者不透明的部分)的光刻胶在垂直或者在倾斜某一角度方向上被腐蚀来模拟。另外,光刻胶的去除工艺可用光刻胶的像素全部被空气的像素进行置换处理来模拟。

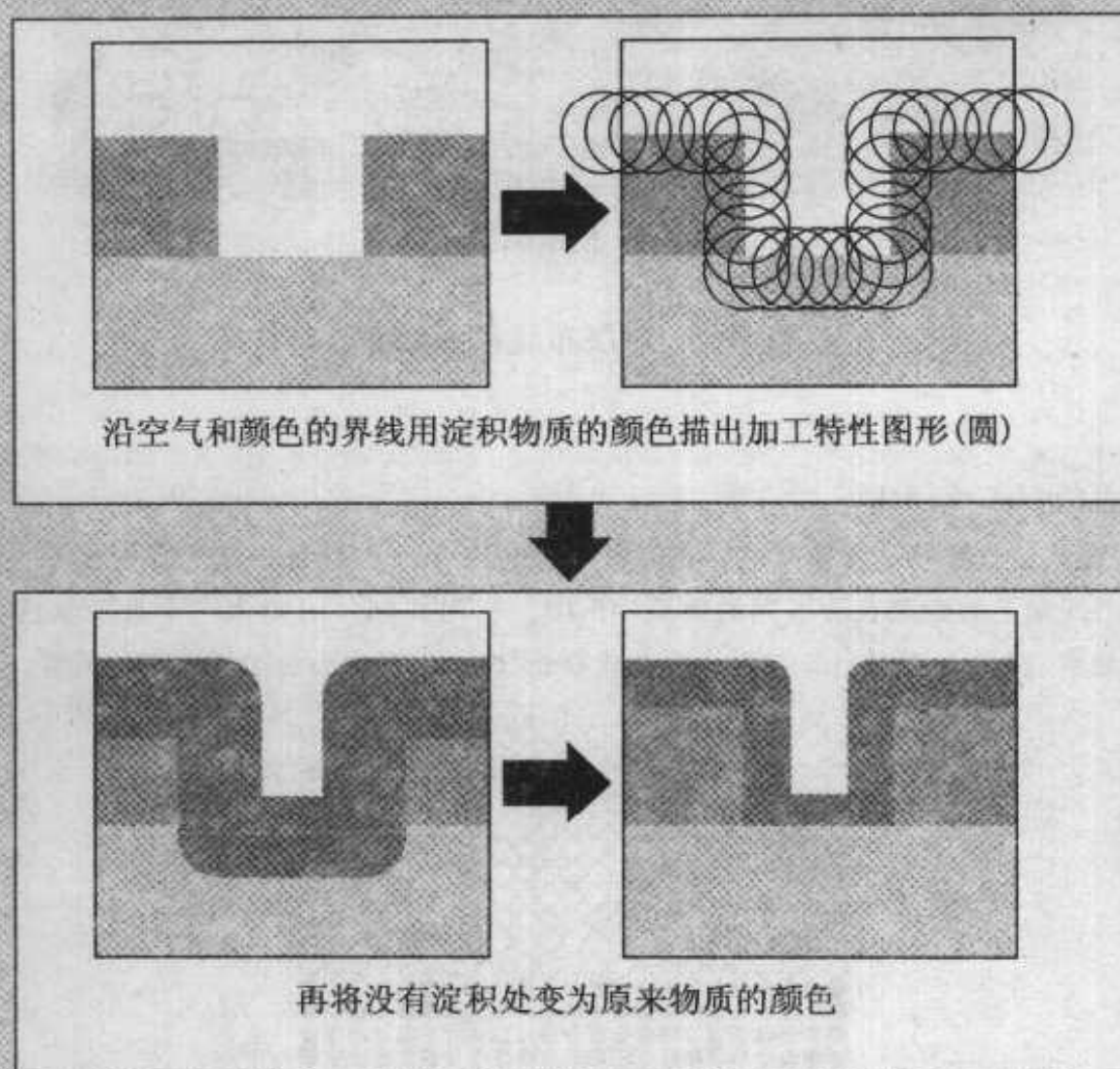


图2 等方向淀积形状的生成过程

6.3 器件电特性的模拟

器件电特性的模拟分为稳态分析和瞬态分析两类。稳态分析是求在一定电压条件下,流过各端的恒定电流和各端之间的电容量;而瞬态分析是求在外加电压变化时,各端的电流随时间变化的情况。在上述分析时,同时求出器件内部的静电电位和载流子(电子和空穴)的分布。在模拟方法方面又分成二个模式:其一是应用被称为 Monte-Carlo 法的概率计算法,求出载流子轨迹的粒子模式;其二是宏观地处理流束的流体模式。因为后者既简单又实用,所以我们将采用这种流体模式进行稳态分析。首先,介绍用一维模拟求 MOS 二极管的电容-电压特性的方法。然后,再介绍用二维模拟求 MOS 晶体管的电流-电压特性的方法。

6.3.1 MOS 二极管的电容-电压特性的模拟

本节说明 MOS 二极管电容-电压特性的模拟方法。因为是稳态分析,可以不考虑电流。基本方程式为下列的泊松方程式

$$\nabla (\epsilon \nabla \psi) = q(n - p - C_B) \quad (6.12)$$

式中, C_B 为硅衬底的杂质浓度, ϵ 为介电常数, q 为单位电荷量。 n 、 p 分别表示电子和空穴的浓度, p 型衬底时用下式定义

$$n = C_B \exp\left(\frac{q}{kT}\psi\right) \quad (6.13)$$

$$p = \frac{n_i^2}{C_B} \exp\left(-\frac{q}{kT}\psi\right) \quad (6.14)$$

如果是 n 型衬底时,则将右边的系数 C_B 和 n_i^2/C_B 对换,静电电位 ψ 的符号为负。 n_i 为本征载流子浓度, k 为玻尔兹曼常数, T 为绝对温度。

下面,我们将采用逐步逼近法求解,即反复利用上述方程式进行计算,使其解逐渐逼近真正的解。我们假设第 $(m+1)$ 次的静电电位为 ψ_{m+1} ,由式(6.12)可得

$$\nabla (\epsilon \nabla \psi_{m+1}) = q(n_m - p_m - C_B + \delta n - \delta p) \quad (6.15)$$

式中, δn 和 δp 分别表示与第 m 次电子、空穴浓度的增量。设 $\delta\psi$ 为静电电

位的增量,由式(6.13)和式(6.14)可知

$$\delta n = \frac{q}{kT} n \delta \psi \quad (6.16)$$

$$\delta p = -\frac{q}{kT} p \delta \psi \quad (6.17)$$

把上两式代入式(6.15)中,可得

$$\nabla (\varepsilon \nabla \psi_{m+1}) = q \left\{ (n_m - p_m - C_B) + \frac{q}{kT} (n_m + p_m) (\psi_{m+1} - \psi_m) \right\} \quad (6.18)$$

式中,第 $(m+1)$ 次的静电电位 ψ_{m+1} 为未知数。因为该方程式中含有静电电位的二阶微分项,所以和工艺模拟时解扩散方程式时同样,采用差分法进行离散化。衬底内的一维网点和工艺模拟时相同。对第 j 个结点的方程式整理得下式

$$a\psi_{m+1}(j-1) + b\psi_{m+1}(j) + c\psi_{m+1}(j+1) = d \quad (6.19)$$

此外,二氧化硅膜为绝缘物,假设二氧化硅内部没有电荷存在,则该区域可不设网点。如设网点则设电荷为零,成为拉普拉斯方程式。一般说来,设衬底的底面为基准0V,在二氧化硅表面的电极上加电压。但是,在硅和二氧化硅的界面,由于硅和二氧化硅膜以及二氧化硅膜和电极材料间的功函数不同,为了费米能级的一致,硅表面的能级将产生弯曲。在模拟时,应该在外加电压值上加上这些功函数的差值。

对如此定义的联立一次方程式,各网点的静电电位由初期值逐渐接近真正的解。当获得的静电电位与前次值间的最大变化量达到规定的值以下时,则认为达到收敛,不再继续计算。

当表面金属电极上的电压逐渐加大时,衬底内的总电荷量也逐渐增加。总电荷量的增量除以电压的增量可得到电容量的值。衬底内的总电荷量可由数值积分求得。因而在逐渐改变表面电极上的电压值的同时,进行上述计算可以获得电容-电压特性。图6.4表示p型硅衬底的模拟结果。图中分别表示了由多数载流子(空穴)和少数载流子(电子)而引起的电容成分。总电容量为实测值。

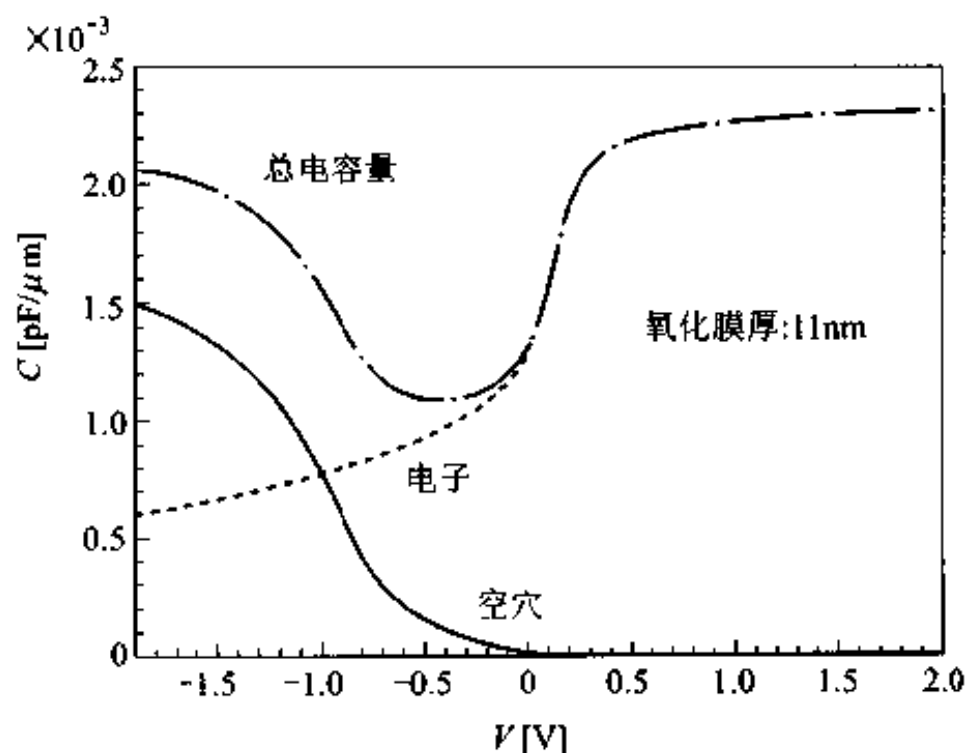


图 6.4 MOS 二极管电容-电压特性的模拟结果

6.3.2 MOS 晶体管的电流-电压特性的模拟

n 型沟道(p 型衬底)MOS 晶体管的断面结构如图 6.5 所示。本节简单地说明如何对该器件进行二维稳态分析。与前一节所叙述的 MOS 二极管不同,MOS 晶体管在稳态下也有电流流动,所以作为基本方程式应在泊松方程式(6.12)上加上电流连续方程式。电子电流 J_n 和空穴电流 J_p 的连续方程式为

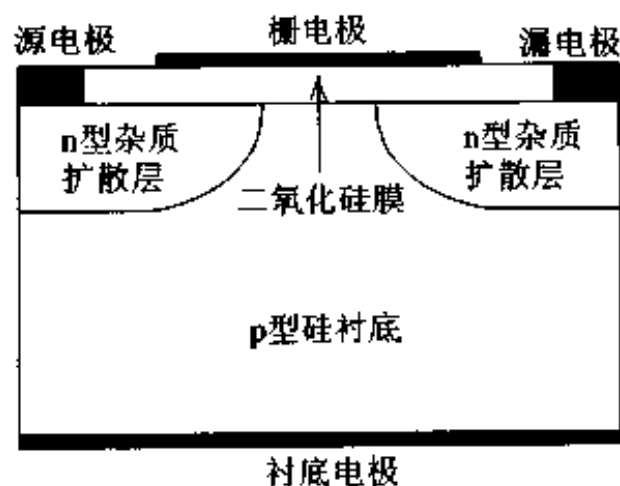


图 6.5 nMOS 晶体管的断面结构

$$-\nabla J_n + qR = 0 \quad (6.20)$$

$$-\nabla J_p - qR = 0 \quad (6.21)$$

式中, R 为单位时间内产生/复合的电子/空穴的浓度, 一般应考虑碰撞电离等现象, 此处不作详细说明。 J_n 和 J_p 可按下式求得

$$J_n = -q\mu_n \left(n \nabla \psi - \frac{kT}{q} \nabla n \right) \quad (6.22)$$

$$J_p = -q\mu_p \left(p \nabla \psi - \frac{kT}{q} \nabla p \right) \quad (6.23)$$

式中, μ_n, μ_p 为电子和空穴的迁移率。迁移率一般随垂直电场的大小而变化, 已提出了考虑垂直电场影响的各种模式^[5], 此处不作详细介绍。

下面, 就泊松方程式和二电流连续方程式的数值解法作一介绍。数值解法中, 有同时解三个方程式的牛顿法、分别求解的 Gummel 法等二种解法。我们就后者的方法作一简单介绍。这里, 我们仍然采用 MOS 二极管中使用的泊松方程式(6.18)。首先, 将第 m 次的数值代入该泊松方程式, 求出 $(m+1)$ 次的静电电位 ψ_{m+1} 。然后再将 ψ_{m+1} 分别代入式(6.22)及式(6.23), 求得第 $(m+1)$ 次的电子浓度 n_{m+1} 和空穴浓度 p_{m+1} 。在 Gummel 法中, 反复对该三个方程式求解, 直到 ψ, n, p 与前一次计算出的值之间的差小于容许值(收敛)时为止。

图 6.6 表示差分网格和物理量的定义位置间的关系。物理量包括 ψ, n, p , 图中只表示出 ψ 这一物理量。直交网点的情况下, 定义一次方程的微

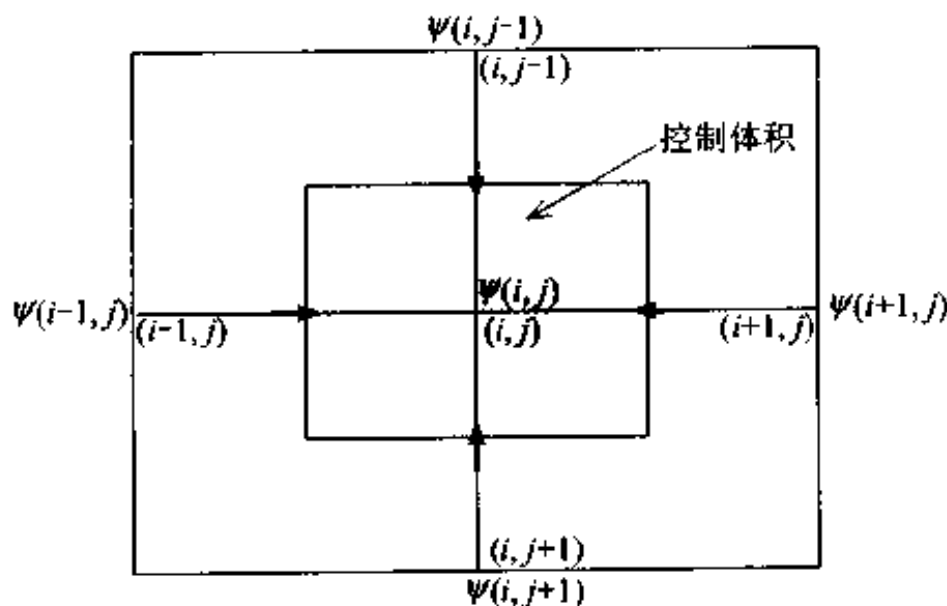


图 6.6 二维差分网格的一部分

细区域为,通过上下网结点中点的长方形。该区域称为控制体积(control volume)。静电电位的一次方程式,即泊松方程式可以用下式表示

$$a\psi_{m+1}(i,j-1) + b\psi_{m+1}(i-1,j) + c\psi_{m+1}(i,j) + d\psi_{m+1}(i+1,j) + e\psi_{m+1}(i,j+1) = f \quad (6.24)$$

如果求出了 ψ 、 n 、 p 的分布,再对各端周围的电流密度积分可得到各端的电流。逐渐变化加在各端上的电压,求出电流值时,就可得到 MOS 晶体管的电流-电压特性。图 6.7 为一模拟结果的例子,设源电压 V_s 和衬底电压 V_{sub} 为 0V,描出了在不同的栅极电压 V_g 下,漏极电流 I_d 随漏极电压 V_d 的变化情况。

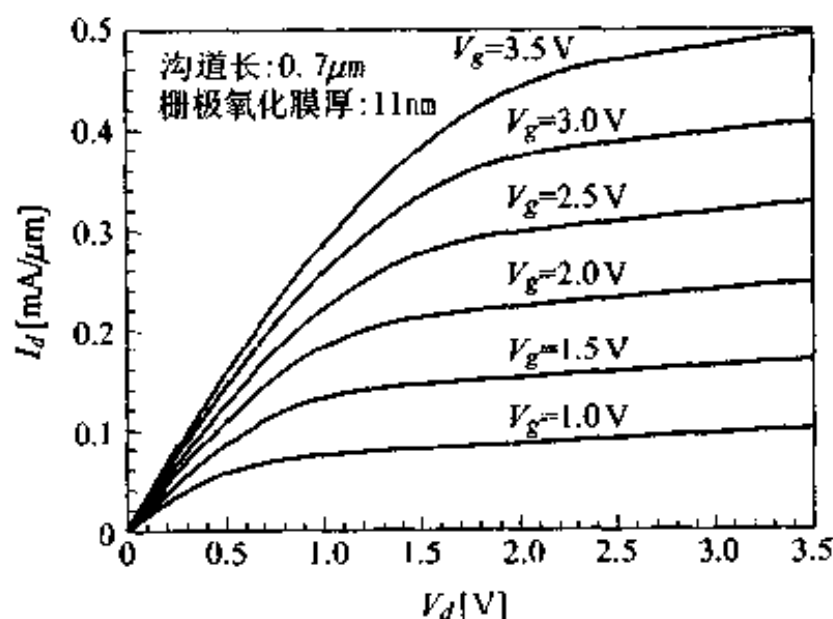


图 6.7 MOS 晶体管电流-电压特性的模拟结果

6.4 基本电路特性的模拟

加利福尼亚(California)大学伯克利(Berkeley)分校(UCB; University of California, Berkeley)开发的 SPICE 是众所周知的作为电路设计和电路特性分析的电路模拟程序。因为它的源程序已被公开,所以在全世界得到普及。当输入了电路的连接语句、收敛条件和输出语句,则由该电路模拟程序可获

得欲知的电特性。模拟程序中准备有多种分析法,可根据欲求的电特性加以选择。主要的分析方法有以下几种。

- (1) 直流分析:时间为无限大时各端的电压值和电压源等的电流值。
- (2) 瞬态分析:随着时间变化的各端的电压值和电压源等的电流值。
- (3) 交流分析:改变输入电压源频率时,各端的电压值和电压源等的电流值。

要求能高速度地进行上述的分析,并希望得到的结果和实际电路的特性一致。为此,必须具有高速运算的电路分析部分,以及精度高、收敛性好的器件模式和参数。

本节首先介绍如何确立器件的模式,然后用简单电路的瞬态分析为例,说明电路模拟程序的使用方法。

6.4.1 MOS 晶体管的模式化

所谓器件模式是模拟时表达实际器件电特性的函数。器件模式可分为分析模式和查表模式(table look up model)两种。分析模式是根据器件物理或经验作成的与实际器件的电特性和计算值相吻合的解析式,而查表模式是根据实际器件的电特性数据表作成的插补(补间)函数。这里,就 MOS 晶体管的分析模式进行说明。

为得到 MOS 晶体管的分析式,应先画出等效电路。参照 MOS 晶体管

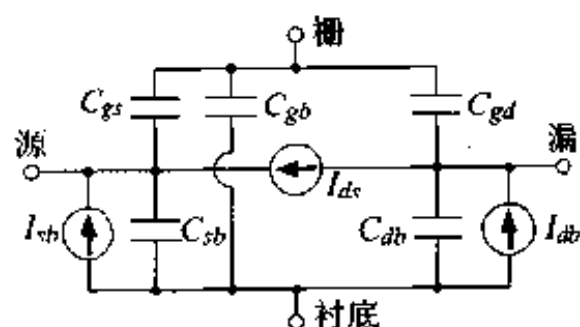


图 6.8 MOS 晶体管等效电路

的结构(图 6.5)作成的等效电路如图 6.8 所示。为简单起见,忽略了源、漏扩散区的电阻和电极部分的接触电阻。等效电路主要由漏-源之间的电流源 I_{ds} ,漏-衬底之间的电流源 I_{db} ,栅-衬底之间的电容量 C_{gb} ,栅-漏之间的电容量 C_{gd} ,漏-衬底之间的电容量 C_{db} 等 5 个要素构成。而且,假设漏和源的结构完

全对称,漏和源之间可以相互调换。

其中, I_{ds} 、 C_{gb} 、 C_{gd} 是 MOS 晶体管特有的结构要素, I_{db} 、 C_{db} 可以当作 pn 结二极管的参数进行处理。下面,以长沟道 nMOS 晶体管为例予以说明。

流过漏-源间电流源的漏极电流的大小是由沟道内的电压分布来决定

的。沟道内的电压分布可分为图 6.9 所示的三类栅电压区域。图 6.9(a) 的亚阈值电压区域是栅极电压比阈值电压小的区域, 电流非常小, 可忽略不计; 图 6.9(b) 的饱和区域是指栅极电压比阈值电压大, 而又比漏极电压和阈值电压的和小的电压区域, 电流与栅极电压的平方成比例地增加, 不依赖于漏极电压的大小; 图 6.9(c) 的线性区域是栅极电压大于漏极电压和阈值电压之和时的区域, 电流随着栅极电压增加而直线增加, 如图 6.10 所示 (MOS 晶体管的工作原理参照 2.3 节)。

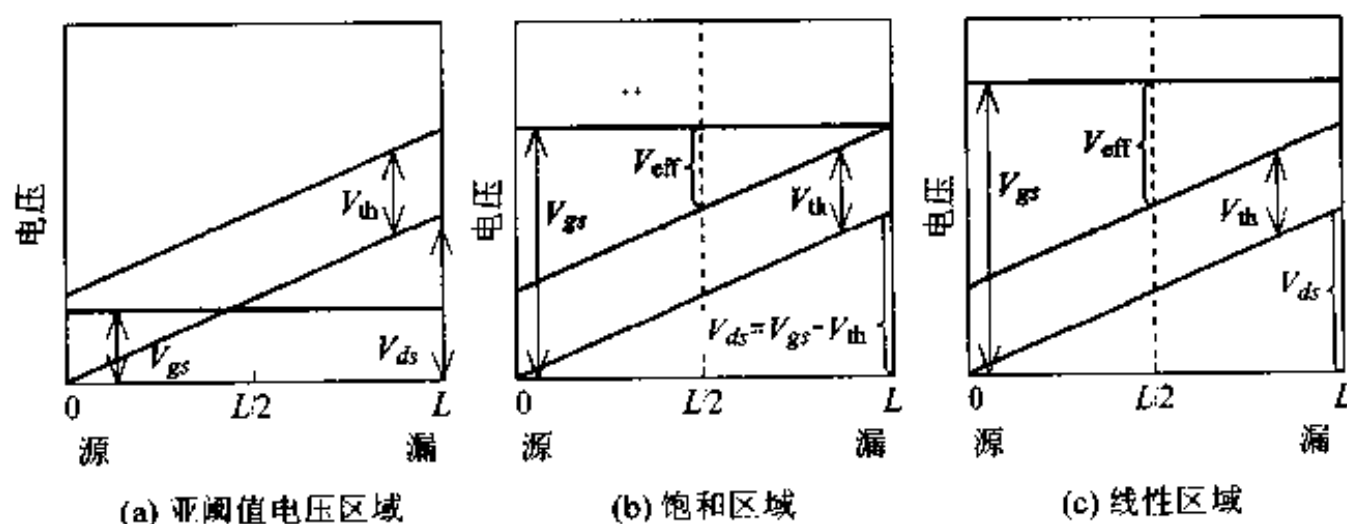


图 6.9 沟道内部电压图

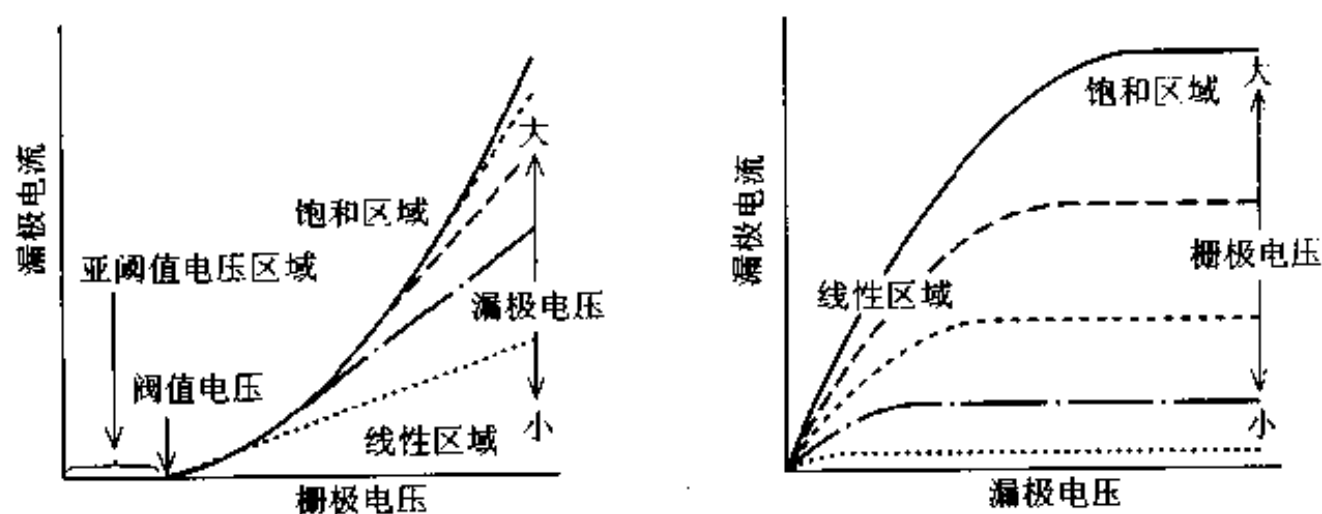


图 6.10 漏极电流-电压特性

下面, 参照图 6.9 引出解析式。在亚阈值电压区域, 以扩散电流为主成分的亚阈值电流可以忽略, 所以

$$V_{gs} < V_{th}, \quad I_d = 0 \quad (6.25)$$

式中, I_{ds} 为漏极电流, V_{gs} 为栅-源极之间的电压, V_{th} 为阈值电压。

假设 nMOS 晶体管的栅极长度为 L 、宽度为 W , 单位面积的栅极电容量为 C_{ox} , 求栅极电压比阈值电压大时的漏极电流。此处, 为在沟道内感应出载流子电荷所必须的沟道内的平均电压定义为 V_{eff} , 沟道内的载流子电荷量 Q 可由下式求得

$$Q = LWC_{ox}V_{eff} \quad (6.26)$$

此外, 假设阈值电压为 V_{th} , 与源的距离为 x 处的沟道内的电压为 V_x , 源-漏方向的电场 $dV_x/dx = V_{ds}/L$, 则电荷量 Q 为

$$\begin{aligned} Q &= WC_{ox} \int_0^L (V_{gs} - V_{th} - V_x) dx \\ &= LWC_{ox} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \end{aligned} \quad (6.27)$$

由式(6.26)、式(6.27)可得

$$V_{eff} = V_{gs} - V_{th} - \frac{V_{ds}}{2} \quad (6.28)$$

图 6.9(b) 所示的饱和区域中, $V_{gs} = V_{ds} + V_{th}$, 代入式(6.28), 则 $V_{eff} = (V_{gs} - V_{th})/2$ 。利用这一公式, I_{ds} 为

$$\left. \begin{aligned} V_{th} &\leq V_{gs} < V_{ds} + V_{th} \\ I_{ds} &= W(C_{ox}V_{eff})\mu E \\ &= W \left(C_{ox} \frac{V_{gs} - V_{th}}{2} \right) \left(\mu \frac{V_{gs} - V_{th}}{L} \right) \\ &= \frac{W}{2L} \mu C_{ox} (V_{gs} - V_{th})^2 \end{aligned} \right\} \quad (6.29)$$

同样地, 在线性区域, 可用下列公式表示

$$\left. \begin{aligned} V_{gs} &\geq V_{ds} + V_{th} \\ I_{ds} &= W(C_{ox}V_{eff})\mu E \\ &= W \left\{ C_{ox} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \right\} \mu \frac{V_{ds}}{L} \\ &= \frac{W}{L} \mu C_{ox} \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) V_{ds} \end{aligned} \right\} \quad (6.30)$$

上述的三个公式为 MOS 晶体管的漏极电流式。电路模拟程序中实际

使用的电流式还要考虑亚阈值电流、短沟道效应和强电场下出现的迁移率下降和载流子速度饱和等物理现象。为了在求解时获得好的收敛性,要使三个区域连续且可微分。

为了使利用这些解析式进行模拟的结果和实际的 MOS 晶体管的电流-电压特性相一致,必须对式中含有的迁移率 μ 、阈值电压 V_{th} 等参数作最优化处理。

6.4.2 倒相器链电路的特性模拟

电路由器件和器件连接而组成,其连接点称为节点。对电路中的各个节点采用基尔霍夫电流法则,含有电压源时对其闭合电路采用基尔霍夫电压法则,形成总数为节点数和电压源数和的联立方程式。一般说来,这些联立方程式可用电导矩阵和节点电压矢量的乘积等于电流矢量这种形式来表示。当电路中含有非线性器件时,联立方程式可用不同电压时,偏微分形式表示的电导和端电压的乘积与等效电流源的电流和(等效线性模式, companion model)来表示。此外,含有电容和电感元件时也可用等效线性模式来表示,但是此时等效线性模式中是采用解析时刻前的电压状态和时间间隔来联立方程的,这是与电流电压非线性器件不同之处。

直流解析时,先列出电容开路、电感短路的电路方程式,然后可用解非线性方程的牛顿-Raphson 法或解矩阵方法之一的 LU 分解法解出节点的电压值。瞬态解析时,首先根据等效线性模式列出含有电容、电感之类的阻抗随时间间隔变化元件的电路方程式,求出某一时刻的电路方程式的解,然后再求出下一时刻电路方程式的解,按此反复对电路方程式求解,就可得到各个时刻的节点电压值。

下面,试用瞬态解析法求图 6.11 所示的 CMOS 倒相器链电路的端电压。电路模拟程序的输入文件如图 6.12 所示。输入文件分成定义收敛条件等的控制部分、定义电路连接信息的电路部分、定义输出电压电流等的输出控制部分以及器件模式部分。在器件模式部分中,定义着曾在 6.4.1 节中介绍过的参数。图 6.13 表示各端电压随时间变化的解析结果(CMOS 倒相器的工作原理参照 5.2 节)。

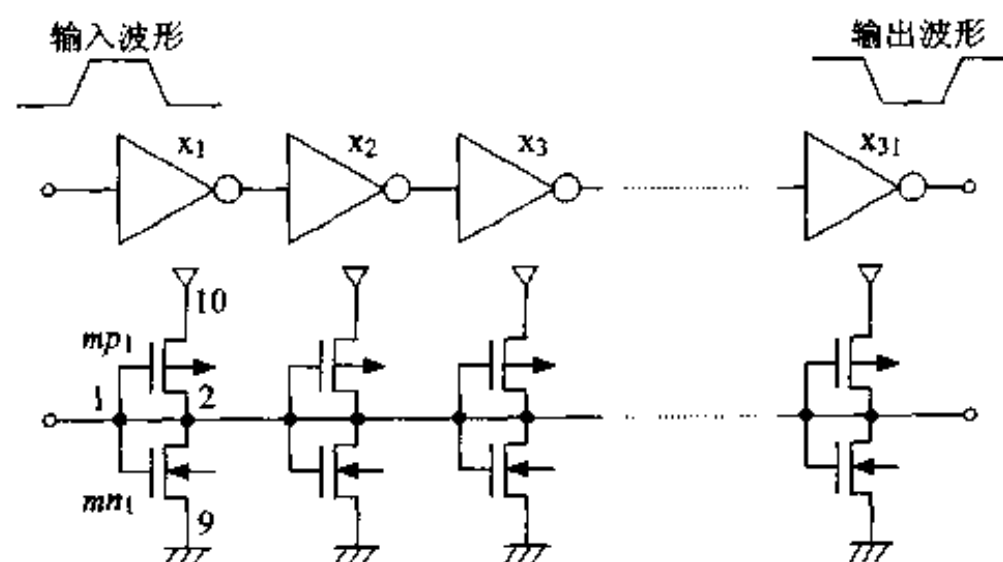


图 6.11 CMOS 倒相器链电路

```

*file:CMOS Inverter Chain Circuit Simulation
.options node method=trap temp=27 gmin=1.0p
+itl1 1=100 itl2=50 itl3=4 itl4=10 abstol=1p vntol=1u
.tran 10ps 5.5ns
vdd 100 0 3.3
vin 10 0 pulse(0 3.3 0.5ns 0.1ns 0.1ns 2.4ns 5ns)
.subckt inv 1 2 10 9
mp1 2 1 10 10 pch 1=0.6u w=9.0u
mn1 2 1 9 9 nch 1=0.6u w=6.0u
.ends inv
x1 10 11 100 0 inv
x2 11 12 100 0 inv
...
x30 39 40 100 0 inv
x31 40 41 100 0 inv
.print tran v(10) v(11) v(12) v(13) v(14) v(30) v(31)
.model nch nmos level=
+
...
.end

```

控制部分

电路部分

输出控制部分

器件模式部分

图 6.12 电路模拟输入文件

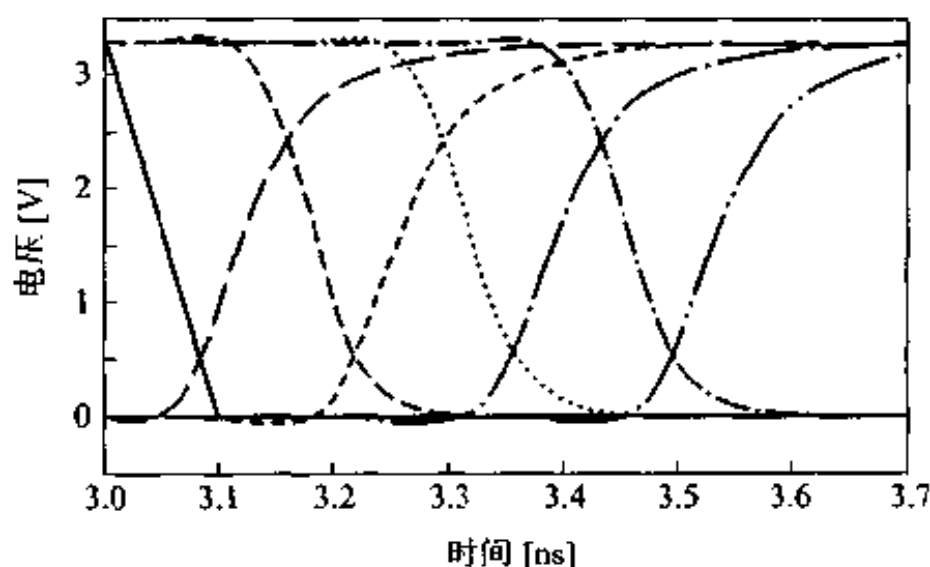


图 6.13 CMOS 倒相器链电路的瞬态解析结果

6.5 模拟结果和实际的差异

本章主要介绍了应用计算机模拟基本集成电路,再评估其性能,即所谓假想工厂的基础技术。最近,由于模式精度的提高,只要不超出规定的使用范围,基本上可预测到实物的特性。但是,在工艺模拟中,因为不能把实际设备设定的参数直接输入到计算机中去,所以还没有完全达到假想工厂的程度。此外,如何处理所用器件的性能偏差等问题,也是今后的研究课题之一。

练 习 题

- 1 列出 MOS 二极管杂质分布模拟时使用的方程式(6.10)中的各个系数 a 、 b 、 c 、 d 。
- 2 列出图 6.14 所示电路的电路方程式,用 LU 分解法求出各节点的电压值和流过电压源的电流值。

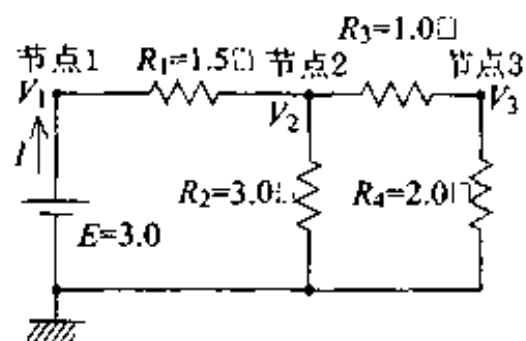


图 6.14 由电阻和直流电源组成的电路

引用文献

- [1] B. E. Deal, et al. : General relationship for the thermal oxidation of silicon, J. Appl. Phys. , 36 (1965) , p. 3770
- [2] S. Tazawa, et al. : A general characterization and simulation method for deposition and etching technology, IEEE Trans. Semiconductor Manufacturing, 5, 1 (1992) , p. 27
- [3] A. R. Neureuther, et al. : Application of line-edge profile simulation to thin-film deposition process, IEEE Trans. Electron Devices, ED-27, 8 (1980) , p. 1449
- [4] S. Tazawa, et al. : A high-speed 2-D topography simulator based on a pixel model, IEEE Trans, Computer-Aided Design of Integrated Circuits and Systems, 16, 4 (1997) , p. 386
- [5] K. Yamaguchi: A mobility model for carriers in the MOS inversion layer, IEEE Trans. Electron Devices, ED-30, 6 (1983) , p. 658

练习题解答

1

1 省略(请参照正文)。

2 省略(请参照正文)。

3 省略(请参照正文)。

2

1 利用式(2.1)、式(2.3)和关系式 $np \approx n_i^2$, p 型半导体的少数载流子浓度为

$$n_{po} = \frac{n_i^2}{p_{po}} = \frac{2.1 \times 10^{20}}{2.1 \times 10^{15}} = 10^5 \text{ cm}^{-3}$$

则扩散电位

$$\Phi_B = \frac{kT}{q} \ln \left(\frac{n_{n0}}{n_{po}} \right) = 0.0259 \times \ln \left(\frac{10^{20}}{10^5} \right) \approx 0.89 \text{ V}$$

由单边突变结(浅扩散结)的耗尽层厚度公式求出

$$W = \sqrt{\frac{2\varepsilon_s \Phi_B}{qN_A}} = \sqrt{\frac{2 \times 11.9 \times 8.854 \times 10^{-14} \times 0.89}{1.6 \times 10^{-19} \times 2.1 \times 10^{15}}} = 0.75 \mu\text{m}$$

2 利用式(2.5)得

$$C = \frac{\varepsilon_s}{W} = \frac{11.9 \times 8.854 \times 10^{-14} \text{ F/cm}}{0.75 \times 10^{-4} \text{ cm}} = 140.5 \times 10^{-10} \text{ F}$$

$$C_D = C \times A_J = 140 \times 0.0016 \times 10^{-10} \text{ F} = 22 \text{ pF}$$

3 利用式(2.8)、式(2.9)求值,进行比较。利用练习题 1 中的 W 和 $N_A = 10^{15}$ 时的 D_n 和 τ_n ,得

$$\begin{aligned} I_{\text{gen}} &= \frac{1}{2} q \frac{n_i}{\tau_n} W A_J \\ &= \frac{1}{2} \times 1.6 \times 10^{-19} \times \frac{1.45 \times 10^{10} \text{ cm}^{-3}}{10^{-5}} \times 0.75 \times 10^{-4} \times A_J = 14 \text{ pA} \end{aligned}$$

$$I_{\text{diffn}} = q D_n \frac{n_{po}}{L_n} A_J$$

$$L_n \approx \sqrt{D_n \tau_n} = \sqrt{30 \times 1 \times 10^{-5}} \approx 1.73 \times 10^{-2} \text{ cm} = 173 \mu\text{m}$$

$$\begin{aligned} I_{\text{diffn}} &= 1.6 \times 10^{-19} \times 30 \text{ cm}^2/\text{s} \times \frac{10^5}{173 \times 10^{-2} \text{ cm}} \times 0.0016 \text{ cm} \\ &= 4.4 \times 10^{-14} \text{ A} = 0.044 \text{ pA} \end{aligned}$$

则耗尽层中产生的电流分量 I_{gen} 是电流的主要成分。

❶ 省略(请参照正文)。

❷ 为了增大 h_{FE} , 需增加 $I_C(I_{diff,B})$ 。由式(2.23)可知, 必须降低基区的杂质浓度, 减小基区厚度。为了增大 γ , 发射区的杂质浓度要尽量大于基区的杂质浓度, 为了使 α_T 接近 1, 应尽量不使载流子在基区和集电结耗尽层中复合。

❸ 设 $\alpha_T = 1$, 因为 $W_B \ll L_n = \sqrt{D_n \tau_n} = 63 \mu\text{m}$, 根据式(2.23) 式(2.24)得

$$\begin{aligned} I_C &\approx I_{diff,B} = -qD_B \frac{n_p(0)}{W_B} A_J = -qD_B \frac{n_i^2}{N_B W_B} e^{\frac{qV_{EB}}{kT}} A_J \\ &= 1.6 \times 10^{-19} \times 20 \times \frac{2.1 \times 10^{20}}{10^{17} \times 2 \times 10^{-4}} e^{\frac{0.6}{0.0259}} A_J \\ &= 33.6 \times 10^{-12} \times 1.15 \times 10^{10} \times 0.0016 = 0.62 \text{ [mA]} \end{aligned}$$

❹ 设铝的功函数 $q\phi_{Al} = 4.1 \text{ eV}$ 。假设多晶硅的 E_F 和 E_C 一致, 则 n^+ 型多晶硅的功函数可以看成 $q\phi_{Si} = 4.15 \text{ eV}$ 。n 型杂质浓度为 $1 \times 10^{16} \text{ cm}^{-3}$ 的硅的 ϕ_B 和功函数 $q\phi_{sem}$ 分别为

$$\phi_B = \frac{kT}{q} \ln\left(\frac{n}{n_i}\right) = 0.0259 \times \ln\left(\frac{1 \times 10^{16}}{1.45 \times 10^{10}}\right) = 0.35 \text{ [V]}$$

$$\phi_{sem} = \frac{1}{q} \chi_{Si} + \frac{E_g}{2q} - \phi_B = 4.15 + 0.56 - 0.35 = 4.36 \text{ [V]}$$

则

$$\phi_{ms} = \phi_{Al} - \phi_{sem} = 4.1 - 4.36 = -0.26 \text{ [V]} \quad (\text{Al})$$

$$\phi_{ms} = \phi_{polySi} - \phi_{sem} = 4.15 - 4.36 = -0.21 \text{ [V]} \quad (\text{n 型多晶硅})$$

❺ 阈值电压由式(2.38)求得

$$V_T = V_{FB} + 2\phi_B + \frac{Q_B}{C_{ox}}$$

$$V_{FB} = \phi_{ms} - \frac{Q_{ss} + Q_f}{C_{ox}} = -0.91 - \frac{9 \times 10^{10} \times 1.6 \times 10^{-19}}{2.88 \times 10^{-8} \text{ F}} = -1.41 \text{ [V]}$$

$$\phi_{ms} = \phi_m - \left(\chi_{Si} + \frac{E_g}{2q} + \phi_B\right) = 4.15 - (4.15 + 0.56 + 0.35) = -0.91 \text{ [V]}$$

$$C_{ox} = \frac{\epsilon_{ox}}{d_{ox}} = \frac{3.9 \times 8.854 \times 10^{-14}}{0.12 \times 10^{-4}} = 2.88 \times 10^{-8} \text{ [F/cm}^2\text{]}$$

$$\frac{Q_B}{C_{ox}} = \frac{\sqrt{2\epsilon_s q N_A (2\phi_B)}}{2.88 \times 10^{-8}}$$

$$= \frac{\sqrt{2 \times 11.9 \times 8.854 \times 10^{-14} \times 1.6 \times 10^{-19} \times 10^{16} \times 0.7}}{2.88 \times 10^{-8}}$$

$$= 1.69 \text{ [V]}$$

$$\text{则 } V_T = -1.41 + 0.7 + 1.69 = 0.98\text{V}$$

- ⑨ 根据阈值电压公式(2.44),要使 V_T 为正值,应该①减小 C_{ox} (增加 d_{ox}),②加大掺杂浓度 N_A ,③加反向偏压 V_{BS} ,④栅金属电极尽量采用 ϕ_m 大的材料。

- ⑩ 由式(2.40)得

$$\begin{aligned}\mu_{eff} &= I_D \frac{L}{W} \frac{1}{C_{ox}(V_G - 1)V_D} \\ &= 9 \times 10^{-6} \text{A} \times \frac{1}{2} \times \frac{1}{2.88 \times 10^{-8} \text{F} \times 4\text{V} \times 0.05\text{V}} = 781 [\text{cm}^2/(\text{V} \cdot \text{s})] \\ \mu_{FE} &= \left(\frac{dI_D}{dV_G} \right) \frac{L}{W} \frac{1}{C_{ox}V_D} = 694 [\text{cm}^2/(\text{V} \cdot \text{s})]\end{aligned}$$

- ⑪ 根据式(2.40)

$$I_D = \frac{W}{L} \mu_n C_{ox} (V_G - V_T) V_D$$

又根据比例缩小法则(表 2.1)

$$I_D \propto \frac{1/K}{1/K} \times 1 \times K \times \left(\frac{1}{K} \right) \times \left(\frac{1}{K} \right) = \frac{1}{K}$$

延迟时间为

$$\frac{VC}{I_D} \propto \frac{1/K \times 1/K}{1/K} = \frac{1}{K}, \text{则速度为 } K \text{ 倍。}$$

3

- 1 省略(请参照正文)。
- 2 省略(请参照正文)。
- 3 省略(请参照正文)。
- 4 省略(请参照正文)。
- 5 根据 Irvin 曲线,杂质浓度为 $5 \times 10^{15} \text{cm}^{-3}$,根据式(3.7)方块电阻 $R_f = 10^3 \Omega/\square$ 。
- 6 省略(请参照正文)。
- 7 因为杂质的相对浓度为: $C_B/C_S = 5 \times 10^{-6}$,由图 3.8 得到 $x_j/2\sqrt{Dt} = 3.3$,将 $D = 2 \times 10^{-13} \text{cm}^2/\text{s}$, $t = 1800\text{s}$ 代入计算可得 $x_j = 1.25\mu\text{m}$ 。
- 8 省略(请参照正文)。
- 9 主要由曝光时使用的光的波长和光学系统透镜的口径来决定的。为了提高分辨率,必须缩短光的波长、加大透镜的口径。但是,随着分辨率的提高,焦深变短,对表面的平坦度的要求更加严格。

4

1 电子和空穴的浓度分布如下图所示。基区宽度约为 $1\mu\text{m}$ 。

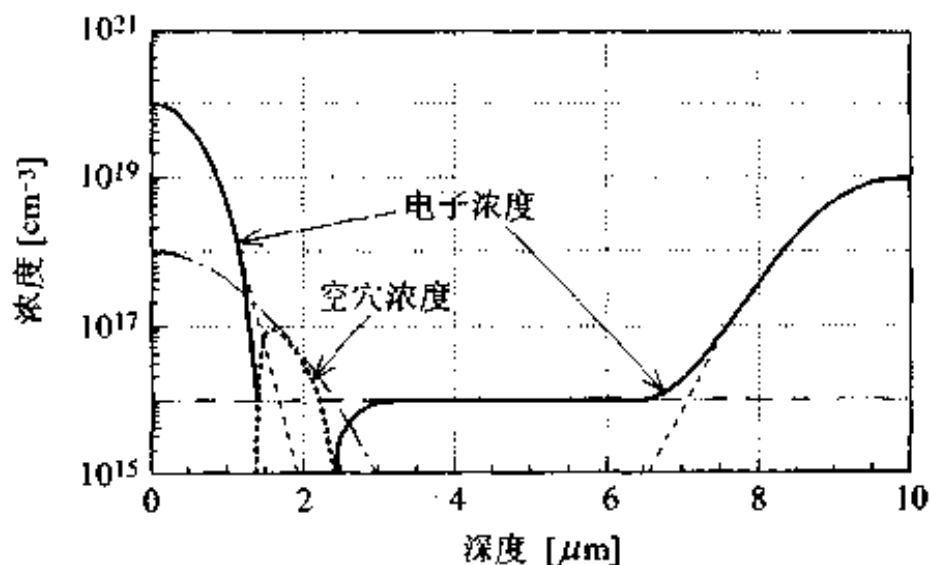


图 电子空穴浓度分布图

2 1mol 分子硅 (28g) 所占的体积为 $28\text{g} \div 2.3\text{g}/\text{cm}^3 = 12.17\text{cm}^3$, 1mol 分子中含有阿伏加德罗常数 (6.02×10^{23}) 个原子, 所以硅原子的体密度为 $6.02 \times 10^{23} \div 12.17 = 4.95 \times 10^{22} [\text{cm}^{-3}]$ 。

面密度为体密度的 $2/3$ 次方, 则为 $1.35 \times 10^{15} \text{cm}^{-2}$ 。

杂质浓度为 1% 时, 体密度为 $4.95 \times 10^{20} \text{cm}^{-3}$, 1ppm 时的体密度为 $4.95 \times 10^{16} \text{cm}^{-3}$ 。

界面能级密度与表面硅原子数的比为 $(1 \times 10^{10}) \div (1.35 \times 10^{15}) = 7.4 \times 10^{-6}$ 。

3 将 $R = 1\text{k}\Omega$, $R_f = 50\Omega/\square$, $W = 2\mu\text{m}$ 代入式 $R/R_f = L/W$, 得长度 $L = 40\mu\text{m}$ 。

4 铝布线的布线电阻根据式 $R = R_f L/W$, 得 $R = 0.5\Omega$ 。寄生电容量根据式 $C = (\epsilon_0 \epsilon_{ox} / t_{ox}) LW$, 得 $C = 6.9 \times 10^{-16} \text{F}$ 。

5

1 省略 (请参照正文)。

2 省略 (请参照正文)。

3 省略 (请参照正文)。

4 电源电压 5V 时为 25W , 1V 时为 1W 。

5 省略 (请参照正文)。

6

$$a = -\frac{D(j-1) + D(j)}{\Delta z(j-1)}$$

$$b = \frac{\Delta z(j-1) + \Delta z(j)}{\Delta t} + \frac{D(j-1) + D(j)}{\Delta z(j-1)} + \frac{D(j+1) + D(j)}{\Delta z(j)}$$

$$c = -\frac{D(j+1) + D(j)}{\Delta z(j)}$$

$$d = \frac{\Delta z(j-1) + \Delta z(j)}{\Delta t} C_m(j)$$

$$\begin{bmatrix} -\frac{1}{R_1} & \frac{1}{R_1} & 0 & 1 \\ \frac{1}{R_1} & -\left(\frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}\right) & \frac{1}{R_3} & 0 \\ 0 & \frac{1}{R_3} & -\left(\frac{1}{R_3} + \frac{1}{R_4}\right) & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ I \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ E \end{bmatrix}$$

将电导矩阵分成下三角矩阵和上三角矩阵。

$$\begin{bmatrix} -\frac{2}{3} & \frac{2}{3} & 0 & 1 \\ \frac{2}{3} & -2 & 1 & 0 \\ 0 & 1 & -\frac{3}{2} & 0 \\ 1 & 0 & 0 & 0 \end{bmatrix} = \begin{bmatrix} -\frac{2}{3} & 0 & 0 & 0 \\ \frac{2}{3} & -\frac{4}{3} & 0 & 0 \\ 0 & 1 & -\frac{3}{4} & 0 \\ 1 & 1 & \frac{3}{4} & 3 \end{bmatrix} \cdot \begin{bmatrix} 1 & -1 & 0 & -\frac{3}{2} \\ 0 & 1 & -\frac{3}{4} & -\frac{3}{4} \\ 0 & 0 & 1 & -1 \\ 0 & 0 & 0 & 1 \end{bmatrix}$$

$$\begin{bmatrix} -\frac{2}{3} & 0 & 0 & 0 \\ \frac{2}{3} & -\frac{4}{3} & 0 & 0 \\ 0 & 1 & -\frac{3}{4} & 0 \\ 1 & 1 & \frac{3}{4} & 3 \end{bmatrix} \cdot \begin{bmatrix} X_1 \\ X_2 \\ X_3 \\ X_4 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 3 \end{bmatrix} \Rightarrow \begin{bmatrix} X_1 \\ X_2 \\ X_3 \\ X_4 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix}$$

$$\begin{bmatrix} 1 & -1 & 0 & -\frac{3}{2} \\ 0 & 1 & -\frac{3}{4} & -\frac{3}{4} \\ 0 & 0 & 1 & -1 \\ 0 & 0 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ I \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix} \Rightarrow \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ I \end{bmatrix} = \begin{bmatrix} 3 \\ \frac{3}{2} \\ 1 \\ 1 \end{bmatrix}$$

参考文献

■ 2

- 1) A. S. Grove : Physics and Technology of Semiconductor Device, John Wiley & Sons (1967) ; 垂井康夫監訳 : 半導体デバイスの基礎, オーム社 (1986)
- 2) S. M. Sze : Physics of Semiconductor Devices, John Wiley & Sons (1981)
- 3) W. Shockley : Electrons and Holes in Semiconductors, D. Van Nostrand Co. Inc. (1950)

■ 3

- 1) S. M. Sze: VLSI Technology, McGraw-Hill Book Com. (1988)
- 2) 中村哲郎, 石田誠, 臼井支朗 : 集積回路技術の実際, 産業図書 (1987)
- 3) 柳井久義, 永田稔 : 集積回路工学 (I), コロナ社 (1987)
- 4) R. M. Burger and R. P. Donovan : Fundamentals of SILICON INTEGRATED DEVICE TECHNOLOGY Vol. I, Prentice-Hall, Inc. (1967) ; 菅野卓雄監訳 : シリコン集積素子技術の基礎, 地人書館 (1970)

■ 4

- 1) S. M. Sze : Physics of Semiconductor Devices, John Wiley & Sons (1981)
- 2) S. Yang : Fundamentals of Semiconductor Devices, McGraw-Hill (1978)
- 3) 菅野卓雄監修, 香山晋編 : 超高速MOSデバイス, 培風館 (1986)
- 4) 菅野卓雄監修, 永田稔編 : 超高速バイポーラデバイス, 培風館 (1986)

■ 5

- 1) 菅野卓雄監修, 飯塚哲哉編 : CMOS超LSIの設計, 培風館 (1989)
- 2) N. Weste, K. Eshraghian 著, 富沢孝, 松山泰男監訳 : CMOS VLSI設計の原理, 丸善 (1988)

■ 6

- 1) S. M. Sze : VLSI Technology, McGraw-Hill Book Com. (1988)
- 2) ホームページ (<http://www-cad.eecs.berkeley.edu/Software/software.html>) を参考にするとよい.
- 3) N. Arora : MOSFET Models for VLSI Circuit Simulation ; Theory and Practice, Springer-Verlag Wien New York (1993), またホームページ (<http://www-devive> .

EECS. Berkeley.EDU/~bsim3) も参考にするとよい.

- 4) R. M. Kielkowski : Inside SPICE ; Overcoming the Obstacles of Circuit Simulation,
McGraw-Hill (1994)

OHM 电子电气入门丛书

- | | | |
|-----------|---------------------------------|----------------|
| 图解电子电路 | [日]福田 务 栗原 丰 向坂荣夫 著 丁国骏 译 | 大 32 开 21.00 元 |
| 图解电与磁 | [日]福田 务 著 赵立竹 译 | 大 32 开 16.50 元 |
| 图解电气电子测量 | [日]熊谷文宏 著 王益全 译 | 大 32 开 17.50 元 |
| 图解晶体管电路 | [日]饭高成男 椎名晴夫 田口英雄 著 蒋铃鸽 译 | 大 32 开 18.50 元 |
| 图解运算放大器电路 | [日]内山明治 村野 靖 著 陈镜超 译 | 大 32 开 21.00 元 |
| 图解电子电路的计算 | [日]栗原 丰 向坂荣夫 福田 务 著 陈 敏 译 | 大 32 开 16.00 元 |
| 图解数字电路 | [日]内山明治 堀江俊明 著 曹广益 译 | 大 32 开 17.00 元 |
| 图解数字电路的计算 | [日]饭成高男 椎名晴夫 田口英雄 著 钱允琪 译 | 大 32 开 17.50 元 |
| 图解电力技术 | [日]福田 务 相原良典 著 提兆旭 译 | 大 32 开 18.00 元 |
| 图解电力应用 | [日]木村博司 粉川昌巳 著 程君实 译 | 大 32 开 19.00 元 |
| 图解电机电器 | [日]饭田成男 泽间照一 著 李福寿 译 | 大 32 开 18.00 元 |
| 图解通信 | [日]伊落 崧 石井坚太郎 大园博嗣 桥本三男 著 何 晨 译 | 大 32 开 19.00 元 |

OHM 电子电气入门丛书图解电子电路讲座

- | | | |
|-------|-----------------|----------------|
| 晶体管电路 | [日]曾和格客 著 邹振民 译 | 大 32 开 16.50 元 |
| 放大电路 | [日]砂泽 学 著 商福昆 译 | 大 32 开 15.00 元 |

振荡/调制解调电路	[日]小柴典居 植田佳典 著 李 平 译 大 32 开 16.00 元
脉冲电路	[日]清水贤资 鸿田五郎 著 彭 斌 译 大 32 开 12.00 元
数字电路	[日]清水贤资 曾和将容 著 白玉林 译 大 32 开 14.00 元
放大电路的设计	[日]喜安善市 伏见和郎 主编 小柴典居 著 白玉林 译 大 32 18.00 元

图解电子电路系列

电路基础	[日]饭高成男 著 张建荣 译 大 32 开 15.00 元
模拟电路 I	[日]佐野敏一 高木寛昭 竹内 守 著 张建荣 译 大 32 开 13.00 元
模拟电路 II	[日]柄本治利 真真田胜久 著 张建荣 译 大 32 开 14.00 元
脉冲电路	[日]菅谷光雄 中村征寿 著 何希才 译 大 32 开 14.00 元
数字电路	[日]伊藤恭史 著 韦 琳 潘桂堂 译 大 32 开 16.00 元

图解机电一体化入门系列

机电一体化电子学入门	[日]妹尾允史 著 金寿日 译 大 32 开 18.00 元
信号处理入门	[日]佐藤幸男 著 宋伟刚 译 大 32 开 16.00 元
数字控制入门	[日]高木章二 著 王橡棠 译 大 32 开 20.00 元
CAD/CAM/CAE 入门	[日]安田仁彦 著 赵文珍 译 大 32 开 17.00 元
控制用微机入门	[日]末松良一 著 刘本伟 译 大 32 开 19.00 元

接口电路入门	[日]藤原修 著 张家齐 译 大 32 开 17.00 元
传感器入门	[日]雨宫好文 著 洪津赫 译 大 32 开 16.50 元
机械控制入门	[日]末松良一 著 王献平 高航 译 大 32 开 15.00 元
电子机械控制入门	[日]妹尾允史 著 白玉林 商福昆 译 大 32 开 14.00 元
机器人控制入门	[日]大熊繁 著 王益全 译 大 32 开 16.50 元
控制用电机入门	[日]松井信行 著 王禄棠 译 大 32 开 16.00 元

图解录音录音技术丛书

图解录音制作入门	[日]相泽昭八郎 高和元彦 半田健一 著 何希才 张凤梧 贾波 尤克 译 16 开 16.00 元
图解录音技法入门	[日]若林骏介 著 何希才 唐绳斌 高杨 译 16 开 28.00 元
图解数字音响技术	[日]中岛平太郎 编著 袁榕林 译 大 32 开 15.00 元
图解 CD 制激光数字唱片系统	[日]中岛平太郎 小川博司 著 袁榕林 译 大 32 开 19.00 元
图解数字磁带录音机	[日]中岛平太郎 小高健太郎 著 何希才 张凤梧 译 大 32 开 24.00 元

光纤网络技术系列

数字同步传输 SDH 系统	[日]河西宏之 横一光 辻久雄 著 杨明君 译 大 32 开 12.00 元
光接入网技术	[日]山下一郎 川濑正明 太明纪久 著 杨明君 许秀英 译 大 32 开 12.00 元
图解 B-ISDN 宽带综合业务数字网	[日]立川敬二 石川宏 著 金文雄 强增福 译 16 开 28.00 元

巨龙图解电脑系列

- | | | |
|------------------|-----------------|------------|
| 图解 Windows 98 | [日]小野胜彦 著 彭斌 译 | 16开 39.00元 |
| 图解 Word 97 | [日]户内顺一 著 彭斌 译 | 16开 29.00元 |
| 图解 Excel 97 | [日]山形库之助 著 许雨 译 | 16开 29.00元 |
| 图解 Excel 97 图表制作 | [日]渡边八一 著 许雨 译 | 16开 29.00元 |

图解建筑装饰设计系列

- | | | |
|------------------|--|------------|
| 图解室内装饰设计方法 | [日]小宫容一 著 阮志大 王炜钰 译 | 16开 21.00元 |
| 图解室内装饰设计基础与技巧 | [日]横崎雄之 著 冯乃谦 译 | 16开 24.00元 |
| 图解室内装饰材料——选择与使用 | [日]小宫容一 著 冯乃谦 译 | 16开 20.00元 |
| 图解室内装饰设计图——读图与绘图 | [日]尾上孝一 著 史其信 译 | 16开 20.00元 |
| 图解设计表示图法入门 | [日]定松修三 定松润子 著
陆化普 史其信 陈娟 译 | 16开 21.00元 |
| 图解店铺的规划与设计 | [日]横崎雄之 著 冯乃谦 译 | 16开 23.00元 |
| 图解室内照明 | [日]小泉实 著 邸更岩 李文林 译 | 16开 32.00元 |
| 图解建筑设备知识 | [日]山田信亮 打矢澄二 井上国博 冈田诚之 曾我那繁 著
卢有杰 卢莉云 译 | 16开 16.00元 |
| 图解防震结构入门 | 日本防震构造协会 编 叶列平 译 | 16开 25.00元 |

生活与科学文库 OHM 版系列

数字革命新时代

[日]桑野幸德 著 杨明君 张凤梧 常敏慧 译
卢乃洪 何希才 校 32 开 12.00 元

我们的地球——让我们都来关心环境问题

[日]浦野弘平 著 傅二林 译
32 开 7.00 元

空气、环境与人

[日]健康住宅促进会 编著 彭 斌 译
9.00 元

其 它

电力系统规划与运行

[日]田村康男 著 提兆旭 曹长征 译
大 32 开 24.00 元

图解小型空调器——使用安装与维修

[日]OHM 社 编 邸更岩 译
大 32 开 13.00 元

图解静电感应器件

[日]西泽润一 监修 村冈公裕 龙田正隆 主编
吴康迪 董建中 吴天云 译
大 32 开 25.00 元

图解食品加工

[日]西山隆造 安乐丰满 著 梁 燕 译
大 32 开 12.00 元

图解新产品开发指南

[日]铃木维男 著 倪心一 张玉佳 译
大 32 开 12.00 元

2000 年预定出书

图解电工学入门

[日]OHM 社 编 何希才等 译
A5 25.00 元

图解电子学入门

[日]OHM 社 编 薛培鼎等 译
A5 20.00 元

图解日英汉电子/电气/信息词典

[日]新电气编辑部 编 A5 27.00 元

电子器件

[日]神保孝志 编著 A5 13.00 元

光电子学

[日]梅野正义 编著 A5 13.00 元

集成电路(A、B)

[日]荒井英辅 编著 邵春林等 译
A5 24.00元(全二册)

实用混凝土大全

冯乃谦 主编
16开 140.00元

图解大厦设备基础百科

[日]设备和管理编辑部 编
16开 35.00元

图解写字楼设备设计指南

[日]空气调和·卫生工学会 编
16开 20.00元

图解建筑设计计算

[日]山田修 著 卢有杰 译
16开 27.00元

图解洗手间的设计与维护

[日]坂本菜子 著 乔春生 张培军 译
16开 49.00元

图解店铺装潢设计图——读图与绘图

[日]山本洋一 著 杨静等 译
16开 20.00元

图解住宅建筑图——读图与绘图

[日]吉松正行 松泽哲次郎 唐泽俊明 近藤优三 著
冯乃谦等 译
16开 21.00元

图解汽车驾驶——手动档

科龙工作室 编
12.00元

图解汽车驾驶——自动档

科龙工作室 编
12.00元

图解女性安全驾驶技术

科龙工作室 编
13.00元

记忆力减退的自我检测和预防

[日]筑山节 著 孙晖等 译
15.00元

利用微生物保健

[日]井上真由美 著 玄明奎 译
11.00元

脑和神经的奥秘

[日]小林繁 熊仓鸿之助 黑田洋一郎 畠中宽 著
孙晖等 译
15.00元

图解生活中的科学小实验

[日]西山隆造 著 刘广源 译
13.00元

吃出健康

[日]西山隆造 三宅纪子 鹤水昭夫 著
13.00 元

舒适的室内环境设计

[日]小原俊平 古泽隆彦 菅真一郎 安藤 启 藤田茂明 著
彭 斌 译
11.00 元

图解住宅装饰的步骤

[日]山本佐代子 著
10.00 元

网络革命开创 21 世纪的新市场

[日]杉野 升 伊藤利朗 编著 李 奕 译
15.00 元

本书著作权和专有出版权受到《中华人民共和国著作权法》的保护。凡对本书的一部分或全部进行转载、或用复印机进行复制或在其场合引用、以及录入电子设备等行为,均属侵害著作权,构成违法。

本书如需复制、引用、转载、改编时,必须得到版权所有者的许可。

如有任何疑问请与以下部门联系。联系时请尽量使用信函或传真形式。

科学出版社总编室 电话:010-64010643 传真:010-64019810

邮政编码:100717 地址:北京市东黄城根北街16号

北京东方科龙电脑图文制作有限公司 电话:010-82087401 传真:010-62072304

邮政编码:100029 地址:北京市朝阳区华严北里11号楼2层

[G e n e r a l I n f o r m a t i o n]

书名 = 2 1 世纪大学新型参考教材系列 集成电路 A

作者 = B E X P

页数 = 1 4 2

下载位置 = [http : / / 2 0 2 . 1 1 8 . 1 8 0 . 1 2 1 / e b o o k / s j y 0 1 / d i s k e f / e f 7 3 / 0 2 / ! 0 0 0 0 1 . p d g](http://202.118.180.121/ebook/sjy01/diskef/ef73/02/!00001.pdg)