

DESIGN SHOWCASE

具有双路或差分输出的 晶体振荡器

许多应用中，常常需要一个高质量的频率源（即振荡器）。例如无线手持设备中的本振（LO）、锁相LO中的参考频率、或者微处理器和数据采集系统中的主时钟源等。

对于一个系统设计者来说，频率的精度和稳定度是关键参数。精度关系到频率的初值，而稳定度则影响到频率的相位噪声（短期）和随温度及时间的漂移（长期）。对于一个晶体振荡器设计者来说，关键参数则只与谐振器本身有关：谐振频率、电抗和Q值。除相位噪声外，这些参数几乎仅与石英晶体有关。

要取得低相位噪声有赖于谐振器和有源器件。谐振器应具有高Q值（大多数石英晶体具有相当高

的Q值，在10,000至50,000之间）。有源器件应该具有低闪烁噪声和低噪声系数，而且它对谐振器的负载应该最小。这正是MAX2620所具备的特性：高频双极工艺所特有的低闪烁噪声、低噪声系数和低寄生 r_b ，其内部有源器件对谐振器的负载极轻，使振荡电路保持了很高的带载Q值。图1所示为一个简单的晶体振荡器。

在有源振荡器单元MAX2620中还提供一个缓冲放大器，能够尽可能地减小负载变化对振荡器频率的影响，+2.7V至+5.25V的工作电压范围，对电源变化不敏感的内部偏置，电源关断能力，和两个集电极开路输出，可以配置为两个单端输出或一个差分输出。

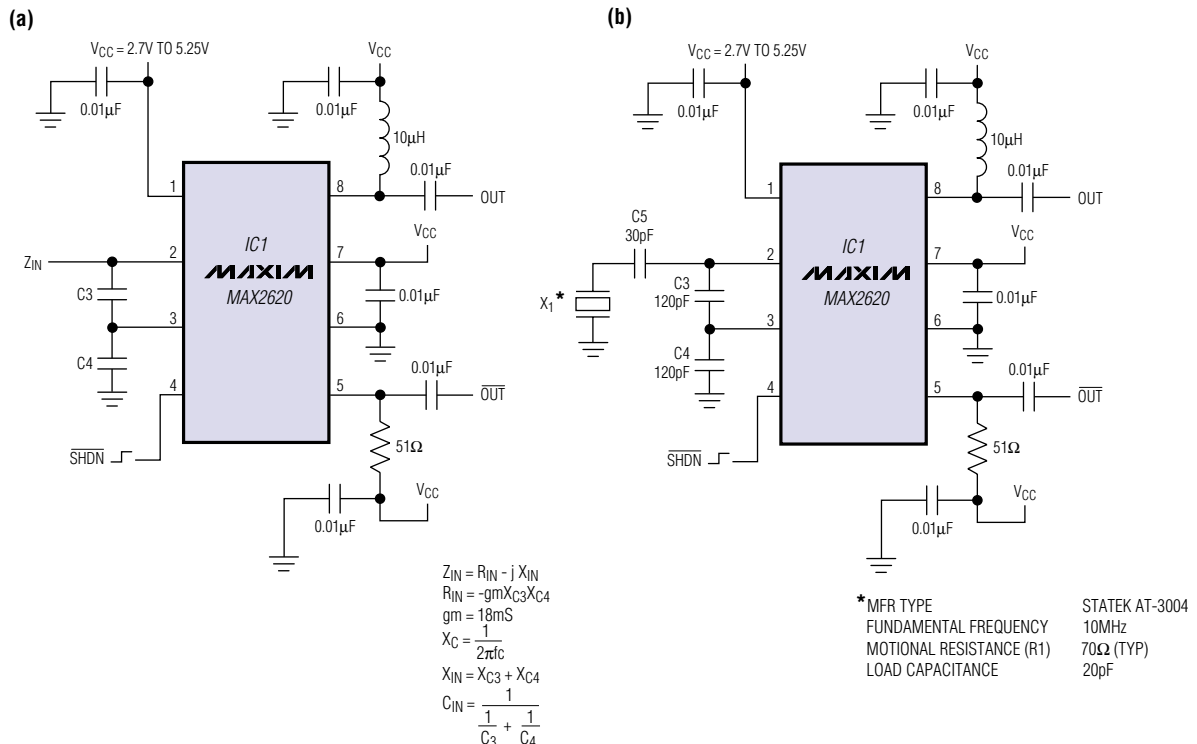


图1. 基于单振荡器IC的简易晶体振荡器。晶体谐振器 X_1 示于图(b)。

选择晶体振荡器的首要指示通常为频率、初始频率精度和频率稳定性与温度和时间的关系。实际上，一个设计者应该注意晶体振荡器的中心频率、Q 值、动态阻抗和负载容抗。这些参数使设计者能够计算出振荡电路外接电容的大小。

在图 1b 中，晶体谐振器(X_1)是 Statek 公司的表面贴装、基频模式的元件。其动态阻抗值可以用来计算图 1a 中的 C3 和 C4 的大小，且应考虑最坏情况下的取值(最大)。在这种情况下，器件制造商指定最大动态阻抗为 150Ω 。为了振荡器启振，该值应该小于有源器件的输入负阻抗 ($R_{IN} = -g_m X_{C3} X_{C4}$) 的幅值；请参见图 1a。实际应用中，它应该不足一半。所以，

$$g_m X_{C3} X_{C4} \geq 2R_{1MAX}$$

这里，

g_m 是有源元件的跨导。这种情况下，它等于 $18mS$ (18 毫西门子)。

X_{C3} 是电容 C3 的阻抗 ($1/2\pi f C3$)。

X_{C4} 是电容 C4 的阻抗 ($1/2\pi f C4$)。

R_{1MAX} (150Ω) 是晶体谐振器最大动态电阻。

若折衷并且取 $X_{C3} = X_{C4}$ ，则

$$X_{C4} \geq \sqrt{2R_{1MAX}/g_m} = 129.1$$

在 10MHz 时，C3 和 C4 的取值为(假设相等)：

$$C3 = C4 = 1/2\pi f X_{C4} = 123.3pF$$

选择工业标准电容值 $120pF$ ，跨接晶体谐振器的负载容抗等于 C3 和 C4 的串联： $1/(1/C3+1/C4) = 60pF$ 。为保证在期望的频率振荡，不管怎样，晶体振荡器必须接上一个特定的负载容抗 ($20pF$)。这样通过将 C3 和 C4 降至 $40pF$ 就可以实现，但是，结果会出现过大的增益 ($R_{IN} + R_{1MAX}$)，这将影响振荡器的噪声性能。优先选择的方法是引入一个 $30pF$ 的串联电容以获得 $20pF$ 的净负载容抗 (C5，图 1b 完整电路所示)。

集电极开路输出引脚 \overline{OUT} 和 OUT (引脚 5 和 8) 既可以提供一个差分输出，也可以提供两个单端输出。每个引脚能够吸收大约 $2.5mA$ 的静态电流，且都需要上拉至 V_{CC} 。无论是 RF 电感还是电阻均可以作为上拉，但是对于差分输出，每根线上应该采用相同的方式。注意，超过 100Ω 的电阻带来过份的压降。对于 50Ω 的负载，RF 电感上拉时，单端输出电平约 $-6dBm$ ($320mVp-p$)，而 50Ω 上拉时，大约 $-13dBm$ ($140mVp-p$)。

相似观点的文章发表在 4/98 期的 *Microwaves and RF* 期刊上。